

SyEnA – Syntheseunterstützter Entwurf analoger Schaltungen

Das Projekt SyEnA ist das erste der industriellen IKT2020-Verbundprojekte, welches Innovationen aus einem EDA-Clusterforschungsprojekt – in diesem Fall „Struktursynthese analoger Schaltungen“ (SAMS) - in die Anwendung überführt hat.



Im Rahmen des Forschungsprojektes „Syntheseunterstützter Entwurf analoger Schaltungen“ (SyEnA) wurden innovative Methoden zur Automatisierung des Analogentwurfes erarbeitet, welche die gesamte Entwurfskette von der Spezifikation bis zum Layout umfassen. Diese Methoden führen zu einer signifikanten Erhöhung von Qualität und Produktivität und schaffen neue Chancen für den Entwurf innovativer komplexer Systeme. Neuartige Produkte besonders in den sicherheitskritischen Applikationsfeldern der Medizintechnik und der Automobilelektronik werden dadurch erst möglich.

Motivation

Die innerhalb von SyEnA erforschten Methoden leisten einen wichtigen Beitrag für die sichere Mobilität der Bürger in Beruf und Freizeit. Dies erfolgt mittelbar, da in SyEnA nicht direkt an Produktentwicklungen geforscht wurde, wohl aber an Methoden, die den Entwurf innovativer Produkte erst ermöglichen. So sind neue Entwurfsmethoden und -verfahren unabdingbar, um z. B. modernste aktive und passive Sicherheitssysteme im Automobil zu entwickeln, die der Unfallvermeidung bzw. dem Schutz der Fahrzeuginsassen dienen.

Eine der größten Herausforderungen bei der Entwicklung mikro- und nanoelektronischer Systeme besteht im Entwurf von Systemteilen, die analoge Signale erfassen, übertragen und verarbeiten. Auf Grund der ständig wachsenden Interaktion zwischen Elektronik und Umgebung ist es nicht verwunderlich, dass die Zahl und die Komplexität dieser analogen Systemteile stetig zugenommen haben und dass der Anteil der gemischt analog-digitalen (engl. Analog Mixed-Signal, AMS) Schaltkreise inzwischen mehr als 80 % aller entworfenen Schaltkreise beträgt. Dadurch, dass die Funktion digitaler Grundkomponenten in modernen Technologien nicht mehr vernachlässigbaren analogen Einflüssen unterliegt, ist der Entwurf von digitalen Designbibliotheken zudem mehr und mehr dem Analogentwurf zuzuordnen, was dessen Bedeutung weiter erhöht.

Darüber hinaus gehört der Entwurf analoger Schaltungen heute immer noch zu den Engpässen beim Entwurf komplexer integrierter Schaltungen. Obwohl die analogen Transistoren oft nur 10–20 % der Fläche eines AMS-ICs einnehmen, stellt der Entwurfsaufwand für den Analogteil eines Systems oft mehr als 80 % des Gesamtaufwandes dar. Da analoge Systemteile wegen der analogen Schnittstellen zur Außenwelt unverzichtbar und zudem nicht vollständig digitalisierbar sind, besteht in diesem Bereich des Entwurfs ein enormes Potenzial zur Verbesserung der Entwurfsfähigkeit und zur Steigerung der Produktivität.

Ziele

Die Projektpartner im Projekt SyEnA haben den syntheseunterstützten Entwurf analoger Schaltungen erforscht und dabei neue und verbesserte Methoden in diesem Bereich entwickelt. Dazu wurde der Grad der Automatisierung im Entwurf analoger Schaltungen gesteigert, um die Vielzahl manueller Entwurfsschritte deutlich zu reduzieren. Dies ermöglicht unter anderem einen rechnerunterstützten Syntheseablauf mit einem Mensch-Maschine-Dialog für die industrielle Praxis. Dazu arbeiteten Vertreter der gesamten Wertungskette vom EDA-Anbieter, über System- und Halbleiterhersteller bis hin zu einem Endgerätehersteller zusammen, so dass die Methoden in SyEnA unter Einbeziehung der Anforderungen eines „Chip-Anwenders“ erforscht wurden.

Im Einzelnen haben die SyEnA-Projektpartner folgende Ziele adressiert und erreicht:

- » Erforschung formalisierter Spezifikationen für den syntheseunterstützten Entwurf analoger Schaltungen und Systeme
- » Entwicklung von Top-Down-Methoden für die Implementierung und Validierung analoger Schaltungen und Systeme ausgehend von einer formalisierten Spezifikation
- » Erforschung von Verfahren zur automatisierten Generierung analoger Schaltungstopologien auf Transistorebene
- » Entwurf von Methoden, um optimierte analoge Schaltungen aus abstrakten Schaltungstopologien mit anwendungsspezifischen Constraints zu erstellen
- » Entwicklung von Methoden zum schnellen Transfer analoger Schaltungen von einer Halbleitertechnologie in eine andere
- » Implementierung von Verfahren zur effizienten und aussagekräftigen Variantenbewertung analoger Schaltungen hinsichtlich einer gegebenen Spezifikation
- » Erforschung von Verfahren zur vereinfachten Konfiguration/Automatisierung von Bewertungsabläufen
- » Nachweis der verbesserten Entwurfsmethodik an industriellen Beispielen

Zusammensetzung des Projektkonsortiums

Projektpartner:

DMOS GmbH
Fraunhofer IIS/EAS
Infineon Technologies AG
IMMS GmbH
Northrop Grumman LITEF GmbH
Melexis GmbH
MunEDA GmbH
Robert Bosch GmbH
ZMD AG

Unterauftragnehmer:

IP GEN Microelectronics GmbH
TU Dresden
TU Ilmenau
Universität Frankfurt

Laufzeit:

01.10.2008 – 30.09.2011

Förderkennzeichen:

01M3086

Internetseite:

www.edacentrum.de/syena/

Autoren:

A. Graupner,
R. Jancke,
P. Jores,
J. Nowak,
R. Popp

Durch die Erfüllung dieser technischen Ziele konnte der Aufwand und die Anzahl der Iterationsschleifen für den Entwurf analoger Schaltungen reduziert und die Entwurfsmöglichkeit und Reproduzierbarkeit beim Analogentwurf deutlich verbessert werden. Außerdem ist die Voraussetzung geschaffen worden, die Zahl von Redesigns zu verringern, sowie die Wiederverwendbarkeit und die Designqualität von analogen Schaltungen zu erhöhen.

SyEnA-Anwendungsbeispiel: Ein inertiales Positionsmesssystem

Für das Projekt SyEnA wurde eine konkrete Anwendung zur Demonstration von Einsatzmöglichkeiten und der Leistungsfähigkeit einiger in SyEnA entwickelten Methoden ausgewählt. Dabei handelt es sich um ein sogenanntes inertiales Positionsmesssystem. Solche Systeme sind in der Lage, die Position eines Objekts relativ zu einem Startort global und unabhängig von GPS-Signalen festzustellen. Neben der genauen Angabe der Position, können mit den in diesen Systemen vorhandenen 3-achsigen Beschleunigungsmessern und Drehratensensoren sogar zeitabhängige Informationen über die Bewegung eines Objektes aufgenommen werden.

Konkret eingesetzt werden könnte ein solches inertiales Messsystem zusammen mit neuartigen Notfallsystemen wie eCall [1] für eine schnellere und gezieltere Hilfeleistung nach Verkehrsunfällen. Neben der auch bei GPS-Signalabriss möglichen Positionsbestimmung des Unfallorts gibt die Aufzeichnung der erfolgten Bewegungen eines Autos Aufschluss über den Unfallhergang. Aus welcher Richtung hat ein möglicher Aufprall stattgefunden, hat sich das Fahrzeug z. B. überschlagen, haben die Airbags ausgelöst usw. Diese und weitere für die Bewertung der Rettungssituation wichtigen Details könnten durch Datenverbindungen im Fahrzeug oder des Messsystems selbst unmittelbar an eine zentrale Rettungsstelle weitergegeben werden, die dann die notwendigen Schritte einleitet. Abbildung 1.02 zeigt das Prinzip-Bild eines mit einem solchen System ausgestatteten Fahrzeugs.

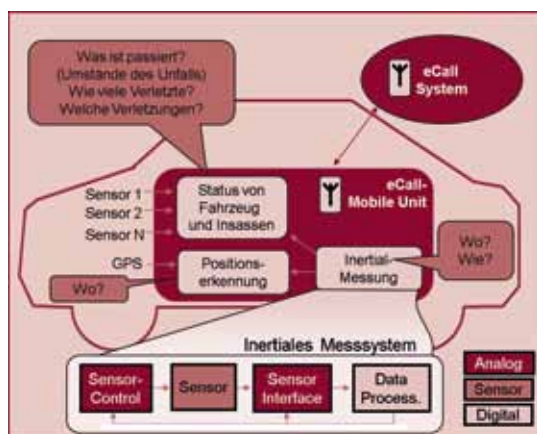


Abbildung 1.02: Einsatz eines inertialen Messsystems im Rahmen des eCall-Notrufsystems

Das Bild verdeutlicht einerseits die Redundanz in der Positionsbestimmung und die zusätzliche Sensorik einer solchen Erweiterung des eCall-Notrufsystems. Darüber hinaus zeigt es anhand eines einfachen Blockschaltbilds des inertialen Messsystems, dass solche Systeme neben dem eigentlichen Sensor sowohl analoge als auch digitale Blöcke enthält. Der Beitrag von SyEnA besteht in diesem Zusammenhang in der Verbesserung der Entwurfsmöglichkeit für die analogen Blöcke solcher komplexen Systeme, wie sie inertielle Messsysteme darstellen. Näheres ist in der Beschreibung zu Arbeitspaket 1 zu finden.

Projektstruktur

Zum Erreichen der gesteckten Ziele wurde das Projekt SyEnA in drei thematisch miteinander verzahnte Arbeitspakete (AP) aufgeteilt, deren Zusammenarbeit in Abbildung 1.03 deutlich wird:

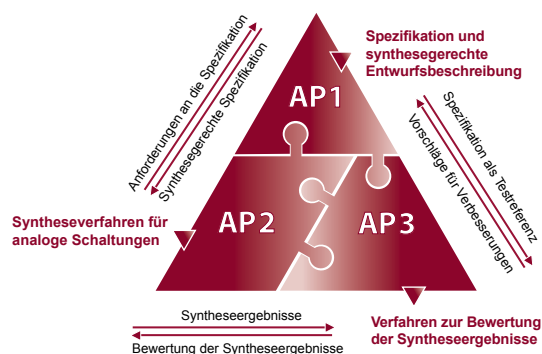


Abbildung 1.03: Zusammenarbeit zwischen den Arbeitspaketen

Im ersten Arbeitspaket wurden synthese- und verifikationsgerechte Beschreibungsformen ausgearbeitet, die im Arbeitspaket 2 als Ausgangspunkt für die Synthese dienen. Im Arbeitspaket 2 wurden verschiedene Syntheseverfahren auf Block und Schaltungsebene erforscht. Im Arbeitspaket 3 entstanden Verfahren, die eine Bewertung und einen Vergleich von Syntheseverfahren anhand ihrer Ergebnisse erlauben. Die Verzahnung der auf die drei Arbeitspakete aufgeteilten inhaltlichen Arbeiten veranschaulicht Abbildung 1.04, die eine abstrahierte schematische Darstellung des in SyEnA entwickelten Syntheseflows zeigt:

In der Abbildung 1.04 sind verschiedene, beim Entwurf analoger Schaltungen und Systeme durchzuführende Schritte in Form eines Ablaufs (Flow) dargestellt und den drei Arbeitspaketen zugeordnet. Es ist erkennbar, dass in AP1 ausgehend von einer Papier-Spezifikation durch Formalisierung eine maschinenlesbare Spezifikation entsteht. Diese kann einerseits direkt als Referenz für die in AP3 thematisierte Bewertung einer dimensionierten Schaltung herangezogen werden. Andererseits ist sie innerhalb von AP1 der Ausgangspunkt für die Erstellung der Architektur des zu entwerfenden Systems in Form einer simulierbaren Spezifikation. Die einzelnen Funktionsblöcke der Architektur werden im folgenden Verfeinerungsschritt in ein Blockdiagramm überführt. Die Spezifikation der einzelnen

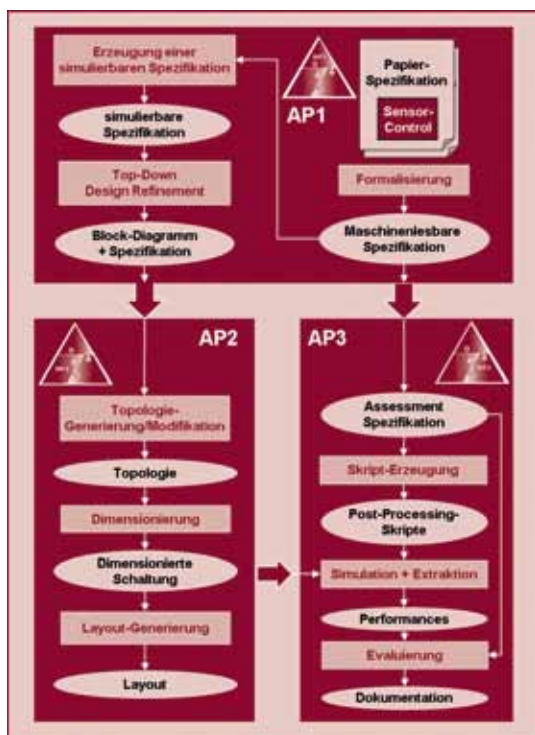


Abbildung 1.04: Abstrahierte Darstellung des SyEnA-Syntheseflows

Blöcke ermöglicht innerhalb von AP2 eine Topologie-Erzeugung bzw. -Modifikation an die dann die Dimensionierung und schließlich die Layout-Erzeugung anschließen. Innerhalb von AP3 wird die maschinenlesbare Spezifikation als Referenz mit der dimensionierten Schaltung skriptbasiert anhand ihrer Eigenschaften verglichen. Dies erlaubt abschließend eine Bewertung des Entwurfsergebnisses, das dokumentiert wird. Im Folgenden sind einzelne Ergebnisse der SyEnA-Arbeiten bezogen auf das zugehörige Arbeitspaket dargestellt.

Arbeitspaket 1: Spezifikation und synthesegeeichte Entwurfsbeschreibung

Innerhalb von AP1 wurden Methoden erforscht, die die Erstellung von formalisierten Spezifikationen für AMS-Schaltungen und -Systeme effizient bewältigen und eine (teil-) automatisierte Erzeugung von Referenzmodellen, Testumgebungen und Implementierungsrandbedingungen ermöglichen. Daneben wurden Methoden zur schrittweisen Verfeinerung der Spezifikation erforscht. Die resultierenden Blockspezifikationen dienen als Eingabe sowohl für die Topologie-Generierung (Arbeitspaket 2) als auch für die Bewertung des Syntheseergebnisses (Arbeitspaket 3).

Die Methoden wurden an Hand von realen Beispielen aus dem Automobil- und Kommunikationsbereich untersucht, bewertet und demonstriert.

Verfahren zur Erfassung von synthesesgerechten Spezifikationen

Spezifikationen von AMS-Schaltungen und -Systemen werden heute meist noch in Form eines Dokuments mit Text, Tabellen und Grafiken erstellt, wodurch diese Beschreibungen nicht unmittelbar in einen rechnergestützten Entwurfsablauf verwendet werden können. Daher wurde in dieser Aufgabe gemeinsam von allen

AP1-Partnern ein maschinenlesbares Format entwickelt, das eine Beschreibung der Spezifikation analoger Schaltungsblöcke bis hin zu komplexen AMS-Systemen ermöglicht. Entstanden ist dabei das XML-Format ASDeX (Analog Specification Description in XML) [2]. ASDeX vereint Spezifikation und Entwurfsbeschreibung in einer Struktur. Die Spezifikation beschreibt die gewünschten Schaltungseigenschaften unabhängig von der konkreten Schaltungsrealisierung. Die Entwurfsbeschreibung enthält darüber hinaus Details zur Implementierung und ermöglicht so die Bewertung eines konkreten Entwurfs. ASDeX schließt auch Daten für eine automatisierte Synthese ein. Weiterhin wurde gemeinsam mit den Partnern im Catrene Projekt „Beyond DREAMS“ die AMS-Erweiterung von IP-XACT [3] definiert und in die entsprechende Arbeitsgruppe bei Accellera eingebracht.

Um bereits in der Definitionsphase eine Analyse und Optimierung des zu entwerfenden AMS-Systems zu ermöglichen, ist eine simulierbare bzw. ausführbare Spezifikation notwendig. Die frühzeitige Simulation von analogen Funktionsblöcken auf Systemebene erfordert die Möglichkeit zur Beschreibung des analogen Verhaltens auf Systemebene. Hierzu wurden bereits bestehende Arbeiten zur AMS-Erweiterung von SystemC aufgegriffen und zusammen mit Partnern aus dem Projekt „Beyond DREAMS“ weiterentwickelt. Innerhalb der beiden Projekte wurden die wesentlichen Arbeiten zur Standardisierung von SystemC-AMS vorangetrieben. Im März 2010 wurde SystemC-AMS 1.0 von der Open SystemC-Initiative (OSCI) verabschiedet [4]. Neben dem Language-Reference-Manual (LRM) wurde erstmalig bei einem Standard auch ein User's Guide erstellt. Darüber hinaus wurde eine Referenz-Implementierung entwickelt, die die Simulation von SystemC-AMS-Modellen ermöglicht. Diese Referenz-Implementierung wurde für alle Beispiele verwendet, die sowohl in SyEnA als auch in „Beyond DREAMS“ bearbeitet wurden.

SystemC-AMS wurde anhand verschiedener Beispiele auf unterschiedlichen Abstraktionsebenen untersucht. Dazu wurden Modelle von analogen Modulen auf Transaction-Level erstellt, die den Konzept- und Architekturdentwurf von Systemen der Kommunikationstechnik und der Automobilelektronik unterstützen. Dies ermöglicht eine schnelle Architekturexploration unter Einschluss von analogen Komponenten. Der gewählte generische Ansatz erlaubt eine einfache Änderung bzw. Parametrierung der anwendungsspezifischen Modelle. Dies wurde am Beispiel der Parametrierung eines Modells der Laserdiode einer GPON-Applikation für ein Transaction-Level-basiertes Gesamtmodell gezeigt. Mit Hilfe dieses Modells ist es möglich, die Interaktion zwischen der digitalen Elektronik und dem Laserinterface im System zu verifizieren. Abbildung 1.05 oben zeigt den Testaufbau, während unten der Abgleich zwischen Modell und Silizium zu sehen ist.

Im Catrene Projekt „Beyond DREAMS“ arbeiten neben den deutschen Partnern Fraunhofer, Infineon und Bosch Partner aus Frankreich und den Niederlanden an Methoden für den Entwurf, die Modellierung und die Simulation von eingebetteten AMS-Systemen. Ein wichtiger Aspekt dabei ist die Standardisierung von SystemC-AMS und die AMS Erweiterung von IP-XACT.

Gigabit Passive Optical Network (GPON) ist eine Technologie auf Basis von passiven optischen Netzen (PON)

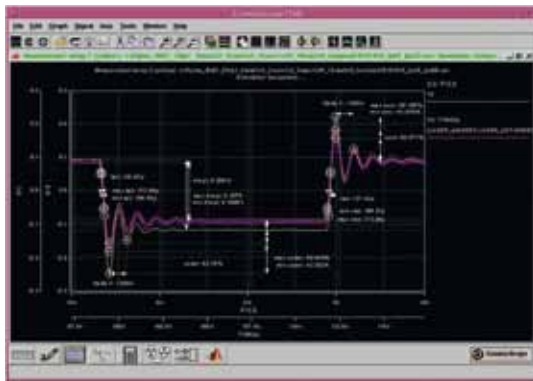


Abbildung 1.05: Testchip basierte Parametrierung

Weiterhin wurde die Möglichkeit zur Beschreibung von nichtlinearem elektrischen Verhalten mit den in SystemC-AMS 1.0 vorhandenen Models of Computation (MoC) untersucht. Ein getakteter Stromregler, der häufig zur Ansteuerung von z. B. Ventilen im Auto zum Einsatz kommt, diente als Beispiel. Dabei wird mittels eines PWM-Signals der gewünschte Strom durch die Last eingestellt. Die Taktung der Endstufe ist notwendig, um deren Überhitzung zu vermeiden. Der Endstufentransistor wurde als Schalter mit Innenwiderstand modelliert, der den Strom durch die Induktivität ein- und ausschaltet. Dieses SystemC-AMS Modell wurde zusammen mit einem Systemmodell, das aus einem Softwareteil, einem TLM-Transaktor zur Erzeugung des PWM-Signals und einer Auswertelogik für die Überwachung besteht, in eine Testumgebung eingebaut. Das Systemmodell und die Testumgebung wurden im Verbundprojekt SANITAS entwickelt. Anhand dieses Beispiels wurde gezeigt, dass die Simulation von abstrakten Systemverhalten mit analogen Funktionen effizient möglich ist.

Das Verbundprojekt SANITAS wird unter dem Förderkennzeichen 01 M 3088 durch das Bundesministerium für Bildung und Forschung (BMBF) gefördert.

Anwendung: Faseroptisches Kreiselssystem (Fibre Optical Gyro System, FOG-System)

Als reales Anwendungsbeispiel wird wie oben beschrieben ein Notfallsystem aus dem Automobilbereich herangezogen. In diesem ist ein inertiales Positionsmesssystem zur Navigation integriert, das einen Drehratensensor in Form eines faseroptischen Kreisel Systems verwendet. Um solche Navigationssysteme kostengünstig und effizient zu entwickeln, sind Systemsimulationen notwendig. Dabei müssen Komponenten aus verschiedenen Domänen (elektrisch, mechanisch, optisch), mit unterschiedlichen Signalarten (analog, digital) und in unterschiedlichen Abstraktionsebenen modelliert und gemeinsam simuliert

werden. Innerhalb von SyEnA wurde eine simulierbare Beschreibung eines FOGs in SystemC-AMS realisiert (= virtueller FOG-Demonstrator). Zur Demonstration der Leistungsfähigkeit des virtuellen FOG-Demonstrators wurde dieser zusammen mit einem realen Sensor aufgebaut, wie Abbildung 1.06 zeigt.

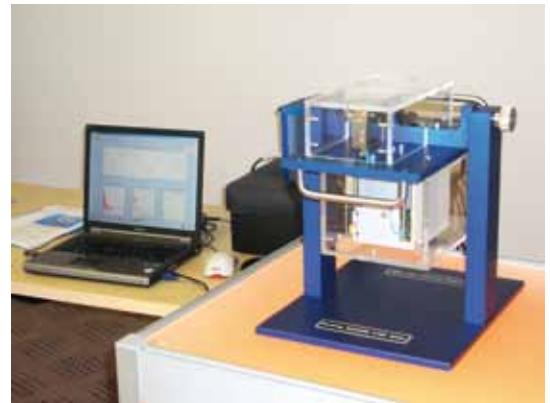


Abbildung 1.06: Virtueller FOG-Demonstrator mit realem Sensor

Auf dem edaWorkshop11 in Dresden konnte der Aufbau mit einem realen FOG direkt verglichen werden [5]. Mit Hilfe des realen FOG-Demonstrators konnte ein erster Eindruck bzgl. der Leistungsfähigkeit des virtuellen FOG-Demonstrators vermittelt werden. Fokus bei der Demonstration war neben der Präsentation der guten Übereinstimmung der Drehraten zwischen der Simulation und eines realen einachsigen FOGs die Möglichkeit, beliebige Drehratenprofile durch Teilnehmer selbst zu erzeugen (siehe Abbildung 1.07).



Abbildung 1.07: Virtueller FOG-Demonstrator mit realem Sensor

Neben dem Vergleich des erzeugten Drehratenprofils mit der Simulation sind auch die Simulationsergebnisse für die drei wichtigsten Hilfsregelkreise des FOGs vorgeführt worden.

Methodische Ansätze zur Implementierung

Um den Entwurf von SystemC-AMS Modellen nutzerfreundlich und effizient zu gestalten, wurde ein „Plug-In“ auf Basis des offenen Frameworks Eclipse entwickelt. Dieses „Plug-In“ erlaubt es, komfortabel eine XML basierte Spezifikation des Modells einzugeben. (Abbildung 1.08).

Der Vorteil der auf XML basierten Modellspezifikation besteht darin, dass die einmal eingegebene Beschrei-

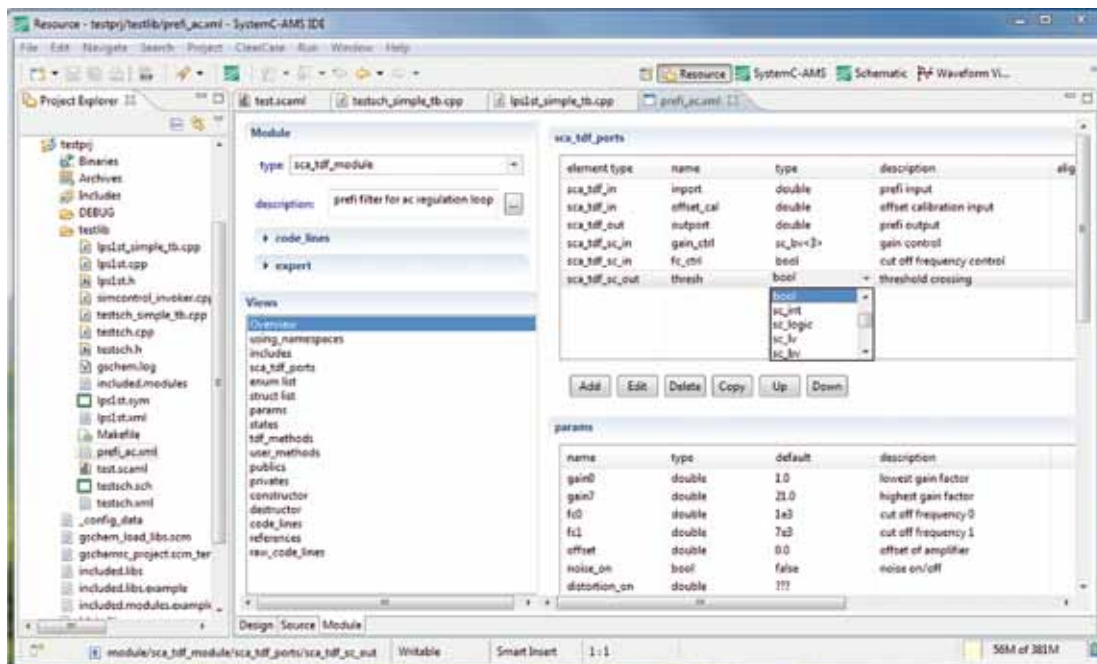


Abbildung 1.08: Nutzerschnittstelle zur XML-Modellspezifikationseingabe

fung für unterschiedlichste Zwecke genutzt werden kann. Eine solche Spezifikation dient als Ausgangsbasis für die Generierung von Dokumentation, Testbench, Modell-Template, Symbol für den Schematic-Editor und Wrappern zur Einbindung verschiedener Simulationswerkzeuge.

Ausgehend von der Spezifikation wird das Architekturmodell des zu entwerfenden (Teil-)Systems entwickelt. Das Architekturmodell stellt den Ausgangspunkt für die folgende Entwurfsverfeinerung dar. Es besitzt meist bereits eine Struktur, d. h. es enthält eine Zusammenschaltung von Modulen (Funktionseinheiten), für die jeweils ein Verhaltensmodell existiert. Die jeweilige Abstraktion des Verhaltensmodells ist abhängig von der Funktion des Moduls und dessen Applikation. Zusammen mit der Testumgebung bildet das Architekturmodell die Referenz für die nachfolgenden Verfeinerungsschritte. Jedes einzelne Modul wird verfeinert, in dem es entweder durch ein genaueres Verhaltensmodell, das dann meist auch mehrere Blöcke enthält, oder durch eine vorhandene Schaltung ersetzt wird (Abbildung 1.09). Durch dieses modellbasierte Vorgehen lässt

sich jeder Verfeinerungsschritt simulieren und gegenüber dem Ausgangsmodell auf Korrektheit prüfen.

Anhand eines Versorgungsmoduls wurde das oben beschriebene Vorgehen erstmalig angewendet und untersucht. Während der folgenden Verfeinerungsschritte wurden diverse Spannungsreglerkonzepte untersucht und die Reglerparameter bestimmt, bis schließlich die Spezifikation für die benötigten Operationsverstärker und Komparatoren ermittelt werden konnte, die dann mit Hilfe der automatisierten Topologie-Generierung und Dimensionierung auf Transistorebene (vgl. Arbeitspaket 2) erzeugt werden konnten.

Basierend auf der Entwurfsbeschreibung (ASDeX) [2] wurde ein Verfahren entwickelt, welches ablauffähige Programme („Tasks“) zur Bestimmung von Schaltungseigenschaften sowie zur Bewertung erzeugt.

Zentraler Bestandteil der Taskgenerierung [6] ist das Essence-Framework. Die ASDeX-Datei wird gelesen und die Entwurfsdaten für den Essence-Template Generator aufbereitet. Grundlage ist das MAKO-Konzept [6], welches mit der Programmiersprache Python eingeführt wurde. Es basiert auf der Idee, vorgegebene Templates zu modifizieren. Das Template selbst kann beliebigen Inhalt haben (z. B. SystemC, VHDL oder Verilog zur Erzeugung von ausführbarem bzw. simulierbarem Code, aber auch Dokumentation). Zur Ermittlung der Schaltungseigenschaften werden als neue Anwendung des Konzepts Perl-Templates basierend auf den Methoden des Meta-Simulators (Software-Bibliothek zur werkzeugunabhängigen Beschreibung der Simulation, vgl. Arbeitspaket 3) mit den ASDeX-Daten verknüpft. In Abbildung 1.10 ist der Ablauf der Taskgenerierung dargestellt.

Das Essence-Framework entstand teilweise im Rahmen des Verbundprojektes VISION, welches unter dem Förderkennzeichen 01 M 3078 durch das Bundesministerium für Bildung und Forschung (BMBF) gefördert wurde.

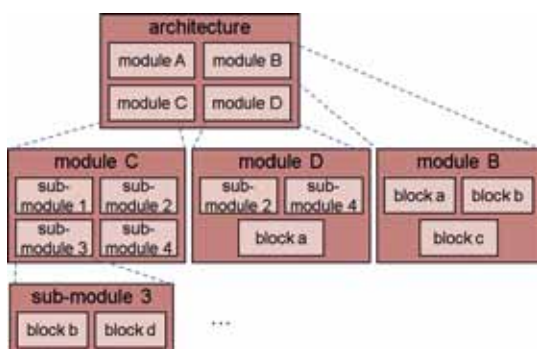


Abbildung 1.09: Modellbasierte Verfeinerung der Architektur

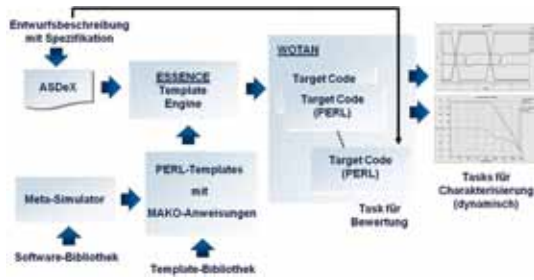


Abbildung 1.10: Schematische Darstellung der Taskgenerierung

Die Taskgenerierung wurde erfolgreich zur Charakterisierung und Bewertung von Anlogschaltungen (u. a. LVDS Interface, differentielle Schnittstelle zur Hochgeschwindigkeitsdatenübertragung) eingesetzt.

Arbeitspaket 2: Syntheseverfahren für analoge Schaltungen

Im Arbeitspaket 2 stand die Entwicklung und Implementierung von Verfahren im Mittelpunkt, die den Übergang von der Blockebene zu einer Schaltung auf Bauelementebene halb- oder vollautomatisch durch Transformation ermöglichen. Aus den Arbeiten der Projektpartner entstand ein allgemeiner, durchgängiger Synthese-Flow, wie er in Abbildung 1.04 dargestellt ist. Die Arbeiten konnten so verknüpft werden, dass neben unterschiedlichen Pfaden auch alternative Methoden enthalten sind und somit, je nach Aufgabenstellung und Randbedingung, eine passende Kette von Synthesewerkzeugen zur Verfügung steht. So kann beispielsweise die Topologie-Generierung für die Synthese neuer Schaltungen genutzt werden, während ein Bibliotheksansatz für die Wiederverwendung von Topologien geeignet ist. In beiden Fällen dient die Spezifikation (ASDeX) aus Arbeitspaket 1 als Grundlage der Synthese. Als Ergebnis entstehen eine optimierte Schaltung, die mit Verfahren aus Arbeitspaket 3 bewertet werden kann, sowie das dazugehörige Layout.

Ein besonderer Schwerpunkt wurde auf die Transformation einer Schaltungstopologie in eine andere Technologie gelegt, da hierdurch ein syntheseunterstützter Technologietransfer realisierbar wird und Wissen über Technologieknoten hinaus gesichert werden kann.

Topologie-Auswahl, -Generierung und -Modifikation

Die Integration eines Bibliotheksansatzes bietet die Möglichkeit, Topologien als bereits implementierte Schaltungen oder in technologiebereinigter Form in einer Datenbank abzulegen. Geeignete Kandidaten können auf Grundlage ihrer Eigenschaften ausgesucht und mit weiteren Verfahren des Flows bearbeitet werden.

Steht keine geeignete Schaltung aus einer Bibliothek zur Verfügung, so muss diese neu synthetisiert werden. Hierzu eignet sich besonders die explorative Struktursynthese. Im Rahmen der Arbeiten wurden, aufbauend auf konzeptionellen Arbeiten aus dem EDA-Clusterforschungsprojekt SAMS [7, 8], die explorative Struktursynthese gezielt verbessert und das zugrundeliegende Konzept optimiert. Dies

geschah mit dem primären Ziel, die Methodik näher an eine industrielle Nutzbarkeit heran zu bringen. Die Synthesergebnisse konnten qualitativ deutlich verbessert werden, indem verschiedene, von einem Analogdesigner während des Entwurfs der Schaltung angewendete Techniken formalisiert und in die Methodik mit aufgenommen wurden. So wurden Algorithmen zur Erzeugung symmetrischer Schaltungen/Schaltungsteile implementiert. Dabei wird darauf geachtet, dass die generierten Schaltungen keine strukturellen Asymmetrien aufweisen, um Fehler, wie einen systematischen Offset, bereits bei der Schaltungsgenerierung zu vermeiden. Technisch unsinnige Schaltungen werden frühzeitig aussortiert und nicht bis zum rechenzeitaufwändigen Schritt der Dimensionierung mitgeführt. Dies führt zu einer Reduktion des Entwurfsraums, wodurch die Laufzeit deutlich verkürzt wird. Die synthetisierten Schaltungen werden zusammen mit einer Bias-Schaltung dimensioniert. Dies schränkt zwar die Freiheitsgrade ein, führt aber im Gegenzug zu einer real umsetzbaren Schaltung. Zusammen mit einem neuen Parallelisierungskonzept (asynchrone Client-Server Architektur) konnte so die Gesamtlaufzeit (Erzeugung von Blockketten bis hin zu dimensionierten Schaltungen) von anfangs 50 Std. [9] auf unter 12 Std. [10, 11] reduziert werden. Abbildung 1.11 stellt den Ablauf der explorativen Struktursynthese dar. Da die Dimensionierung (hier kommt WiCkeD zum Einsatz) zur Feststellung der Eignung einer Topologie notwendig und damit integraler Bestandteil der Methode ist, werden fertig dimensionierte Schaltungen erzeugt, aus denen der Entwickler eine geeignete auswählen kann.

Wiederverwendete oder generierte Topologien können oftmals nicht alle geforderten Eigenschaften erfüllen und bedürfen daher einer Modifikation, um beispielsweise die Bandbreite von rückgekoppelten Verstärkerschaltungen zu steigern. Zu diesem Zweck wurde eine

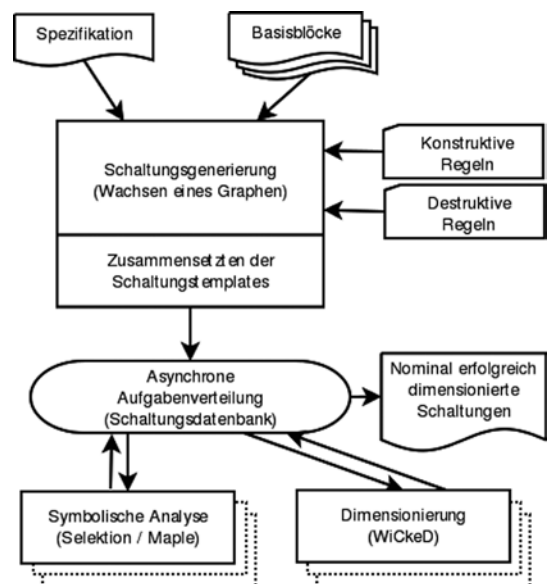


Abbildung 1.11: Ablauf der explorativen Struktursynthese

Das EDA-Clusterforschungsprojekt SAMS wurde unter dem Förderkennzeichen 01 M 3070 durch das Bundesministerium für Bildung und Forschung (BMBF) gefördert.

Methode zur Synthese von Kompensationsnetzwerken entwickelt. Das Verfahren [12, 13, 14] geht einen neuen Weg der direkten Frequenzgangkompensation und löst sich damit von klassischen Methoden, die auf regelungstechnischen Betrachtungen gemäß Nyquist-Kriterium beruhen. Die Schaltung wird in Arbeitskonfiguration, d. h. in Gegenkopplung, kompensiert. Dazu wird zunächst ein Kompensationsnetzwerk synthetisiert und anschließend so dimensioniert, dass sich eine maximale Performance der Schaltung ergibt. Die neue rechnergestützte Methode zur direkten Frequenzgangkompensation, die in Anlehnung an eine heuristisch-praktische Vorgehensweise aus dem diskreten Schaltungsentwurf als „rechnergestützter Designerfinger“ bezeichnet wird, führt automatisiert systematische Eigenwertverschiebungen durch und optimiert dabei das Übertragungsverhalten und die Stabilitätseigenschaften. Sie verknüpft analytische Verfahren zur Topologie-Generierung mit numerischen Verfahren zur Optimierung. Hierdurch werden neue, bisher unbekannte Kompensationsstrukturen erzeugt, die individuell an die Schaltung und die jeweilige Last angepasst sind. Sie übertreffen z. B. die klassische Miller-Kompensation hinsichtlich des Frequenzverhaltens (Bandbreite und Peaking) bei einer bis zu Faktor 10 geringeren Gesamtkapazität.

Initialdimensionierung

Zur Dimensionierung von Schaltungen innerhalb des Syntheseablaufs kann ein Dimensionierungswerkzeug mit numerischem Optimierer, wie WiCkeD, direkt genutzt werden. Zusätzlich kann die Dimensionierungsaufgabe in eine aus analytischen Methoden bestehende Initialdimensionierung und eine numerische Optimierung aufgeteilt werden. Dies hat zwei Vorteile: Zum einen kann mit Hilfe analytischer Verfahren sehr schnell entschieden werden, ob eine Topologie in der Zieltechnologie unter Berücksichtigung gegebener Betriebsparameter implementierbar ist. Zum anderen liefert sie einen guten Startwert für den Optimierungsschritt. In beiden Fällen können zeitintensive Simulationsschleifen vermieden werden. Die Initialdimensionierung [15] wurde in Kooperation mit Arbeiten im Arbeitspaket 3 entwickelt und in die im Forschungsprojekt RapidMPSoC geschaffene EDADB-Infrastruktur integriert. Ihr Ablauf ist in Abbildung 1.12 sichtbar. Ausgehend von einer Topologie und dazugehöriger Constraints (z. B. Annahmen für Ströme und Bias-Spannungen) werden alle benötigten Parameter in zwei Schritten sukzessiv bestimmt und gegebenenfalls iterativ korrigiert. Die implementierten Methoden verwenden graphenbasierte Verfahren [16, 17] und linearisierte [18, 19, 20, 21] Arbeitspunktmodelle. Sie berechnen einen gültigen Arbeitspunkt der Topologie, bestimmen die gültigen Spannungsbereiche ihrer Terminals und identifizieren gegebenenfalls die Bauelemente, die die Bereiche beschränken. Durch die Verwendung von Lookup-Tabellen sind keine Simulationen nötig, wodurch sehr schnell entschieden werden kann, ob eine Topologie nicht implementierbar und eine

Topologiemodifikation notwendig ist oder der berechnete Arbeitspunkt als Startwert für eine nachfolgende Optimierung mit Hilfe von WiCkeD dienen kann.

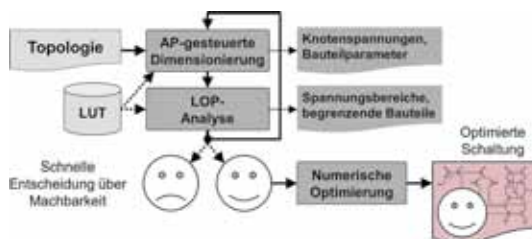


Abbildung 1.12: Ablauf der Initialdimensionierung

Layoutgenerierung

Im letzten Schritt des Synthese-Flows wird die dimensionierte Topologie in ein Layout überführt. Für die Automatisierung des Layout-Entwurfes wurde ein Generatoransatz unter Verwendung des Werkzeugs 1Stone [22] gewählt. Die Generatoren wurden so implementiert, dass die Layouts in weiten Grenzen skalierbar sind und in beliebige CMOS-Technologien und Bauelementtypen abgebildet werden können. Es muss pro Topologie ein Generator implementiert werden, der dann unter Angabe von Parametern und geometrischen Randbedingungen das Layout in der Zieltechnologie vollautomatisch und entwurfsregelkonform generiert. Um eine Skalierbarkeit der Layouts bei gleichzeitig optimaler Flächenausnutzung zu erreichen, wurde ein Straßenkonzept ausgewählt. Die Bauelemente werden in einer vorgegebenen Höhe angeordnet, die konkrete Breite der Zellen ergibt sich aus der konkreten Dimensionierung. In Abbildung 1.13 sind mit einem Verstärkergenerator erzeugte Layout-Varianten abgebildet. Dabei wurde von einem festen Parametersatz für alle Bauelemente ausgegangen und nur die Zellhöhe variiert. Es ist erkennbar, dass für alle Varianten die Fläche stets gut ausgenutzt wird. In Abhängigkeit von der konkreten Dimensionierung kann die Fläche unter Umständen etwas größer als die eines optimierten Handlayouts sein. Dafür bietet der Ansatz die Möglichkeit, dass für jede Anwendung ein optimales Verstärkerlayout erstellt wird. Die Erzeugung eines correct-by-construction Layouts eines komplexen Verstärkers benötigt 1-2 Minuten.

Transfer vorhandener Schaltungen in eine neue Technologie

Auf den Transfer vorhandener Schaltungen in eine neue Technologie wurde ein besonderer Schwerpunkt gelegt, da eine weitgehende Automatisierung die-

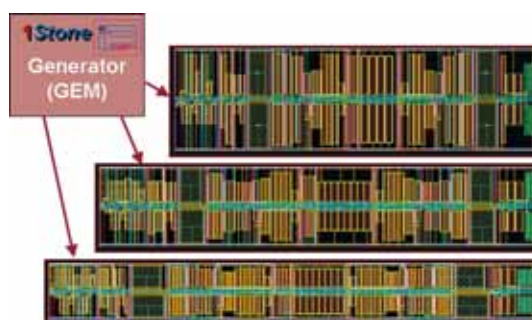


Abbildung 1.13: Mit einem Verstärkergenerator erzeugte Layoutvarianten

Die EDADB-Infrastruktur wurde im Rahmen des Projekts RapidMPSoC geschaffen, welches vom Bundesministerium für Bildung und Forschung (BMBF) unter dem Förderkennzeichen 01 M 3185 unterstützt wurde.

ser häufig auftretenden und wichtigen Aufgabe eine Steigerung der Effizienz im Schaltungsentwurf durch Wiederverwendung bewährter Schaltungskonzepte ermöglicht, besonders im Zusammenhang mit IP-Bibliotheken. Es wurden zwei Verfahren entwickelt, die neben der Topologie-Portierung eine häufig notwendige Neudimensionierung erlauben.

Das erste Verfahren [23] basiert, wie die Methoden der Initialdimensionierung, auf der EDADB-Infrastruktur. Der EDADB-Manager wurde um Werkzeuge erweitert, die eine automatisierte Technologiezuordnung ermöglichen. Dazu gehören der Austausch von Bibliotheken und die Anpassung der Symbole. Zur Dimensionierung werden die Verfahren der Initialdimensionierung eingesetzt.

Das zweite Verfahren nutzt eine ausführbare Entwurfsbeschreibung. Diese ermöglicht es, zwischen der Beschreibung des Entwurfsvorgehens (Topologie, Dimensionierung, Layout-Erstellung, Testbench, etc.) und der Umsetzung auf eine konkrete Fertigungstechnologie zu trennen. Im Ergebnis der Arbeiten ist ein Designflow entstanden, der die automatische Generierung von Entwurfsbeschreibungen auf Basis des Tool-Sets 1Stone mit dem Dimensionierungswerkzeug WiCkeD verbindet. Zur Vernetzung und damit auch Beschleunigung des Entwurfs wurde eine Schnittstelle zwischen beiden Werkzeugen definiert. Daten, die schon beim Entwurf vorliegen, müssen kein zweites Mal eingegeben werden. Über eine Übergabeschnittstelle im XML-Format werden wichtige Zusatzangaben wie z. B. Constraints, Spezifikationsgrenzen, Parameterintervalle usw. übergeben, wodurch Übertragungsfehler verhindert werden. Bei der manuellen Eingabe dieser Daten kann sehr leicht etwas übersehen werden, wie z. B. das An- oder Abwählen von Constraints. Diese Schnittstelle kann grundsätzlich zur Vernetzung der Werkzeuge zur Topologie-Auswahl, -Generierung und -Modifikation mit dem Dimensionierungswerkzeug WiCkeD genutzt werden.

Abbildung 1.14 zeigt das Prinzip des erstellten Portierungsablaufs.

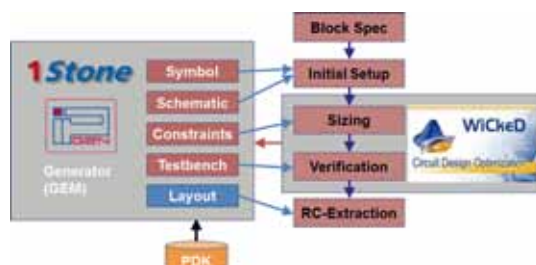


Abbildung 1.14: Designflow mit integriertem Generatoransatz und Entwurfsoptimierung

Anhand von Beispielschaltungen konnte die Anwendbarkeit der Verfahren gezeigt und eine deutliche Effizienzsteigerung bei der Technologieportierung nachgewiesen werden. Der bereits vorhandene Generator ermöglichte unmittelbar die Erzeugung der

verschiedenen Sichten auf den Schaltungsentwurf in der Zieltechnologie. Die Neudimensionierung erlaubte das angekoppelte Optimierungstool. Damit wurde für das gewählte Beispiel eines OTA die Zeit zur Schaltungsportierung, verglichen mit einem herkömmlichen Vorgehen, um schätzungsweise 80 % verkürzt. Die Anwendung der analytischen Verfahren ermöglichte die Reduktion der notwendigen Simulationen für einen ausbeuteoptimierten OTA um den Faktor 5.

Arbeitspaket 3: Verfahren zur Bewertung der Syntheseergebnisse

In diesem Arbeitspaket wurden Verfahren entwickelt, mit denen die Ergebnisse der vorangegangenen Entwurfsschritte überprüft, d. h. realisierte Schaltungsvarianten bezüglich ihrer Spezifikation bewertet werden können. Ein wichtiges Ergebnis war dabei die Automatisierung der Bewertung, die schnell eine Aussage darüber liefert, ob und wie gut eine entworfene Schaltung ihre Spezifikation erfüllt. Das Arbeitspaket gliedert sich in drei Aufgaben: die Automatisierung des Bewertungsprozesses, die Implementierung von Bewertungsfunktionen für Schaltungseigenschaften und der Nachweis der verbesserten Entwurfsmethodik an industriellen Schaltungsbeispielen.

Automatisierung des Bewertungsprozesses

Mit WOTAN (Workflow Transaction Manager) [6] entstand eine Umgebung, in der prinzipiell alle Schritte der Schaltungssynthese automatisiert ablaufen können. Im Fokus stand die Automatisierung der Bewertung der Syntheseergebnisse. Innerhalb von WOTAN wurden Methoden entwickelt und implementiert, mit denen Arbeitsabläufe sehr flexibel konfiguriert und gesteuert werden können.

Kernelement von WOTAN ist der „Workflow Manager“, der zur Verwaltung der einzelnen Arbeitsschritte, deren Abfolge und Abhängigkeiten sowie zur Erfassung des jeweiligen Status eines Arbeitsschritts dient. Darin sind die zu bearbeitenden Objekte (z. B. Schaltungen, Zellen von Bibliotheken, Bibliotheken als Ganzes, etc.) und die Prozessschritte zu definieren. Durch die Zuordnung von Objekten zu Prozessschritten werden die auszuführenden Arbeitsschritte festgelegt, die ohne manuellen Eingriff abgearbeitet werden. Die Entwicklung von „Task“-Modulen (z. B. Module zur Bestimmung von Schaltungseigenschaften, vgl. Arbeitspaket 1) ist losgelöst vom Workflow-Management und die Einbindung beliebiger Prozessschritte in den Arbeitsablauf ist über ein API sehr einfach möglich.

Wesentlich ist die Beschreibung der Abhängigkeiten zwischen den Arbeitsschritten (z. B. wenn Ergebnisse eines Arbeitsschrittes zur Ausführung anderer Arbeitsschritte Voraussetzung sind). Während des automatischen Ablaufs wird für jeden Arbeitsschritt dessen Status (z. B. OK für eine erfolgreiche Ausführung) in

eine Datenbank eingetragen. Die Ausführung unabhängiger Arbeitsschritte erfolgt parallel.

Die Praxistauglichkeit und Flexibilität von WOTAN konnte in Kooperation mit dem Förderprojekt HONEY für eine Applikation zur Bibliothekszerifizierung u. a. auf dem edaWorkshop11 in Dresden, eindrucksvoll unter Beweis gestellt werden.

Bewertung von Schaltungseigenschaften

Für eine Bewertung analoger Schaltungsblöcke sind Simulationsergebnisse zu extrahieren, ggf. zu transformieren und anhand der Spezifikation (Teil der Entwurfsbeschreibung, vgl. ASDeX aus Arbeitspaket 1) zu bewerten. Das wird mit Hilfe des in SyEnA entwickelten Meta-Simulators möglich. Durch die darin realisierte Abstraktion konnte die Simulationsaufgabe unabhängig von werkzeugspezifischen Sprachen formuliert werden. Abbildung 1.15 zeigt die Abstraktionsebenen.

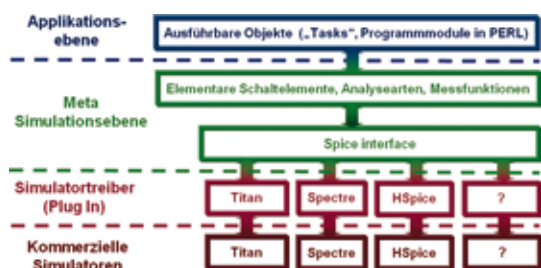


Abbildung 1.15: Abstraktionsebenen des Meta-Simulators

Auf der Applikationsebene werden die Messverfahren (z. B. die Bestimmung von Laufzeiten) als ausführbare Objekte in Form von Templates bereitgestellt, die für die Taskgenerierung (vgl. Arbeitspaket 1) benötigt werden. Die Templates beinhalten die MAKO-Anweisungen (s. AP1) zum Einfügen aktueller Spezifikationsdaten aus der Entwurfsbeschreibung. Außerdem beinhalten sie die mit diesen Daten parametrisierten Methodenaufrufe des Meta-Simulators zur Bestimmung der Eigenschaft.

Auf der Meta-Simulationsebene werden leistungsfähige Methoden zum Aufbau von Testumgebungen, Steuerung der Simulation und Extraktion der Simulationsergebnisse sowie eine Vielzahl von Methoden zur Vermessung und Manipulation von Kurven zur Verfügung gestellt. Die Methoden sind in Perl implementiert und den drei Objekten Testbench, Simulator und Messen zugeordnet. Im Simulator-Objekt ist auch die herstellernerneutrale Schnittstelle zu kommerziellen Analogsimulatoren basierend auf Berkeley SPICE implementiert. Erst auf Treiberebene wird es werkzeugspezifisch. Zur Einbindung eines kommerziellen Simulators genügt die Bereitstellung eines Treiber-„Plug-In“.

Der große Vorzug der Abstraktion liegt in der Möglichkeit zum Aufbau von Template-Bibliotheken zur von der Entwurfsumgebung unabhängigen Bestimmung

und Bewertung von Schaltungseigenschaften (Verifikations-IP). Dies ermöglicht eine nachhaltige und effiziente Wiederverwendung ohne manuellen Eingriff auch über Entwurfsumgebungen (standortübergreifend, Zulieferer) hinweg.

Ein anderer Vorzug der Methodik ist ihre Modularität: Diese beinhaltet die Trennung des so genannten Datenmodells und der Template-basierten Bestimmung von Schaltungseigenschaften. Das Datenmodell implementiert die Entwurfsbeschreibung und steuert die Bereitstellung der entsprechenden Zugriffsmethoden. Die Trennung ermöglicht die weitgehend unabhängige Entwicklung von Datenmodell und Template-Bibliothek mit der Folge einer wesentlich vereinfachten Wartbarkeit.

Als eine weitere Methode zur automatisierten Bewertung von Synthese-Ergebnissen wurde eine automatische Generierung von Postprocessing- (Bewertungs-) Skripten aus der maschinenlesbaren ASDeX-Spezifikation entwickelt [24]. Für den Einsatz der Methode bedarf es einer vollständigen Spezifikation, die neben dem eigentlichen charakteristischen Wert auch die Funktion zu dessen Bestimmung sowie, falls erforderlich, die dafür notwendigen Parameter enthält. Auf diese Weise wird eine eindeutige Bewertung sowohl von Mess- wie auch Simulationssignalen erreicht.

Die erzeugten Postprocessing-Skripte greifen auf eine dafür erstellte Bibliothek von Basisfunktionen zur Ermittlung von charakteristischen Werten einer Wavform (z. B. DC-Gain, Transitfrequenz, Slew-Rate) zurück. Diese Bibliothek von Basisfunktionen beinhaltet typische Charakterisierungswerte im Zeit- und Frequenzbereich. Neben Standard-konformen Funktionen (IEEE 181-2003) wurden zudem Algorithmen zur Bestimmung eigener, anwendungsspezifischer Funktionen implementiert, die beispielsweise zur Bewertung von Signalen bezüglich eines Toleranzschlauches im Zeit- oder Frequenzbereich geeignet sind. Die Bibliothek von Basisfunktionen wurde mit einer generischen Nutzerschnittstelle versehen und ließ sich damit nahtlos in verschiedene Tool-Umgebungen zur Signalanalyse integrieren.

Zum Test und zur Demonstration der Möglichkeiten dieser Methodik wurde die Bewertung industrieller Beispiele aus dem Anwendungsbereich von Bustrei-

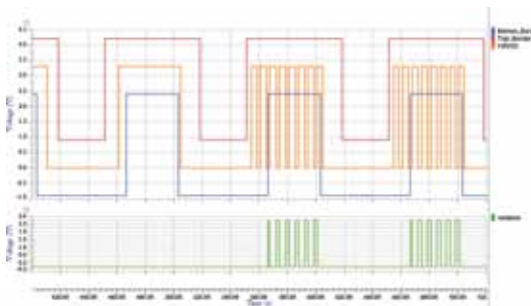


Abbildung 1.16: Bewertung eines Zeitsignals bezüglich eines Toleranzschlauches

Die Applikation zur Bibliothekszerifizierung entstand in Kooperation mit dem Projekt HONEY, welches unter dem Förderkennzeichen 01 M 3184 durch das Bundesministerium für Bildung und Forschung (BMBF) gefördert wurde.

berschaltungen (CAN, LIN, EIB) herangezogen (siehe Abbildung 1.16). Die automatisch erzeugten Skripte unterstützen unmittelbar die schnelle Bewertung dieser industriellen Schaltungsrealisierungen.

Nachweis der verbesserten Entwurfsmethodik an industriellen Schaltungsbeispielen

In der industriellen Praxis wird die Wiederverwendung von Schaltungstopologien in neueren Halbleiterprozessen angestrebt (Technologietransfer). Im Arbeitspaket 2 wurden hierzu Methoden und Werkzeuge (u. a. als „Plug-In“ für die EDADB-Manager-Plattform) entwickelt und implementiert [17, 25], die einen teilautomatisierten Technologietransfer ermöglichen. Im Arbeitspaket 3 wurde ergänzend dazu eine weitere Methode entwickelt und implementiert, welche zusätzlich das Matching-Verhalten der Bauelemente bei einem Technologietransfer berücksichtigt. Der Entwickler kann für ausgewählte Bauelemente bzw. Bauelementparameter das erforderliche Matching (z. B. Matching der Schwellspannungen $\sigma(\Delta V_{T0})$ oder der Drain-Ströme $\sigma(\Delta I_D/I_D)$ von MOS-Transistoren) vorgeben, woraufhin die betroffenen Bauelemente nachdimensioniert werden. Abbildung 1.17 gibt einen Einblick in den Dimensionierungsablauf, wobei exemplarisch die Transistorparameter Weite W und Länge L nachdimensioniert werden. Diese sogenannte Auto-Matching-Methode bezieht die Ergebnisse einer Gleichstromarbeitspunktanalyse und halbleiterprozess-spezifische statistische Parameter in den Dimensionierungsprozess ein.

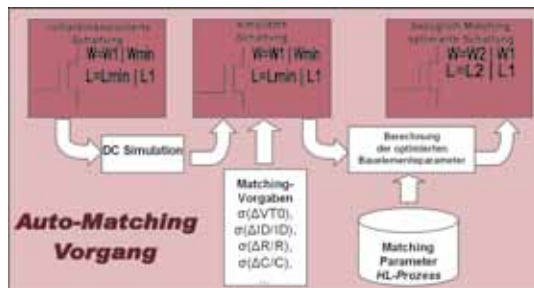


Abbildung 1.17: Ablauf der Auto-Matching-Prozedur

Die Methode wurde an industriellen Schaltungen aus dem Bereich der Automobilelektronik, wie beispielsweise an Funktionseinheiten aus LIN-System-Basis-Chips und Smart-Aktuator-Applikationen, erprobt. Mit der Auto-Matching-Methode ließen sich unter industriellen Bedingungen automatisiert Schaltungen generieren, die robuster gegenüber Schwankungen des Halbleiterprozesses sind.

An weiteren Topologien konnte zudem die gemeinsame Funktionsweise der EDADB-Manager-Plug-Ins für den Technologietransfer und zur Initialdimensionierung nachgewiesen werden [15]. Die „Plug-Ins“ ermöglichen zum einen eine automatisierte Ersetzung der Technologiebibliotheken und Symbole. Zum anderen erlaubt die analytische Initialdimensionierung [16] eine deutliche Reduzierung des Simulationsaufwands für einen numerischen Optimierer (z. B. WiCkeD).

Um das Ergebnis eines Technologietransfers bewerten zu können, wurde eine Portierungsplattform realisiert, mit der Schaltungen auf Basis geometrischer oder elektrischer Regeln in eine andere Technologie umgesetzt werden können. Zentraler Bestandteil dieser Plattform sind die Lookup-Tabellen zur Speicherung und Bereitstellung von Bauelementparametern [18]. Dadurch sind für den Portierungsprozess keinerlei numerische Simulationen notwendig, was zu einer erheblichen Zeiteinsparung führt. Nach erfolgtem Technologietransfer kann mit der Spannungsbereichsanalyse geprüft werden, ob die Schaltung grundsätzlich funktionsfähig ist. Mit Hilfe dieses Ansatzes erhält man deutlich schneller Aussagen zur Portierbarkeit einer Schaltung.

Speziell in modernen CMOS-Technologien mit reduzierter Versorgungsspannung können manche Schaltungstopologien die für einen einwandfreien Betrieb notwendigen Randbedingungen (z. B. die Sättigung von MOS-Transistoren) nicht mehr in allen Betriebsbereichen erfüllen. Um dies mit geringem Aufwand zu überprüfen und auf diese Weise vorhersagen zu können, ob eine Topologie in einer Zieltechnologie realisierbar ist, wurde ein Verfahren zur Spannungsbereichsanalyse mittels linearisierter Arbeitspunktmodelle (LOP) entwickelt [19, 20, 21]. Mit einer einzelnen Arbeitspunktsimulation können durch Linearisierung von Spannungsbeziehungen an MOS-Transistoren diejenigen Betriebsbereiche ermittelt werden, in denen alle Randbedingungen erfüllt sind und damit die Funktion der Schaltung sichergestellt ist. Die Methode wurde in automatisierte Entwurfsabläufe integriert [15] und ebenfalls erfolgreich an industriellen Schaltungsbeispielen erprobt.

Die Wirksamkeit der Designer-Finger-Methode (vgl. Arbeitspaket 2) wurde anhand eines Transimpedanz-Verstärkers als industrierelevantes Beispiel nachgewiesen, der Teil eines Foto-Detektor-ICs (PDIC) in der Lasereinheit von Blu-ray-Laufwerken ist. Dazu wurde eine mit Hilfe der Designer-Finger-Methode modifizierte Testschaltung integriert, gefertigt und anschließend vermessen. Die auf Schaltungsebene erreichte Erhöhung der Bandbreite von 37 % (120 MHz) konnte auch im gefertigten Schaltkreis nachgewiesen werden [26, 27]. Durch eine Kombination der analytischen und numerischen Verfahren wurde die Methode so verbes-

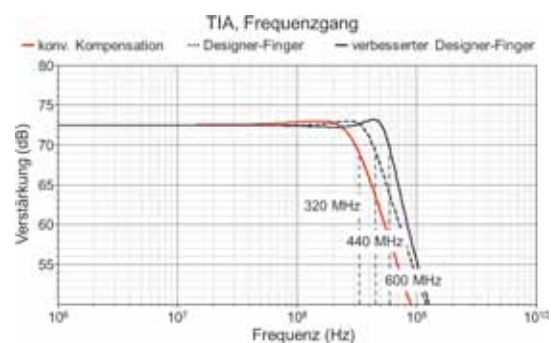


Abbildung 1.18: Vergleich der Frequenzgänge der extrahierten Netzlisten der TIAs mit unterschiedlichen Kompensationsnetzwerken



Abbildung 1.19: Das SyEnA-Projektconsortium während des letzten von sechs Projekt- und Arbeitspakettreffens im August 2011 in Frankfurt a. M.

sert, dass die Bandbreite des Verstärkers um weitere 36 % (160 MHz) erhöht werden konnte, wie Abbildung 1.18 zeigt. Zusätzlich konnte eine Ausbeute von 99,9 % bezüglich realer Parametertoleranzen erreicht werden.

Der in SyEnA entwickelte Algorithmus trug damit entscheidend dazu bei, dass das Foto-Detektor-IC die sehr hohen Anforderungen der Spezifikation überhaupt erfüllen konnte.

Ein weiterer Forschungsgegenstand von SyEnA war die Frage, ob sich der erreichbare Spezifikationsbereich durch automatisierte Topologie-Synthese erweitern lässt. Das wurde vergleichend anhand einer teilautomatisiert synthetisierten und einer von Hand entwickelten Topologie eines Operationsverstärkers untersucht. Beide Topologien wurden im Hinblick auf die gleiche Spezifikation dimensioniert und zentriert. Dabei ergab sich für beide Fälle ein vergleichbarer Wert für die Ausbeute. Für eine verschärfte Spezifikation ließ sich der synthetisierte Schaltkreis ohne Probleme (bei hoher Ausbeute) dimensionieren. Der von Hand entwickelte Schaltkreis dagegen ließ sich nicht für diese verschärfte Spezifikation dimensionieren, da diese Schaltung für die erste Spezifikation ausgelegt war. In diesem Falle hätte der Designer eine andere Topologie wählen müssen, um die verschärfte Spezifikation zu erfüllen. Dieses Ergebnis zeigt, dass eine teilautomatisierte Analog-Synthese durchaus in der Lage ist, Schaltkreise mit erhöhten Anforderungen schnell und effizient zu erzeugen.

Zusammenfassung

Das Projekt SyEnA hat bis zum Ende seiner Projektlaufzeit im Wesentlichen alle angestrebten Ergebnisse erzielt, die eine gute Grundlage für einen automatisierten, syntheseunterstützten Entwurf analoger Schaltungen und Systeme sind. Dabei können alle Partner nicht nur jeder für sich Erfolge vorweisen. Die gute Zusammenarbeit innerhalb des Projektes hat auch

zu gemeinsamen Ergebnissen geführt. Beispielhaft dafür steht die Zusammenarbeit bei der Definition des gemeinsamen „SyEnA-Flows“, bei der Entwicklung der analogen Spezifikationsprache, bei der Ermittlung von Bewertungskriterien oder bei dem Vergleich verschiedener Methoden zur Dimensionierung. Der Austausch über Firmengrenzen hinweg ermöglichte es, von einander zu lernen, schuf Gemeinsamkeit und Synergien und stärkte damit den Standort Deutschland.

Die SyEnA-Projektpartner veröffentlichten ihre Ansätze und Ergebnisse nicht nur in (teilweise sogar mit Best-Paper-Awards ausgezeichneten) Publikationen, sondern verbreiteten sie auch in eigens dafür organisierten Vortragsveranstaltungen. So veranstaltete SyEnA im zweiten Projektjahr ein öffentliches Tutorial und eine Podiumsdiskussion auf der ANALOG10 sowie im dritten Projektjahr eine Special Session auf der DATE11. Die dadurch stimulierten Diskussionen und Gespräche waren für den Projektabschluss sehr hilfreich.

Es kann festgehalten werden, dass das Projekt SyEnA nicht nur fachliche Erfolge und betriebswirtschaftlichen Fortschritt bringt, sondern auch das allgemeine Bewusstsein für die enormen Herausforderungen der analogen Synthese schafft. Erst mit den in SyEnA entwickelten Methoden lassen sich jetzt neuartige Systeme entwerfen, die eine „Brücke“ zwischen der komplexen Sensorik zur Erfassung der Umwelt und den Schaltungen zur Verarbeitung dieser Informationen schlagen. Damit wird es möglich, neue Applikationen zu realisieren, die bisher auf Grund eines zu großen Entwurfsaufwandes nicht wirtschaftlich implementierbar waren. SyEnA leistet somit einen Beitrag zur Verbesserung der Entwurfsmöglichkeit für komplexe AMS-ICs am Standort Deutschland, um den Innovationsvorsprung der Projektpartner bei zentralen technologischen Themen zu behaupten und neue innovative und komplexe Produkte zu entwickeln.

Referenzen

- [1] "Automatischer Notruf", Süddeutsche Zeitung vom 8.9.2011 <http://www.sueddeutsche.de/auto/notrufsystem-ecall-automatischer-notruf-1.1140632>
- [2] Ma, M.; Hedrich, L.; Sporrer, C.; "A Machine-Readable Specification of Analog Circuits for Integration into A Validation Flow", Forum on Design Languages (FDL2011), Sept. 2011
- [3] <http://www.accelera.org/>
- [4] <http://www.systemc.org/>
- [5] Rieke, S.; Waydhas, O.; "Virtual Prototype of a Fibre-optical Gyrosensor with SystemC-AMS", edaWorkshop11 & Catrene DTC, Mai 2011
- [6] Sporrer, C.; Mangaonkar, N.; Ma, M.; „Design Bibliotheken im Wandel der Zeit oder wie kann die Synthese analoger Schaltungen bei der Bereitstellung von Design Bibliotheken helfen?“, 12. GMM/ITG-Fachtagung Analog 2011, Nov. 2011
- [7] Wang, X.; Hedrich, L., "An Approach to Topology Synthesis of Analog Circuits Using Hierarchical Blocks and Symbolic Analysis", Proc. Asia South Pacific Design Automation Conference (ASPAC), Jan. 2006
- [8] Wang, X.; Hedrich, L., "Hierarchical Exploration and Selection of Transistor-Topologies for Analog Circuit Design", IEEE International Symposium on Circuits and Systems (ISCAS), May 2006.
- [9] Mitea, O.; Meissner, M.; Hedrich, L.; Jores, P., "Automated Constraint-driven Topology Synthesis for Analog Circuits", proceedings of the Design, Automation and Test in Europe 2011, Grenoble, Frankreich
- [10] Meissner, M.; Mitea, O.; Hedrich, L.; "Graph-based Framework for Explorative Topology Synthesis of Analog Circuit" (abstract), Frontiers in Analog Circuit (FAC) Synthesis and Verification 2011, Cliff Lodge, Snowbird, Utah, USA
- [11] Meissner, M.; Mitea, O.; Hedrich, L., „Graph-basiertes Framework zur explorativen Topologiesynthese von analogen Schaltungen“, GMM/ITG-Fachtagung Analog 2011, Erlangen
- [12] Sommer, R.; Neumann, F.; Günther, S.; Krauß, D.; Schäfer, E.; Hennig, E.; Nowak, J., "Frequency Compensation by Automated Topology Modification Using Mixed Analytical and Numerical Methods for Design of Fast TIA for High-speed Optoelectronic Applications", CDNLive! EMEA 2009, München
- [13] Schäfer, E.; Krauß, D.; Sommer, R.; Hennig, E.; „Gradientenbasierte Eigenwertoptimierung zur Frequenzgangkompensation linearer Analogschaltungen“, GMM/ITG-Fachtagung Analog 2010, Erfurt
- [14] Sommer, R. Krauß, D.; Hennig, E.; Schäfer, E.; Sporrer, C.; "A New Method for Automated Generation of Compensation Networks – The „EDA Designer Finger“, proceedings of the Design, Automation and Test in Europe 2011, Grenoble, Frankreich
- [15] Boos, V.; Nowak, J.; Sylvester, M.; Henker, S.; Höppner, S.; Grimm, H.; Krausse, D.; Sommer, R., "Strategies for initial sizing and operating point analysis of analog circuits", Design, Automation Test in Europe Conference Exhibition (DATE), Mar 2011, p. 1-3,
- [16] Boos, V.; „Strategien zur Initialdimensionierung von analogen Schaltungen“, GMM/ITG-Fachtagung Analog 2008, Siegen
- [17] Boos, V., „Graphentheoretischer Ansatz zur Initialdimensionierung analoger Schaltungen“, Workshop DASS ,07 „Schaltungs- und Systementwurf“, 2007
- [18] Höppner, S.; Görner, J.; Henker, S.; Schüffny, R.; Graupner, A.; "A Lookup Table Flow for Analog Design Automation"; Proceedings of GMM/ITG-Fachtagung Analog 2010 in Erfurt/Germany
- [19] Höppner, S.; Henker, S.; Schüffny, R.; Graupner, A.; "A Fast Method for Transistor Circuit Voltage Range Analysis Using Linear Programming", IEEE Mixed Design of Integrated Circuits & Systems, 2010. MIXDES-17th International Conference, Wroclaw, Polen
- [20] Höppner, J.; Henker, S.; Schüffny, R.; Graupner, A.; "Exploration of Feasible Voltage Ranges in Analog CMOS Circuits Using Linearized-Operating-Point Transistor Models"; MunEDA User Group Meeting 2010 (MUGM2010) in Munich/Germany
- [21] Höppner, S.; Görner, J.; Henker, S.; Schüffny, R.; Graupner, A.; "A Matrix-based Voltage Range Estimation Method Using Linearized Operating Points"; IEEE Mixed Design of Integrated Circuits & Systems, 2011. MIXDES-18th International Conference, Gliwice, Polen
- [22] Graupner, A.; Wittmann, R.; Jancke, R.; "Generator Based Approach for Analog Circuit and Layout Design and Optimization", Design, Automation and Test in Europe 2011, Grenoble, Frankreich
- [23] Boos, V.; Nowak, J.; Ein Tool-Framework zur Technologiemigration analoger Schaltungen, GMM/ITG-Fachtagung Analog 2011, Erlangen
- [24] Lange, S.; Hennig, E.; „Entwurf eines PDICs für 12fach Blu-ray Disc Schreib- und Leselaufwerke“, Workshop Analogschaltungen an der Universität Ulm 2010
- [25] Lange, S.; Dimov, B.; Reich, T.; Hennig, E.; „Realisierung eines PDICs für 12x Blu-ray-Disc-RW Laufwerke mit Hilfe neuartiger effizienter Entwurfsmethodiken“, Kleinheubacher Tagung 2010 in Miltenberg

Kont@kt (SyEnA):

Projektmanagement:
Ralf Popp, edacentrum
fon: (05 11) 7 62 – 1 96 97
fax: (05 11) 7 62 – 1 96 95
popp@edacentrum.de

Projektkoordination:

Dr. Achim Graupner, ZMD AG,
fon: (03 51) 88 22 – 9 50
fax: (03 51) 88 22 – 6 06
achim.graupner@zmdi.com