

SIDRA: Safe IC Design for Robust Applications

Simulation-Guided Design of On-Chip ESD Protection for Mixed Signal ICs



Das Projekt SIDRA verfolgt das technische Ziel, Simulationmethoden zu entwickeln, die es ermöglichen, präventiv Schwachstellen im Design festzustellen, um integrierte Schaltkreise (ICs) gegen die elektrostatistische Zerstörung durch schnelle transiente Pulse zu schützen. Der Schutz gegen solche Belastungen wird für zukünftige Technologien immer wichtiger, da deren Empfindlichkeit stark zunimmt. Gleichzeitig steigen die Anforderungen an die Robustheit der ICs gegen elektrostatistische Entladungen (electrostatic discharge, ESD). Dabei sollen hohe Qualitätsanforderungen, insbesondere im sicherheitskritischen Automobilbereich, erfüllt werden unter der Maßgabe, Kosten und die damit verbundenen Entwicklungszeiten zu reduzieren. Das Projekt SIDRA ist eingebettet in ein europäisches Konsortium (Medea+ SIDRA T104).

„State of the art“ zu Beginn des Projektes waren Untersuchungen zu dem Einfluss schneller transients Pulse nach dem Charged-Device Modell (CDM: Pulse bis zu 10 A bei $t < 2$ ns) auf Einzelbauelemente, die in Schutzstrukturen eingesetzt werden. Hierzu hatte bereits das Vorgängerprojekt ASDESE einen wesentlichen Beitrag geliefert. Die Beiträge von SIDRA gehen weit über diese Arbeiten hinaus. Die Herausforderung von SIDRA besteht vor allem darin, die Simulationmethodik für CDM-ESD von der Einzelbauelementebene auf wesentliche Teile des gesamten Schaltkreises unter Berücksichtigung aller parasitären Einflüsse seitens Gehäuse, Substrat, Testmodell, etc. zu entwickeln. Die neue Methodik wird auf fortschrittliche Technologien angewandt, die mit deutlich kleiner werdenden Strukturweiten eine ansteigende Integration ermöglichen. Diese weisen jedoch eine höhere Empfindlichkeit gegen Schädigungen durch ESD auf, zum Beispiel aufgrund verringerter Durchbruchsspannungen der pn-Übergänge und der deutlich dünneren Gateoxide.

Durch die Entwicklung der CDM-Simulationmethodik, mit der es möglich ist, präventiv Schwachstellen

des ESD-Schutzes festzustellen, sollen technologieabhängige Entwurfsrichtlinien abgeleitet werden, die die notwendige Robustheit für zukünftige Designs gewährleisten. Diese für eine Technologie gültigen Entwurfsrichtlinien sind entscheidend für eine Zeit- und eine damit eng verbundene Kostenersparnis zukünftiger Produkte.

Projektstruktur

Das Projekt SIDRA ist in drei Arbeitspakete unterteilt (siehe Abbildung 1.03), die thematisch eng miteinander verzahnt sind.

Thematische Schwerpunkte der Arbeitspakete sind „ESD-Charakterisierung und Standardisierung“ (AP 1), „ESD Bauelementesimulation“ (AP 2) und „ESD-Schaltkreissimulation“ (AP 3).

In AP 1 „ESD-Charakterisierung und Standardisierung“ werden die messtechnischen Charakterisierungsmethoden entwickelt, die zur Erzeugung und optischen Messung der schnellen, hohen Stromtransienten benötigt werden (siehe Abbildung 1.04).

Zusammensetzung des Projektkonsortiums:

Projektpartner:

- » Atmel Germany GmbH
- » Robert Bosch GmbH
- » Infineon Technologies AG
- » X-FAB

Unterauftragnehmer:

- » Fraunhofer IZM München
- » FH Osnabrück
- » IMMS gGmbH
- » Melexis GmbH

Europäische Projektpartner:

- » ST Microelectronics (I)
- » Philips (NL)
- » TU Wien (A)
- » ETH Zürich (CH)

Europäische Unterauftragnehmer:

- » Synopsys (CH)
- » Universität Padua (I)

Förderkennzeichen:

01M3159

Laufzeit:

1.8.2004 – 31.12.2006

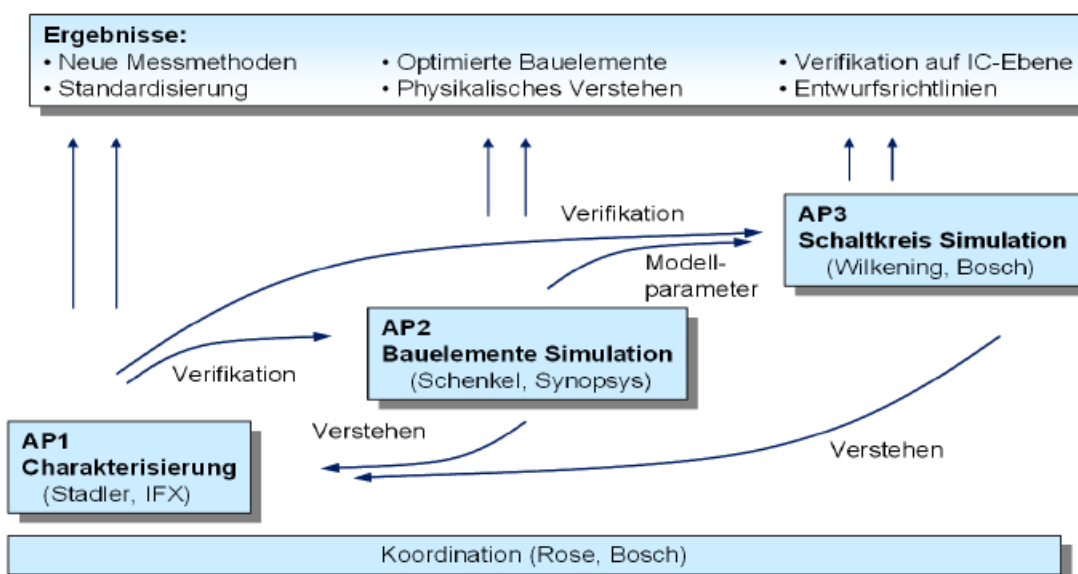


Abbildung 1.03: Projektstruktur von SIDRA

Schwerpunkte liegen

- » in der Entwicklung und Erprobung des ultra-fast TLP (Pulsdauern < 2 ns) sowie des „Capacitive Coupled“-TLP (cc-TLP),
- » in der Entwicklung der Transient Latch up (TLU-) Messtechnik für die Untersuchung von Stress im aktiven Betrieb,
- » in den zunehmend geforderten Pistolentests an ICs und
- » in der Weiterentwicklung der optischen Messmethode „Transient Interferometric Mapping“ (TIM), die belastete Bereiche im Silizium während des CDM-Stresses sichtbar macht.

Wesentliche Ergebnisse dieser Aktivitäten sind in die Gremien für die Standardisierung von CDM-ESD eingeflossen.

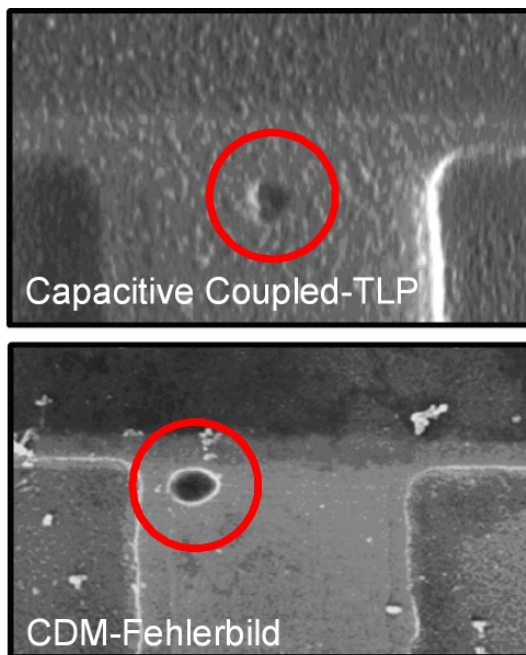


Abbildung 1.04: Reproduktion eines CDM-Fehlerbildes des Gateoxides mit der Capacitive Coupled-TLP Messmethode

Das AP 2 „ESD Bauelementesimulation“ beinhaltet die Bauelementesimulation mittels TCAD (Technology Computer Aided Design) von ESD-Schutzstrukturen und Mixed-Mode Simulationen (Simulation physikalischer Strukturen in Kombination mit einer Schaltung) von vereinfachten Schutzschaltungen. Die Ergebnisse ermöglichen es, die physikalischen Vorgänge innerhalb der Schutzstrukturen unter CDM-Stress zu verstehen.

In AP 3 „ESD-Schaltkreissimulation“ werden die CDM-Schaltkreissimulationen auf „chip-level“ unter Berücksichtigung aller parasitären Einflüsse durchgeführt. Auf der Grundlage dieser Simulationen können dann die Ausfallkriterien, z.B. für eine Überspannung am Gate, definiert und geeignete Maßnahmen in Form von Entwurfsrichtlinien für das Design abgeleitet werden.

Im Folgenden sind die Beiträge der Arbeitsgebiete der deutschen Partner Atmel, Bosch, Infineon und XFAB dargestellt.

Atmel Germany GmbH

Die Atmel Germany GmbH fokussiert ihre Forschungsaktivitäten im Rahmen des SIDRA-Projektes auf ESD-Schutzstrukturen auf der Basis einer Smart-Power-SOI-Technologie. Eines der Ziele ist es, diese relativ neue und für zukünftige Anwendungen sehr viel versprechende Technologie ersten und fundamentalen ESD-Untersuchungen zu unterziehen. Die daraus resultierenden Ergebnisse sollen als Verbesserungen in zukünftige Design-Tools und Manuals einfließen. Als Grundlage dienen bereits verfügbare Bauelemente und Schaltungen, die es innerhalb des Projektes zu optimieren gilt. Ein wesentlicher Punkt ist hierbei die Definition geeigneter Fehlerkriterien, um die ESD-Festigkeit unter CDM-Stress und die entstandenen Defekte sowie deren Lokalisierung beurteilen zu können. Hierzu werden sowohl Standarduntersuchungen, wie die Elektronenmikroskopie als auch das etwas exotischere TIM (Transient Interferometric Mapping) bei dem Projektpartner TU Wien angewendet. Ein großer Teil der zur Charakterisierung der Bauelemente notwendigen TLP-Messungen werden vom Unterauftragnehmer FhG-IZM in München durchgeführt.

Als weiteres Ziel der Projektaktivitäten steht die Einführung einer grundlegenden ESD-Simulation für Bauelemente im Vordergrund. Diese soll als Basis für zukünftige Entwicklungen und Anwendungen in hoch integrierten und qualitativ hochwertigen Produktlinien dienen. Mit Hilfe des langjährigen Partners FH Osnabrück soll der Simulator (Medici, TSuprem-4) anhand von definierten Referenz-Strukturen kalibriert und danach auf konkrete Schutzelemente angewendet werden. Innerhalb des Projektes werden zudem verschiedene Simulatoren und deren verwendete physikalische Modelle verglichen und die Ergebnisse untereinander ausgetauscht. Als weitere Unterstützung dienen wiederum die TLP-Messungen des IZM München und die TIM-Messungen der TU Wien.

Als Hauptziel des Projektes soll für Atmel ein allgemein gültiger Standard für die CDM-Charakterisierung entstehen, mit dem Augenmerk auf die hauseigene Smart-Power SOI Technologie.

Die ersten Untersuchungen an den im Projekt definierten Teststrukturen zeigen, dass schon die bereits verfügbaren Schutzelemente eine sehr hohe Schädigungsgrenze aufweisen. Mit Hilfe spezieller Monitor-Elemente wurde die Wirkung des ESD-Schutzes bzw. die Schädigung der zu schützenden Gateoxide (3 verfügbare Oxid-Dicken) untersucht. Die bisherigen Ergebnisse zeigen eine gute bis sehr gute Schutzfunktion der Bauelemente. Die Messungen hierzu sind aber noch nicht komplett abgeschlossen, so dass noch kein endgültiges Urteil vorliegt.

Die vom Partner TU Wien zur Verfügung gestellten TIM-Messungen ermöglichten es, im Laufe des Projekts einen tieferen und bisher nicht möglichen Einblick in die Funktionsweise (Art und Homogenität) des Schaltverhaltens der untersuchten Bauelemente zu gewinnen. Die Ergebnisse fließen nicht nur direkt in eine kontinuierliche Weiterentwicklung der Bauelemente ein, sondern verbessern auch die Verlässlichkeit des bei Atmel verwendeten Simulators.

Die Einführung einer ESD-Simulation von Bauelementen gestaltete sich zu Beginn als sehr schwierig und wird auch mit dem Ende des Projekts noch nicht vollends abgeschlossen sein. Es war jedoch möglich, die zur Kalibrierung verwendete Bipolar-Struktur im Rahmen der Möglichkeiten zufriedenstellend nachzubilden und mit den gewonnenen Ergebnissen ein weiteres und weitaus komplexeres Element nachzusimulieren. Auch hier laufen derzeit abschließende Simulationen, die viel versprechende Korrelationen zu bereits durchgeführten TIM- und TLP-Messungen aufzeigen.

Robert Bosch GmbH

In AP 1 fokussierte sich die Arbeit von Bosch auf die Umsetzung und Anwendung der neuen Charakterisierungsmethoden, die vom Fraunhofer-IZM im Rahmen von SIDRA entwickelt wurden. Dies beinhaltet die Erprobung der ultra-fast TLP-Messtechnik (Pulse < 2 ns), der repetierenden Messmethode zur Analyse des transienten Verhaltens von ESD-Schutzstrukturen sowie Transient Latch-up-Untersuchungen der innerhalb des Projektes vereinbarten und gefertigten Teststrukturen in einer Smart Power 0.35 μm -Technologie. Eine erste Evaluierung der neuen sub-2 ns TLP Messmethode an den ESD-Schutzdioden zeigte eine sehr gute Robustheit der Bauelemente. Der TLP-Tester ist um ein neues Relais zur Erzeugung der ultrakurzen Pulsdauern erweitert worden. Eine repetierend messende Methode mit einem hervorragenden Auflösungsvermögen der Strom- und Spannungstransienten wurde ebenfalls erstmals an der Schutzdiode angewandt. Der für ESD wichtige Forward Recovery-Effekt, der an ESD-Dioden bisher nur mit großen Ungenauigkeiten behaftet messbar war, kann inzwischen präzise erfasst werden. Die Messungen waren Grundlage für die erfolgreiche Kalibrierung der Struktur für die Bauelementesimulation sowie für das Diodenmodell für die Schaltkreissimulation. Die genaue Untersuchung der auf dem Testchip vorhandenen Inputschaltungen mit 4 ns ultrakurzen Pulsen ergab keine Degradation der Schwellspannung des Gatemonitors oder Zerstörung der ESD-Dioden. Damit zeigen alle Varianten eine genügend hohe Robustheit, die sich mit den Ergebnissen der CDM-Untersuchungen decken.

In AP 2, nach erfolgreicher Kalibrierung und CDM-Devicesimulation, fokussiert Bosch auf das CDM-Entladeverhalten von Eingangsschutzschaltungen mit Hilfe von Mixed-Mode-Devicesimulation. Dabei werden vier ESD-Schutzstrukturen, eine Zenerdiode sowie ein NMOS-Transistor als Monitor physikalisch realisiert.

Der CDM-Tester und das Gehäuse mit 80 Pins, die bei der Devicesimulation ebenfalls zu berücksichtigen sind, umfassen ca. 1000 Schaltungselemente. Die im Rahmen vom SIDRA-Projekt durchgeführte Mixed-Mode-Devicesimulation erreicht den höchsten Komplexitätsgrad, der in der Fachwelt bisher bekannt ist. Damit bekommt man nicht nur gute Übereinstimmung mit Messungen, sondern auch umfangreiche wichtige Informationen während des CDM-Stresses. So ist man in der Lage, Schwachstellen der untersuchten Inputschaltungen zu lokalisieren und effektive Maßnahmen abzuleiten. Die Untersuchung wird in enger Zusammenarbeit mit Synopsys als Unterauftragnehmer durchgeführt.

Innerhalb des AP 3 verfolgt Bosch das Ziel, durch schnelle Simulationen komplexer Schaltungen/Produkte bereits im Vorfeld der Entwicklung Schwächen hinsichtlich der ESD-Festigkeit, im Besonderen bezüglich des Charged Device Models (CDM), aufzudecken und zu korrigieren. Die besondere Schwierigkeit liegt in der Komplexität der Schaltungen, die durch die notwendigerweise sehr genauen Modelle der Einzelkomponenten sehr lange Simulationszeiten verursachen kann. Zusätzlich zu dieser Herausforderung gibt es hinsichtlich CDM noch keine wohldefinierten Kriterien, um diesbezügliche Schwächen automatisch zu erkennen. Aus diesem Grund sollen im Rahmen dieses Arbeitspaketes solche Kriterien erkannt, verallgemeinert und zur allgemeinen Nutzung für das IC-Design vorbereitet werden.

Ein wichtiger Erfolg ist die schnelle Simulation (einige Minuten) von CDM-Entladungen mit guter Übereinstimmung mit messbaren Größen (Entladeströme) der Gesamtschaltung. Auf dieser Basis konnten neue, entwurfsrelevante Erkenntnisse über wichtige Parameter gewonnen werden. So wurde deutlich, dass durch das Gehäuse im Wesentlichen der Spitzenstrom definiert wird oder die Anbindung des Substrates das Abklingen des Strom-/Spannungssignals nach einem CDM-Ereignis bestimmt.

Um ausreichend genaue Simulationen durchführen zu können, sind jedoch ESD-spezifische Kenntnisse über das elektrische Verhalten der einzelnen Komponenten (Bauelemente) die Voraussetzung, da nur dann die vorhandenen Standard-Modelle des Simulators entsprechend für den Hochstrom- und Überspannungsbereich sinnvoll erweitert werden können. Die extrem kurzen Zeitbereiche (ns), die für CDM-Ereignisse relevant sind, führen zu physikalischen Effekten, die im Vorfeld der Schaltungssimulation zunächst in die Modelle implementiert worden sind.

Die während des Projektes entwickelte Methodik für eine CDM-Schaltungssimulation konnte erfolgreich in einer produktnahen Simulationsstudie erprobt werden. Damit hat die CDM-Simulation bei Bosch einen Reifegrad nachgewiesen, der im weltweiten Vergleich Spitzenniveau besitzt. Es ist zu erwarten, dass diese Simulation zukünftig ESD-Schutz-Maßnahmen wirk-

sam in der IC-Produktentwicklung von Bosch absichert. Diese zunächst in einer Testumgebung aufgesetzte Methodik soll zukünftig in der Standardumgebung für Schaltungsentwicklungen zur Verfügung stehen.

Infineon Technologies AG

Um elektrostatische Entladungen nach dem Charged Device Model (CDM) charakterisieren und die CDM-Festigkeit von ICs bewerten zu können, wurden in SIDRA „funkenfreie“ CDM-Messverfahren und -Charakterisierungsmethoden entwickelt. Dazu konnte das FhG IZM-M, das langjährige Erfahrung auf dem Gebiet der experimentellen Charakterisierung von schnellen Transienten vorweisen kann, als Unterauftragnehmer mehrerer Partner gewonnen werden. Mit dem neuen Verfahren konnten zuverlässig CDM-relevante Fehlermechanismen in gemeinsam mit den Partnern entwickelten Teststrukturen wie in komplexen Produkten nachgestellt werden. Darüber hinaus entwickelte die TU Wien als Unterauftragnehmer von Infineon ein optisches Verfahren, mit dem eine schnelle Detektierung und Lokalisierung von Leckströmen in Testschaltungen und Produkten nach ESD-Belastung möglich ist.

Ein besonderes Problem in den sub-100-nm-Prozessen stellt die Empfindlichkeit der Gateoxide gegen Überspannung dar. Ein Schwerpunkt in der experimentellen Arbeit in SIDRA war daher für Infineon die experimentelle Bestimmung der Lebensdauer von Gateoxiden nach einer ESD-Belastung.

Wenn elektrostatische Entladungen, wie beispielsweise Entladungen nach dem Human Body Model (HBM) oder dem CDM, während des Betriebs einer integrierten Schaltung auftreten, kann die Entladung häufig transienten Latch-up (TLU) auslösen, der zur Zerstörung des Produkts führen kann. Daher wurden in SIDRA auch für TLU geeignete Charakterisierungsverfahren und Teststrukturen entwickelt, die die kritischsten Belastungsfälle abdecken.

Die neuen experimentellen Verfahren zur CDM- und TLU-Charakterisierung eignen sich damit sehr gut zur Produktqualifikation und wurden in internationalen Standardisierungsgremien vorgestellt.

In den heute bei Infineon eingesetzten sub-100-nm-CMOS-Prozessen ist die Definition von ESD-Schutzkonzepten eine besondere Herausforderung. Gründe dafür sind die Empfindlichkeit des Prozesses gegen ESD und die extremen schaltungstechnischen Anforderungen. In SIDRA wurden innovative ESD-Schutzelemente für diese Prozesse durch ESD-Bauelementsimulation entwickelt und optimiert. Daraus wurden Entwurfsrichtlinien für optimierte ESD-Schutzelemente abgeleitet. Diese Strukturen wurden auch mit 3D-Bauelementsimulation untersucht, um den Bereich des Einschaltverhaltens und des Ausfallmechanismus eingehend analysieren zu können. Hier erwies sich wieder einmal das optische Rasterverfahren der TU Wien, mit dem

die Ladungsträger- und Temperaturverteilung im Bauelement während der ESD-Belastung experimentell aufgezeichnet werden kann, als überaus wertvolle Verifikationsmethode für die Bauelementesimulation.

Um die ESD-Festigkeit eines größeren Schaltungsblocks durch Simulation vorhersagen und optimieren zu können, wurden Strategien und Verfahren entwickelt, mit denen eine Aussage über die ESD-Festigkeit eines Produktes abgeleitet werden kann. Neben der Entwicklung einer geeigneten Simulationsstrategie waren dazu grundlegende Überlegungen zur hierarchischen Extraktion der ESD-relevanten parasitären Elemente und zur Vereinfachung der Schaltungsmodelle unter ESD-Belastung zu diskutieren. Ein „ESD-Gesamtchip-Simulator“ wurde zuerst für HBM-Belastungen aufgebaut und die Anwendbarkeit auf komplexe Schaltungsteile und Produkte demonstriert. Im nächsten Schritt wurde dann aus dem HBM-Ansatz und den Erkenntnissen aus den experimentellen Charakterisierungen von Teststrukturen und Produkten ein Verfahren abgeleitet, mit denen auch Entladungen nach dem CDM in größeren Schaltungsblöcken mittels Simulation erfasst werden konnten.

XFAB

Gestiegene Anforderungen an die ESD Festigkeit von integrierten Schaltungen insbesondere für Automotive Anwendungen erfordern verbesserte Konzepte für den ESD-Schutz. Eine wesentliche Aufgabe innerhalb des SIDRA Projektes ist die Entwicklung und Optimierung neuer ESD-Schutzstrukturen sowie deren Charakterisierung. Die Methoden dazu waren entsprechend speziell in Richtung kurzer und sehr kurzer CDM-ähnlicher ESD-Impulse zu verfeinern, um zuverlässige Ergebnisse über das Verhalten der ESD Schutzstrukturen unter ESD-Belastung zu erhalten. Untersucht wurde dabei nicht nur das ESD-Verhalten sondern im Rahmen einer Studie auch das Latch-up-Verhalten von ESD-Schutzstrukturen. Die im Rahmen von AP 1 mit Unterstützung durch physikalische Bauelementesimulation entwickelten und optimierten Schutzstrukturen zeigen ein deutlich verbessertes ESD-Verhalten. Sie ermöglichen einen effektiveren ESD-Schutz bei gleicher oder reduzierter Chipfläche. Zur Einsparung von Entwicklungskosten und Entwicklungszeit sollte eine simulationsgestützte Designmethodik entwickelt werden. Im AP 2 dienten physikalische Bauelementesimulationen zur Ermittlung der optimalen Layout-Parameter von ESD-Schutzstrukturen. Es wurden erfolgreich physikalische Bauelementesimulationen von ESD-Schutzstrukturen durchgeführt, deren Ergebnisse durch experimentelle Verifikation an Demonstratoren bestätigt werden konnten. Ein wichtiges Kriterium für eine simulationsgestützte Designmethodik ist ihre Anwendbarkeit in allen von XFAB angebotenen Technologiefamilien. Erste Anwendungen des simulationsgestützten ESD-Bauelemente-Entwurfs z. B. in SOI-Technologien zeigten positive Ergebnisse.

Durch die simulationsgestützte Entwurfsmethodik sind im Design von ESD-Schutzstrukturen Einsparungen in der Entwicklungszeit von 30 – 50 % möglich.

Kont@kt und Autorin (SIDRA):

Dr.-Ing. Petra Rose
Projektkoordination
Robert Bosch GmbH
Tübinger-Straße 123
72763 Reutlingen
fon: 0 71 21-35-65 60
fax: 0 71 21-35-65 60
petra.rose@de.bosch.com