

# MESDIE: Effizienter Entwurf hochintegrierter mikroelektronischer Systeme und AVT-Elemente unter HF- und EMV-Aspekten

## Projektziele

Mit dem Vorhaben MESDIE wird sichergestellt, dass die bei den Verbundpartnern vorhandenen fachlichen und technischen Voraussetzungen sowie die damit einhergehende internationale Wettbewerbsfähigkeit auf dem Gebiet der EMV-gerechten Entwicklung von integrierten Schaltungen, mikroelektronischen Modulen und Systemen der gesamten Aufbauhierarchie (Systemkompetenz) nicht verloren geht, sondern weiter ausgebaut wird.

Die Funktionsmerkmale, wie hohe Übertragungsgeschwindigkeit und niedrige Verlustleistung, Miniaturisierung der HDP/HDI-Komponenten, sowie deutlich verkürzte Produkteinführungszeiten (TimeToMarket), werden heute in der Telekommunikation, bei Multimediaanwendungen und im Kfz-Bereich besonders deutlich gefordert. Aufgrund der weiter fortschreitenden Miniaturisierung und der damit hochkompakten Aufbau- und Verbindungstechnologien (AVT), der damit einhergehenden steigenden Systemfunktionalität auf nahezu gleichbleibender Fläche bzw. in gleichbleibenden Volumen, erfahren zukünftige mikroelektronische Systeme in Zukunft über den gesamten Herstellungsprozess hinweg eine erhebliche Wertsteigerung. Der daraus resultierende Kostendruck zieht in wachsendem Maße erhebliche Entwurfsprobleme an der Schnittstelle zwischen IC, Subsystemen und Systemen nach sich.

Ein wesentliches Ziel dieses Vorhabens besteht deshalb darin, einen Paradigmenwechsel hinsichtlich des Entwurfs von ICs und mikroelektronischen Systemen und der üblicherweise verwendeten Entwicklungsmethoden einzuleiten. Dazu müssen die bisher getrennt betrachteten Gebiete EMV-gerechter Systementwurf und Entwurf komplexer HF-Systeme zu einer durchgängigen Entwurfsmethodik zusammenwachsen. Berührt davon ist die gesamte Aufbauhierarchie (vom IC über die PAD-Anschlüsse, dem Gehäuse bis hin zum Substratträger und dem System). Verändert werden muss auch die Zusammenarbeit zwischen IC-Hersteller und IC-Anwender – insbesondere muss ein gemeinsames Verständnis über die jeweiligen Machbarkeiten hinsichtlich der Behandlung physikalischer Kopplungen (HF/EMV) erreicht werden (Paradigmenwechsel).

Auf diese Weise soll der Zeitaufwand von der Produktdefinition bis zur Fertigung für Anwendungen aus z.B. den Bereichen Halbleiter, Telekommunikation, Industrie- und Kfz-Elektronik reduziert werden.

Durch den Einsatz integrierter Simulations- und Entwurfstechniken sollen die im Vorhaben entwickelten Verfahren interdisziplinär im Spannungsfeld der Entwicklung von High-Speed- und analogen, digitalen und Mixed-Signal-Systemen erprobt werden. Dabei stehen die Erstellung und Erprobung von neuen Entwurfsmethoden und -werkzeugen sowie Optimierungsverfahren zur Behandlung von unerwünschten Feldkopplungen (HF/EMV) auf IC- und Systemebene einschließlich Daten, Modellen und Spezifikationen im Vordergrund der geplanten Forschungs- und Entwicklungsarbeiten.

Die Zusammensetzung und die weitreichenden Kompetenzen des MESDIE-Konsortiums stellen die nachhaltige Verwertung der erzielten F&E-Ergebnisse im Sinne einer geschlossenen Wertschöpfungskette sicher. Der Nachweis dieser Wertschöpfungskette wird anhand eines arbeitspaket-übergreifenden Validierungskonzeptes auf der Grundlage von Demonstratoren zur Projektlaufzeit und bei Projektabschluss geführt. Im Hinblick auf die daher bisher noch schwer vorzunehmende Abwägung zwischen Modularisierung eines Systems (die Partitionierung muss so erfolgen, dass ein ReDesign mit geringerem Aufwand möglich wird) und tief integrierten Funktionen unter Nutzung aller technologischen Möglichkeiten kommt erweiterten Simulations- und Modellierungsmöglichkeiten auf allen Entwurfs- und Systemebenen eine Schlüsselrolle zu. Umfangreiche Erfahrungen und Analysen aus Industrie und Forschung zeigen, dass sich in diesem Zusammenhang die bzgl. der effektiven Behandlung unerwünschter Feldkopplungen (EMV/HF) vorhandene Lücke beim Entwurfswissen ohne entsprechende F&E-Anstrengungen in Zukunft noch weiter vergrößern wird.

Deutlich wird dies durch die Tatsache, dass sich die charakteristischen Strukturgrößen (ITRS – International Roadmap for Semiconductors/MEDEAplus EDA Roadmap 2003) auf IC-Seite bis zum Ende des Jahrzehnts von derzeit 0.13 µm auf ungefähr 0.05 µm reduzieren wird. Die damit verbundene Leistungsexplosion mikroelektronischer Systeme führt im gleichen Zeitraum z.B. zu einer Erhöhung der Betriebsfrequenzen bei Mikroprozessoren auf ca. 10 GHz. Dies hat eine erhebliche Steigerung unerwünschter HF/EMV-Effekte zur Folge; die Auswirkungen sind unerwünschte HF/EMV-Effekte in den nächsten 6 Jahren, die wesentliche limitierende Faktoren hinsichtlich der integrierten Anwendung von IC und Packaging (HDP/HDI) sein werden.

## Zusammensetzung des Projektkonsortiums

### Partner:

- » ALCATEL SEL AG
- » Robert Bosch GmbH
- » ContiTEMIC
- » GFal
- » IMST
- » Infineon Technologies AG
- » Universität Paderborn
- » ZUKEN GmbH

### Unterauftragnehmer:

- » Fraunhofer Gesellschaft IZM

### Förderkennzeichen:

01 M 3061 (B - M)

### Laufzeit des Vorhabens:

01.06.2002 bis 31.05.2005

Die zu entwickelnden Strategien für die effiziente Entwicklung heterogener Systeme (Funktion/Kosten) müssen sich daher insbesondere der Verknüpfung (Durchgängigkeit von Modellierung und Simulation) von OnChip- und OffChip-Entwurfsproblemen konzentrieren.

Die Lösung des Problems kann also nur in einer kombinierten Behandlung der jeweiligen Störeffekte auf IC- und Systemebene (HDP/HDI-Ebene) liegen.

Die Darstellung in **Abbildung 2** verdeutlicht den MESDIE-Ansatz zur Schließung der Lücke zwischen Entwurf auf IC-Ebene und IC-Anwendung.

Diesem Konzept liegt die Erkenntnis zugrunde, dass grundsätzlich alle EMC/SI/RF-Probleme auf IC-Ebene behandelt und gelöst werden müssten (Beseitigung der Störeffekte an deren Quelle); dies ist allerdings aus Kostengründen nicht möglich. Vielmehr müssen die jeweiligen Effekte in den Teilsystemen behandelt werden, die eine kostenoptimale Lösung erlauben.

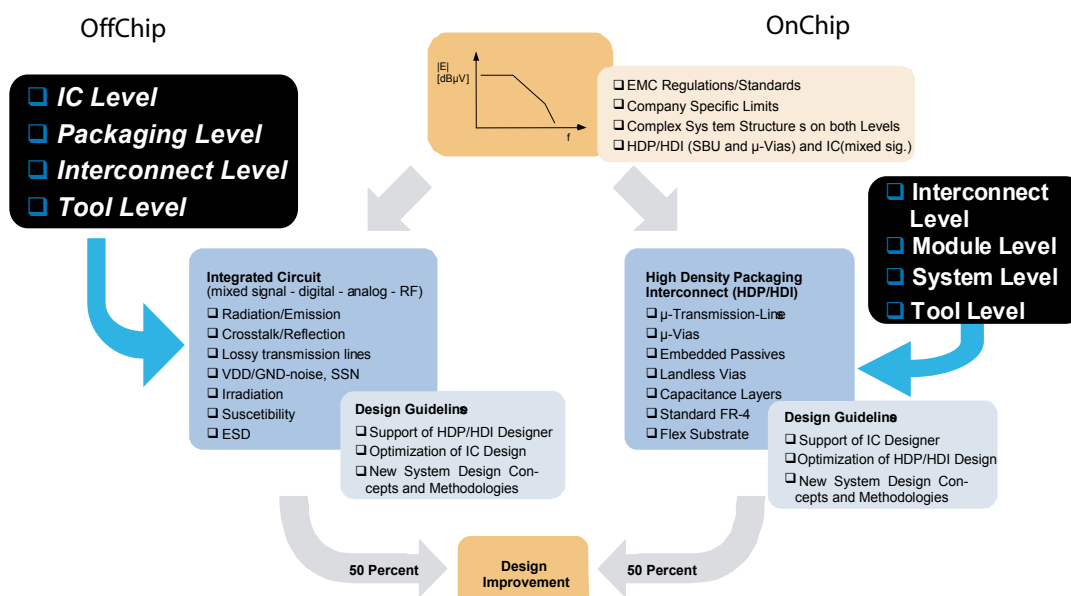
müssen durch messtechnische Verfahren behandelt werden.

Die diesem Forschungsvorhaben zugrundeliegenden Ziele und neu zu erreichenden Qualitäten wurden deshalb wie folgt formuliert:

» Steigerung der Leistungsfähigkeit und Komplexität mikroelektronischer Systeme durch die Bereitstellung einer systemübergreifenden Entwicklungsmethodik, die die notwendige Modularisierung und Miniaturisierung auf Packaging-Ebene durchgängig unterstützt.

» Schließen der Lücke zwischen IC-Entwurf und IC-Anwendung durch neue hierarchische Entwicklungsansätze zur Einbeziehung von elektromagnetischen Kopplungen auf Packagingebene.

» Vorbereitung von zukünftigen web-basierten Anwendungen dieser neuen systemübergreifenden Entwicklungsmethoden.



**Abbildung 2:**

Parallele Behandlung von EMC/SI/RF-Effekten auf OnChip- und OffChip-Ebene.

Die **Abbildung 2** vermittelt weiterhin eine Übersicht darüber welche Randbedingungen für den EMC/RF/SI-gerechten Entwurf auf IC- und Systemebene zu behandeln bzw. zu beachten sind. Die zu behandelnden EMC/RF/SI-Effekte werden in MESDIE den Ebenen IC, Packaging/Verbindungselemente (HDP/HDI-Ebene), Modul und System sowie Werkzeug- und EDA-Umgebung (Tool-Level) zugeordnet. Aufgrund dieser Strukturierung kann eine eindeutige Trennung der zu behandelnden physikalischen Effekte auf jeder Entwicklungsebene und eine Zuordnung von entsprechenden Entwurfsmaßnahmen erfolgen.

Es wird deutlich, dass für den EMV-gerechten Entwurf eine hohe Anzahl von sich teilweise auch widersprechenden Randbedingungen beachtet werden muss. Nicht modellierbare und simulierbare Komplexitäten

Das Forschungsvorhaben MESDIE ist in die folgenden Arbeitspakete gegliedert:

- » WP 0: Coordination and Project Management
- » WP 1: Current Based Approach of Hierarchical EME Modelling and Simulation
- » WP 2: Susceptibility (Digital/Analog/Mixed Signal)
- » WP 3: High Density Interconnect (HDI) Structures for System Integration with Improved Signal Transfer
- » WP 4: Test Vehicles
- » WP 5: Tool Environment and Design Flows
- » WP 6: Measurement Setup and Simulation
- » WP 7: Demonstrators (EMC and Application Specific)

Nachfolgend werden ausgewählte im bisherigen Projektverlauf erzielte Ergebnisse aus diesen Arbeitspaketen vorgestellt.

#### Schlüsselworte zu MESDIE:

Electromagnetic Compatibility (EMC), Electromagnetic Emission (EME), High Density Interconnect, High Frequency Environment, Bottom Up Approach, EMC/EME Behaviour Modelling, Conducted Emission, Parasitic Electromagnetic Effects, Signal Integrity, HDI, HDP, elektromagnetische Kopplungen, EMV-Bewertung, Package- und Systemebene, Mehrlagenstrukturen, PowerGround-System, Prozess-Monitoring

**Ergebnisse:**  
**BottomUpApproach zur EMC-Modellierung**  
**(Arbeitspakete 1 und 5)**

Unter dem Begriff EMV versteht das MESDIE-Konsortium bezüglich der Aufgabe Modellierung grundsätzlich die umfassende Beschreibung des Störemissionsverhaltens (EME bzw. EMI) mikroelektronischer Systeme.

**Abbildung 3:**  
 Ablauf zur Reduktion der  
 Modellkomplexität.

Der dynamische Schaltstrom, erzeugt durch unterschiedlich aktive Funktionsblöcke, ist eine der Hauptursachen für das Entstehen von leitungsgeführten Störungen auf dem IC. Zur Charakterisierung dieser Störungen ist es deshalb unbedingt erforderlich, den dynamischen Schaltstrom zu modellieren. Prinzipiell ist es möglich, dazu die Ergebnisse aus Schaltungssimulationen einzelner Gatter heranzuziehen. Dem ist allerdings durch die hohe Komplexität auf IC-Ebene (mehrere Millionen Transistoren) eine Grenze gesetzt. Es ist deshalb erforderlich, das Entstehen des dynamischen Schaltstroms durch eine analytische Beschreibung zu erfassen. Um eine einfache Integration in die bereits vorhandenen Entwurfsprozesse sowie die Einbindung von technologie-abhängigen Parametern sicherzustellen, wurde ein mathematisches Verhaltensmodell für den dynamischen Schaltstrom auf der Grundlage des BSIM3-Transistormodells entwickelt (BISIM3v3).

Die Entwicklung einer EMV-Darstellung (EMC-View) basiert auf der Analyse des dynamischen Stroms auf dem On-Chip-Versorgungssystem. Damit wird die Identifizierung von di/dt-Hotspots sowie die Vorhersage des Emissionsverhaltens möglich. Innerhalb des ICs können mit ihrer Hilfe I\*R-Drop und L\*di/dt-Spannungsabfall untersucht werden.

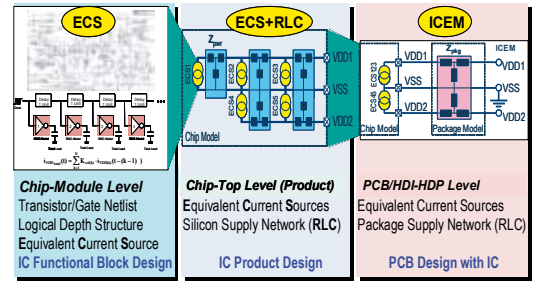
In MESDIE wurde eine dreistufige Bottom-Up-Methodik entwickelt, auf deren Grundlage zunächst EMV-Modelle einfacher Gatter implementiert werden. In einem zweiten Schritt werden Verhaltensmodelle für individuelle IC-Funktionsmodule unter Berücksichtigung der Schaltungstopologie und der Gatterlaufzeiten auf Grundlage einfacher Gattermodelle erzeugt. Zur EMV-Simulation des vollständigen ICs ist es erforderlich, diese EMV-Modelle in Form von äquivalenten Stromquellen (Equivalent Current Sources, ECS) in Bibliotheken abzulegen. In Verbindung mit den parasitären Elementen des Verdrahtungssystems (RLC-Modell) ist dann die EMV-Simulation des – aus vielen miteinander verbundenen Funktionsmodulen bestehenden – vollständigen ICs möglich.

**Verhaltensmodellierung (Arbeitspakete 1 und 5)**

In **Abbildung 3** werden die Modellierungsschritte mit der einhergehenden Vereinfachung von der Gatternetzliste bis zum Simulationsmodell auf Systemebene verdeutlicht.

EMC-Views (links) werden durch topologische Analyse der zugrunde liegenden Gatterschaltung und analy-

tischen Berechnungen der dynamischen Schaltströme gewonnen. Komplexe Funktionsblöcke können somit durch einfache äquivalente Stromquellen (Equivalent Current Sources, ECS) beschrieben werden.

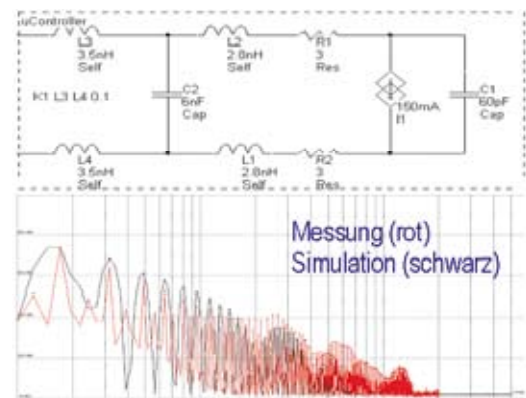


In einem weiteren Schritt (Mitte) werden die globalen Elemente des Versorgungsnetzes (RLC) auf dem Chip und im Gehäuse berechnet. ECS und RLC werden anschließend zu einem Simulationsmodell zusammengefasst, welches die Emissionssimulation des ICs bereits während der IC-Entwurfsphase ermöglicht. Auf diese Weise kann eine iterative Optimierung des Chip-Floorplans sogar gegen kleinste Störemission durchgeführt werden.

Unter Einbeziehung der IC-Gehäuse-Parasiten (RLC) erlaubt das entstandene ICEM-Modell (IC Emission Model, rechts) die Simulation von IC-Schaltströmen und der damit verbundenen Störemission auf Systemebene. Es enthält keine Details zur Chip-Topologie mehr und ist somit zur Weitergabe an IC-Anwender geeignet.

Wesentliche Ergebnisse sind z. Zt. (1) die Entwicklung von Modellen für kaskadierte komplexe Module, (2) die Generierung von ECS für komplexe Module und (3) TASC Messungen (speziell am integrierten EMU Modul) – siehe dazu auch den Abschnitt Testchip TASC (Test Chip for Analysis of Switching Currents).

**Abbildung 4:**  
 ICEM-Modell und Korrelation  
 mit der Messung.



**Abbildung 4** zeigt die Struktur eines parametrisierten ICEM-Modells für einen Mikrocontroller und den Vergleich zwischen Simulation und Messung. Es ist eine gute Übereinstimmung der Harmonischen bis ca. 400 MHz zu erkennen. Eine bessere Genauigkeit kann erst dann erlangt werden, wenn eine vollständige Extrakt-

tion des Versorgungssystems von Testboard und IC erfolgt und somit eine genauere Modellierung möglich ist.

Die oben beschriebene Messung zur Erzeugung von ICEM-Modellen setzt eine genau definierte Messumgebung voraus und kann erst nach der physikalischen Fertigung des jeweiligen ICs durchgeführt werden. Es muss beachtet werden, dass die Nutzung von Messergebnissen zurzeit als Alternative zur vollständigen Extraktion von Modellparametern aus den Chip-beschreibenden Datensätzen genutzt wird. Das Ziel für diesen Teil der Arbeiten besteht nach wie vor darin, Messungen nur zur Validierung von ICEM-Modellen heranzuziehen.

### RLC-Modellierung des Versorgungssystems (Arbeitspaket 1)

Es wurden verschiedene Entkopplungskonzepte untersucht, von denen zwei Konzepte implementiert wurden: Einerseits Entkoppelkondensatoren, welche unterhalb der Versorgungsleitungen als sog. Buskapazitäten implementiert wurden und andererseits integrierte Standardzellenkondensatoren innerhalb des Moduls. Dabei zeigte sich, dass die bedeutendste Verbesserung durch die Kombination von Bus- und Standardzellkapazitäten erzielt werden kann.

Aufgrund der Tatsache, dass die On-Chip-Messungen noch nicht vollständig für die Untersuchungen der PRU-Einheiten möglich sind, wurden Off-Chip-Messungen mit einer Strommesszange vorgenommen. Das Ergebnis zeigt weitestgehend identische Kurvenverläufe für die Ergebnisse aus Messung und Simulation.

Zur Durchführung der Untersuchungen des  $L \cdot di/dt$ -Spannungsabfalls ist es notwendig, über zuverlässige Informationen bezüglich der OnChip-Induktivitäten von Leitungsstrukturen zu verfügen. Das Ergebnis weiterer Untersuchungen zeigte, dass die OnChip-Induktivitäten im Vergleich z.B. zu den Bondinduktivitäten nicht vernachlässigt werden können.

### Testchip TASC - Test Chip for Analysis of Switching Currents (Arbeitspakete 1, 4 und 7)

Der experimentelle Demonstrator-Chip TASC (**Abbildung 5**) wurde in 130nm-CMOS-Technologie gefertigt und steht für Messungen zur Verfügung. Mit systematischen Messungen wurde bereits begonnen. Der Testchip besteht im Wesentlichen aus den drei Modulen zur EME-Modellierung:

» Die EMU (Emission Modeling Unit) erlaubt Messungen des dynamischen Schaltstroms von gleichzeitig oder geringfügig zeitversetzt schaltenden Logikgattern. Sie ist matrixförmig in Zeilen und Spalten von Gattern strukturiert. Schaltströme einer Vielzahl von Gattern bis hinunter zu einzelnen Gattern können mithilfe von integrierten Stromsensoren gemessen

werden. Die EMU dient als Korrelationsvehikel zur Modellierung äquivalenter Gatter, auch als EMC-Views oder Verhaltensmodelle bezeichnet.

» Die PRU (Power Routing Unit) vereinigt 9 EMU-Blöcke, von denen jeder ein anderes lokales Versorgungs- und Abblockkonzept besitzt. Hier können die Schaltströme von einzelnen Modulen oder des Gesamtmoduls gemessen werden. Die PRU dient zur Korrelation der Messungen mit der RLC-Beschreibung der Toplevel-Versorgungs-Verdrahtung.

» Die PSU (Port Switching Unit) stellt 16 Pad-Treiber bereit, die außen mit Lastkondensatoren beschaltet werden können. Deren Pins können wahlweise aktiviert oder deaktiviert werden, und die Schaltzeiten können gegeneinander verschoben werden. Die Schaltströme können On-Chip direkt auf den Pad-Versorgungsleitungen gemessen werden.

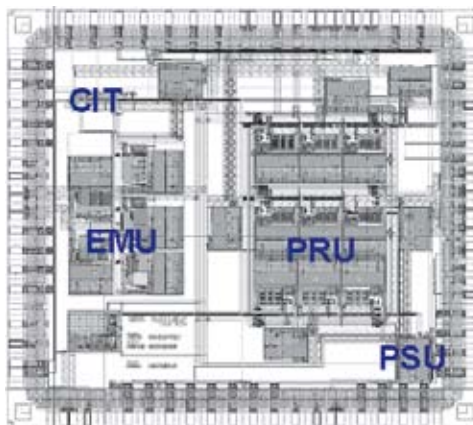


Abbildung 5:  
Test-Module auf dem TASC-Chip

### Neuer Entwicklungsprozess zur EMV-gerechten Entwicklung von KFZ-Anwendungen auf Systemebene (Arbeitspaket 5)

Bisherige Entwicklungsprozesse beruhten darauf, dass der vollständige Fertigungs- und Testprozess durchlaufen werden muss, um zu belastbaren Aussagen hinsichtlich der EMV-Eigenschaften eines Teilsystems zu gelangen. Es wird dabei messtechnisch überprüft, ob die vorgegebenen system-spezifischen Parameter eingehalten werden. Falls dies nicht der Fall ist, werden die Testmuster überarbeitet bzw. neue Muster (Stände) entwickelt, gefertigt und erneut getestet. Eine derartige Iteration dauert zwischen 8 und 12 Wochen. Dieser Vorgang ist vergleichbar mit einem Lernprozess anhand weiterentwickelter Modelle. Betrug die Entwicklungszeit für KFZ-Systeme vor 10 Jahren noch 4-6 Jahre liegt, diese heute unter 3 Jahren. D.h., die Zeit für derartige Lernschleifen ist nicht mehr vorhanden.

In den neuen Entwicklungsprozessen (**Abbildung 6**) findet dieser Lernprozess auf den Ebenen Modellerstellung und Verifikation statt. Wissens- und Modell-datenbanken sind unabdingbare Voraussetzungen für Produktentwicklungszeiten von unter 3 Jahren. Im Verlauf der Entwicklung eines neuen Produktes müs-

sen ca. 80 Prozent des Aufwandes mittels der Wissens- und Modelldatenbank (d.h. verifizierte Modelle) abgedeckt werden. Auf diese Weise wird der Freiraum für eine innovative, qualitätsgerechte Neuentwicklung gewonnen. Um die Zahl der Entwicklungsiterationen begrenzen zu können, werden alle Lernschleifen modell-basiert durchlaufen (virtueller Endtest).

Bei 1,5 Jahren Produktentwicklungszeit entfällt auf jede Iteration 1/8 der Gesamtentwicklungszeit. Damit wird bei 2 Iterationen bereits der Serienstart geführt. Neben dem Entscheidungsprozess (Brainstorming) kommt verlässlichen, parametrisierbaren Modellen also eine Schlüsselrolle in diesem neuen Systementwicklungsprozess zu. Aufgrund der extrem kurzen Entwicklungszeiten können fehlerhafte Systement-

beste Kompensationsstruktur zu finden, sondern diejenige, die am besten in die Anwendung passt. Da Kompensationsstrukturen sehr kurze Laufzeiten besitzen, wurden im ersten Schritt eine grobe Abschätzung und im zweiten Schritt eine detaillierte Simulation und Analyse durchgeführt.

Die Materialauswahl für High-Speed HDI/HDP-Systeme ist schon aus Kostengründen ein sehr wichtiger Punkt. Das Standardmaterial FR4 bringt sehr hohe Verluste bei der Übertragung schneller Signale über längere Strecken. Die Untersuchungen zeigen den Einfluss von verschiedenen Materialkombinationen und Materialdicken auf die Signalqualität. Diese Untersuchungen wurden mit drei unterschiedlichen Materialien in drei unterschiedlichen Stärken durchgeführt.

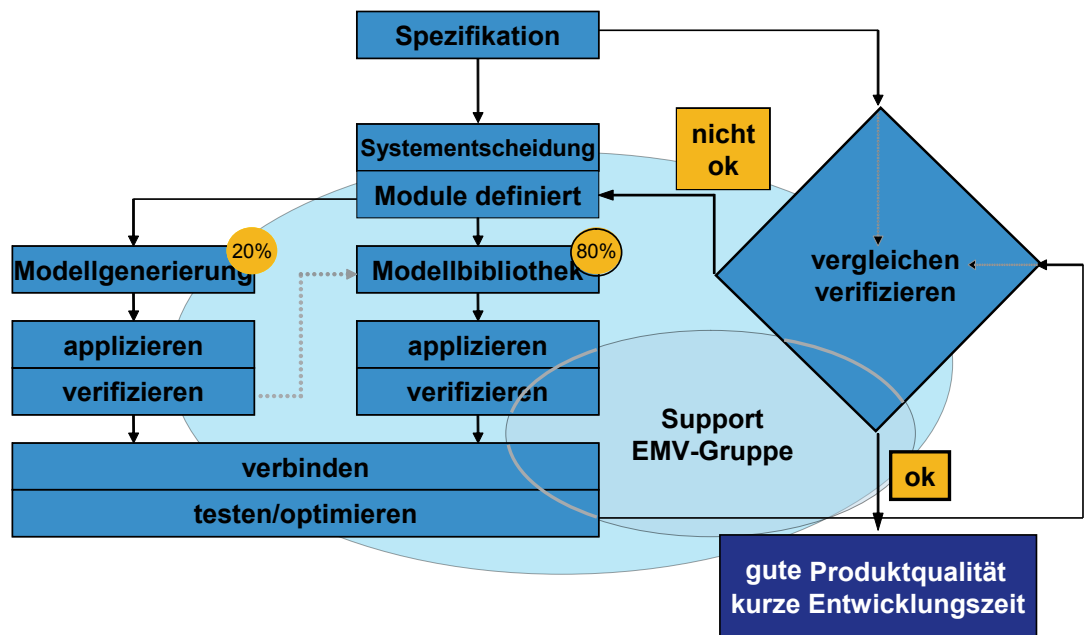


Abbildung 6: Neuer Entwicklungsprozess für KFZ-Systeme

scheidungen nicht mehr korrigiert werden. Auf dieser Entscheidungsebene sind Modelle von einem höheren Abstraktionsgrad notwendig. Da die eingeführten Modelle maßgeblich die Entwicklungsqualität beeinflussen, muss deren Qualität durch gut definierte Modellentwicklungsabläufe (inklusive Validierungsmechanismen) sichergestellt werden.

**Entwurf und Entwicklung von High-Speed HDI/HDP-Systemen (Arbeitspakete 3 und 5)**

Bei der Übertragung differenzieller Signale spielen die Laufzeitunterschiede (skew) innerhalb der Paare eine wichtige Rolle für die Signalintegrität. Diese Laufzeitunterschiede können an verschiedenen Stellen eines Layouts entstehen. Die Ursachen sind häufig mechanischer Natur bei Richtungsänderungen des differentiellen Paares oder an Übergängen zu Steckverbindern. Sie können aber ebenfalls elektrisch bedingt sein, was beispielsweise durch inhomogene Materialeigenschaften hervorgerufen wird. Die Laufzeitunterschiede führen nicht nur zu einer Verschlechterung des Signals an sich, sondern das Signal wird auch empfindlicher gegenüber Störungen von außen (Nachbarleitungen). Die Intension in diesem Arbeitspaket war nicht die

Die Rückwand ist eines der teuersten Bestandteile in Telekommunikationssystemen, da sie alle technischen Anforderungen sehr zuverlässig erfüllen muss (im Betrieb nicht austauschbar). Eine Forderung ist die Toleranz der Impedanz für High-Speed Leitungen. Die Untersuchungen diskutieren den Einfluss der Abweichung der Rückwandimpedanz auf typischen Übertragungen in Karten-Rückwandssystemen (Karte, Steckverbinder, Durchkontaktierungen auf der Karte und Rückwand...). Hierfür wurden SPICE Modelle mit allen wichtigen Teilen der Übertragungsstrecke erstellt. Die Modelle wurden mit unterschiedlichen Rückwandimpedanzen, -längen und Treiber-Konfigurationen simuliert. Der Effekt für die Vorverzerrungseinstellung der Treiber wurde in verschiedenen Konfigurationen analysiert und dargestellt. Die Ergebnisse geben eine gute Übersicht unter welchen Bedingungen die Signalqualität ein Optimum erreicht.

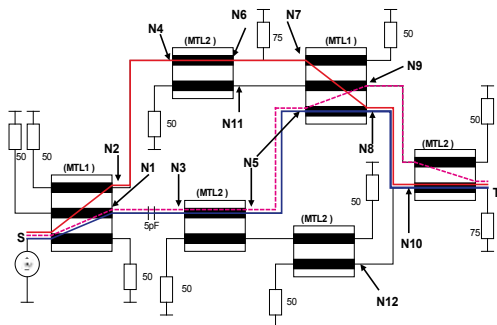
Das Ziel der Arbeiten ist es, durch Einsatz einfacher Teststrukturen die elektrischen Materialparameter (Verlustfaktor und Permittivität) der Rogers-Materialien RO4450B, RO4350B und RO4403 sowie FR4 und das Isola-Material IS620 in Abhängigkeit von der Fre-

quenz zu bestimmen. Dabei werden die elektrischen Parameter der Materialien bis mindestens 80 GHz aus hochfrequenztechnisch vermessenen Teststrukturen berechnet. Ferner werden die Geometrieabweichungen, die bei der Fertigung des Substrats entstehen können, ermittelt. Zur Charakterisierung der oben genannten Materialien wurden mehrere Testsubstrate angefertigt. Von den entwickelten Teststrukturen (T-Resonatoren, lateral gekoppelte Resonatoren und Mäander Resonatoren) wurden bisher die T-Resonatoren vermessen. Die Messungen wurden mit einem Netzwerkanalysator (8510C Agilent Technologies) durchgeführt.

Zurzeit werden die bisher durchgeführten Messungen ausgewertet. Die elektrischen Materialparameter werden extrahiert. In den nächsten Schritten werden ausgewählte Strukturen auf verschiedenen Substraten gemessen, um die Reproduzierbarkeit der Messungen zu überprüfen. Weiterhin werden die restlichen Strukturen bis zu der Frequenz 30 GHz vermessen.

### Strategien zur Signalverfolgung auf HDI/HDP-Strukturen (Arbeitspaket 3)

Es wurde ein Kürzeste-Wege-Algorithmus zur Extraktion einer festgelegten Anzahl von kritischen Signalpfaden (von der Störquelle S zu einer elektrischen Komponente T) auf Substratträgern für mikroelektronische Systeme entwickelt. Der Algorithmus wurde anhand des Beispiels nach **Abbildung 7** getestet.



Die Beispielschaltung enthält sechs gekoppelte Mehrleitersysteme und diskrete Bauelemente. Die Blöcke (MTL1) bestehen aus drei gleichlangen gekoppelten Leitungen (4 cm). Für dieses Beispiel wurden fünf dominante Signalpfade extrahiert.

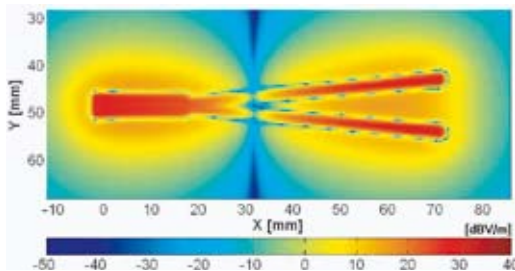
Die fünf dominanten Pfade werden mittels der zugeordneten Störspannungen verglichen. Eine gute Approximation der gesamten Systemantwort wird bereits durch Berücksichtigung der ersten zwei Pfade erzielt (P1/P2).

Zur Reduktion der Schaltungskomplexität bei komplexen HDI/HDP-Strukturen ist eine Kombination mit der implementierten Multi-Port-Connection-Methode notwendig.

### Parameterextraktion für Emissionsmodelle (Arbeitspaket 6)

Bisher wurden hauptsächlich Untersuchungen zur Parameterextraktion aus Nahfeld- und TEM-Wellenleiter-Messungen durchgeführt. Dabei wurden verschiedene Methoden untersucht, um die räumliche Auflösung von Nahfeldsonden zu erhöhen.

Im Bereich Nahfeld-Messungen wurden verschiedene Techniken betrachtet, die zur Erhöhung der Auflösung des planaren 3D-Nahfeld-Messsystems verwendet werden können. Dabei stellte sich die sogenannte Dekonvolution-Methode als besonders geeignet heraus. Bei diesem Verfahren wird aus einer gemessenen unscharfen Feldverteilung, die sich durch die nicht idealen Empfangseigenschaften der verwendeten Nahfeldsonde ergeben, mit Hilfe einer umgekehrten Faltungsoption auf die tatsächliche Feldverteilung zurückgerechnet. Bei der umgekehrten Faltung wird die CPS-Funktion (Corrected Point Spread) benötigt, durch die das Nahfeld-Strahlungsdiagramm der verwendeten Feldsonde charakterisiert

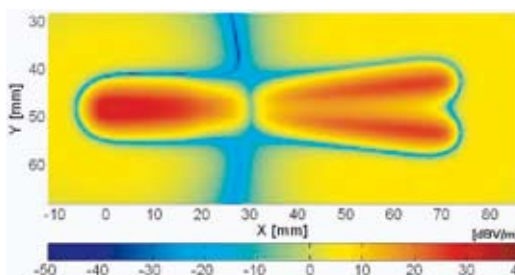


**Abbildung 8:**  
Simulierte Feldverteilung als Referenz

wird.

Das Verfahren konnte anschließend am Beispiel einer passiven Teststruktur, die mit einer Monopolsonde vermessen wurde, bei einer Frequenz von 1 GHz erprobt und mit einer Simulation (**Abbildung 8**) verglichen werden. Die gemessene Verteilung der normalen Komponente der elektrischen Feldstärke 1 mm

**Abbildung 7:**  
Beispiel für Signalpfade



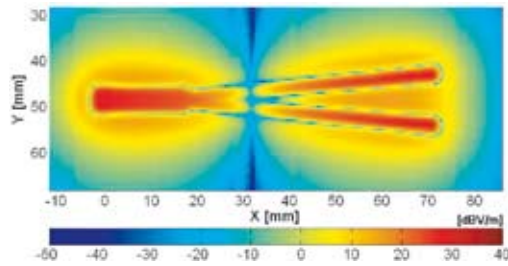
**Abbildung 9:**  
Gemessene Feldverteilung

über der Teststruktur ist in **Abbildung 9** dargestellt und weist eine deutliche Unschärfe auf.

Mit Hilfe der Dekonvolution-Methode kann nun die räumliche Auflösung erheblich verbessert werden, so dass die Teststruktur deutlich erkennbar wird. Diese Verbesserung ergibt sich, wenn die Nahfeldmessung als reine Betragsmessung durchgeführt wird. Weitere Verbesserungen ergeben sich, wenn zusätzlich noch die Phase gemessen wird. Wenn zusätzlich die

**Abbildung 10:**

Korrigierte Feldverteilung  
(Betrag und Phase gemessen,  
Berücksichtigung der  
Polarisation)



die korrigierte Feldverteilung dargestellt, welche eine exzellente Übereinstimmung mit der simulierten Feldverteilung aus **Abbildung 8** aufweist.

**Ausblick und Perspektiven**

Die in MESDIE angesprochenen Entwurfsprobleme (physikalische Kopplungen) können nicht mehr nach Chip- und AVT-Ebene getrennt betrachtet werden. Es ergibt sich dadurch ein erheblicher Handlungsbedarf. Dies spiegelt sich auch in einem wachsenden Druck durch die IC-Anwender aus verschiedenen Systembereichen (KFZ-Elektronik, Multimedia, Telekommunikation,...) wider. Es ist bereits jetzt zu beobachten, dass die Anwender optimale EMV/HF-Eigenschaften integrierter Schaltungen zu einem Auswahlkriterium gemacht haben.

Wesentliche Hindernisse, den IC- und Systementwurf stärker als eine Einheit zu betrachten, zeigen die folgenden Aspekte:

- » Mangelndes Wissen bzgl. Entwurfsrestriktionen
- » Chip- bzw. systembezogener interdisziplinärer Entwurf nicht etabliert
- » Zu wenig Grundlagenwissen
- » Hoher Wettbewerbsdruck
- » Expertenwissen nicht breit gestreut
- » Uu geringe Synergieeffekte

Ein wesentliches Ziel der in MESDIE durchgeführten Untersuchungen ist es daher, die unterschiedlichen Entwurfsanforderungen und EMV/HF-Erfahrungen der Ebenen IC (OnChip) und Subsystem (OffChip) zu kombinieren. Neue Methoden müssen bereits beim Beginn des Chipentwurfs auch den AVT-Entwurf mit einbeziehen und ebenso die umgekehrte Richtung unterstützen. Dazu ist auch die Einbeziehung der vollständigen Übertragungsstrecke vom Pad über das Package (WireBond, FC, BGA,...) und den Substratträger (HDI/HDP) bis zur Systemebene (z.B. Steckerkontakte und Bussystem) notwendig. Aufgrund des dann auf allen Entwicklungsebenen vorliegenden Entwurfswissens

wird es einfacher, die notwendigen Entwurfsentscheidungen bereits im Vorfeld von Produktdefinitionen zielgerichteter zu treffen.

Das hier vorgestellte Verbundvorhaben MESDIE trägt durch den oben vorgestellten Ansatz maßgeblich dazu bei, dass

- » eine Steigerung der Entwurfsproduktivität und -effektivität durch Schließung der Lücke zwischen IC-Entwurf und IC-Anwendung erfolgt,
- » die sich abzeichnende Lücke zwischen IC-Technologie und AVT-Technologie (Beherrschung der Vielfalt von Anwendungsmöglichkeiten) geschlossen wird,
- » die Produktqualität auf beiden Ebenen (IC, AVT) im Hinblick auf die Berücksichtigung elektromagnetischer Kopplungen (HF/EMV) im Entwurf verbessert wird,
- » durch die Einführung einer gemeinsamen Sicht der HF/EMV-Entwurfsprobleme eine Standardisierung und Durchgängigkeit der Entwurfsprozesse erreicht werden kann,
- » Entwicklungslücken durch neue Entwurfsmethoden, Algorithmen (AddOn-Werkzeuge) und neue Modelle geschlossen werden, sowie
- » die Entwurfszeiten verkürzt und die Anzahl der Entwurfsüberarbeitungen verringert wird (Time-To-Market/Kostenreduktion).

Im Verlauf der Projektarbeiten ist es gelungen, das Kompetenznetzwerk Future EMC/RF-Modelling and Simulation Methodologies mit den beteiligten Institutionen FhG IZM, Universität Paderborn und Universität Hannover einzurichten. Eine internationale Vernetzung mit den Forschungseinrichtungen INSA (Frankreich) und Politecnico di Torino (Italien) ist in Vorbereitung.

Eine besondere Anerkennung der Leistung des Projektes ist die Vergabe der Konferenz EMC Compo 2005 nach München an die Partner Infineon Technologies AG und FhG IZM.

Die MESDIE Partner veröffentlichten bisher (zum Teil gemeinsam) 52 Beiträge (Artikel, Vorträge) auf nationalen/internationalen Konferenzen. Das Interesse an den Ergebnissen des Projektes drückt sich auch durch eingeladene Beiträge aus. Darüber hinaus wurden 30 Workshops mit Beiträgen unterstützt und 31 Poster zur Präsentation auf Konferenzen und Veranstaltungen wie z.B. MEDEA+ Forum 2002/2003/2004; Ekompas-Workshop 2003/2004, MEDEA+ Design Automation Conference 2002/2003 erstellt. Bisher wurden zwei Patente durch einzelne Projektpartner angemeldet.

Weitere Informationen sind unter [www.edacentrum.de/ekompas/projekte/mesdie.html](http://www.edacentrum.de/ekompas/projekte/mesdie.html) zu finden.

**Kontakt:**

MESDIEoffice  
Fraunhofer Institut für  
Zuverlässigkeit und  
Mikrointegration (IZM)  
Dipl.-Ing. Werner John  
Technologiepark 34  
33100 Paderborn  
fon: +49 5251 5402 100 (150)  
fax: +49 5251 5402 105  
eMail: [office@mesdie.org](mailto:office@mesdie.org)