

# MAYA – Neue Methoden für den Massiv Paralleltest im Hochvolumen, Yield Learning und beste Testqualität

von Sebastian Sattler und Jürgen Schlöffel

Der vorliegende Artikel stellt den derzeitigen Stand der Ergebnisse in MAYA ([1]) vor. Die Arbeiten werden von Infineon Technologies und NXP Semiconductors in Zusammenarbeit mit der Universität Potsdam (AG Fehlertolerantes Rechnen), dem IIS-EAS Dresden (Institut für Integrierte Schaltungen), der RTG (Redemund und Thiede Datentechnik GmbH), der Universität Stuttgart (Institut für Technische Informatik) und der Arbeitsgruppe Rechnerarchitektur (AGRA) der Universität Bremen durchgeführt.

## Testverfahren für die Datenerfassung beim Massiv-Paralleltest

Ausgangspunkt für die Weiterentwicklung der Methode der Datenkompression und On-Chip-Speicherung ist das Konzept des On-Chip-Vergleichs, bei dem die Testantworten auf dem Chip gespeichert werden ([2]). Im Berichtszeitraum wurden zwei verschiedene Varianten für die Speichereinheit entwickelt, bei denen mindestens 256 kompaktierte Diagnosedaten gleichzeitig auf dem Chip abgespeichert werden können. In der ersten Variante wird der absolute Wert des Zeitpunktes gemeinsam mit der kompaktierten Fehlerinformation in eine Speichereinheit geschrieben. Dabei wird – wie auch in der zweiten Variante – die Fehlerinformation maximal komprimiert, damit die auf dem Chip benötigte Fläche minimiert wird. Aus diesem Grund werden höchstens 2-Bit-Fehler zur Diagnose ausgewertet. Fehler mit mehreren fehlerhaften Bits werden nur als „fehlerhaft“ gekennzeichnet, aber nicht weiter analysiert. In der zweiten Variante wird jeweils die zeitliche Differenz zwischen zwei Fehlern gemeinsam mit der Fehlerinformation auf dem Chip gespeichert. Eine entsprechende Kontrollstruktur, welche einen optimalen Zwischenspeicher enthält, wird entworfen. Diese beiden Speichervarianten werden in ihrem Aufwand für verschiedene Technologien verglichen. Ebenso wurde untersucht, wie sich die Ersetzung eines Speichers mit voller Wortbreite durch zwei Speicher mit kleiner Wortbreite in den verschiedenen Speichertechnologien auf den Flächenbedarf auswirkt.

Als Alternative zur Implementierung auf dem Chip wird auch die Realisierung der Einheit zur Kompaktierung, Maskierung und Speicherung auf einem FPGA untersucht. Auf dem FPGA ist die Fläche nicht wesentlich beschränkt und eine so hohe Datenkomprimierung deshalb nicht nötig. Dadurch wird eine höhere Diagnoseauflösung ermöglicht. Auch ist es möglich, über die zunächst angedachten 256 fehlerhaften Testdaten hinaus weitere Fehlerinformation abzuspeichern, welche bei Bedarf nach dem Test ausgewertet werden können. Weiterhin wird die Kompaktierung eines X-

behafteten Datenstroms durch einen im Vergleich zum Testtakt (Makrotakt) beschleunigten Abtasttakt (Mikrotakt) eingeführt und untersucht. Es wird gezeigt, dass sich durch die Auswahl von 1–2 kompaktierten Testdaten pro Makrotakt durch den Tester die Toleranz von X-Werten erheblich verbessern lässt, ohne dass dazu wesentlich zusätzlicher Hardwareaufwand erforderlich ist. Ergebnisse dieser Arbeit sind in zwei Publikationen im Detail beschrieben ([3], [4]).

## Effiziente Übertragung von sehr großen Datenmengen

Im Anschluss an die grundlegenden Untersuchungen im Bereich der Datenerfassung am Tester (ATE – Automatic Test Equipment) wurde die weitergehende Verarbeitung der Diagnose-Daten untersucht. Es wurde ein Konzept entwickelt, welches die Erzeugung und Übertragung von Diagnosedaten so gezielt steuert, dass der Diagnoseflow bei der Speicherung der Daten nicht überlastet wird. Des Weiteren wurde ein Ansatz definiert, mit dem die korrekte Verarbeitung von Datenpaketen in dem Diagnoseflow kontrolliert und fehlerhafte Verarbeitungsschritte schnell identifiziert werden können. Dieser Ansatz erlaubt zudem eine flexible Parallelisierung der einzelnen Prozessschritte zur Erhöhung des Datendurchsatzes ([5]). Als Abschluss der Konzeptphase wurden eine erste Abschätzung des Rechen- und Speicherbedarfes zur Dimensionierung von Flow und Datenbank erstellt und die notwendigen Ressourcen zur Implementierung des Konzeptes im Prototyp beschafft.

## Effiziente Verfahren zur Testdatenkompression

Mit der ansteigenden Komplexität, der Größe des Designs und der größeren Anzahl von benötigten Testvektoren, die auf einem Testsystem gespeichert werden müssen, wird es mehr und mehr notwendig, Test-Kompressionslogik auf dem Chip zu implementieren. In diesem Arbeitspaket liegt ein Schwerpunkt auf der Erforschung und Analyse der Response-Compaction-Algorithmen zur effizienten Behandlung der unbekannt Zustände in der Testantwort. Dabei wurden insbesondere nicht-MISR (Multiple-Input-Shift-Register)-basierte Kompaktierungsverfahren für die Testantworten der Schaltung untersucht und analysiert, um innovative Konzepte für neue Algorithmen zur effektiven Behandlung von unbekannt Zuständen entwickeln zu können. Dazu wird eine Space-Compaction-Logic erstellt, welche nun die verschiedenen Prüfketten-Antworten in einen oder mehrere Ausgänge kompaktiert, d. h. logisch über XOR-Gatter verknüpft. Im Vergleich zu einer MISR-Lösung können hier die Ausgänge kontinuierlich beobachtet werden und erlau-

## Zusammensetzung des Projektkonsortiums:

### Partner:

- » Infineon Technologies AG
- » NXP Semiconductors Germany GmbH

### Unterauftragnehmer:

- » Fraunhofer-IIS, EAS
- » Redemund & Thiede Datentechnik GmbH
- » Universität Bremen
- » Universität Potsdam
- » Universität Stuttgart

### Förderkennzeichen

01 M 3172

### Laufzeit des Vorhabens:

01.06.2006 – 31.05.2009

ben damit eine normale Fehlerdiagnose, da die internen Zustände im Falle einer fehlerhaften Ausgabe bekannt sind. Durch die kontinuierliche Beobachtung der Ausgänge wird der MISR obsolet. Zudem ist ein einzelner MISR-Zyklus einem einzelnen Kompaktierungslogik-Zyklus mathematisch äquivalent.

#### **DfT-Maßnahmen zur Erhöhung des Paralleltestfaktors**

Es wurden Strategien und Konzepte erarbeitet, die zu einer Erhöhung des Paralleltestfaktors beitragen sollen. Die generelle Eignung der Methoden wurde anhand erster Beispiele untersucht. Für zwei aussagekräftige reale Schaltungen wurden die Grenzen der Testdatenkomprimierung auf Grundlage der „Embedded-Deterministic-Test“ (EDT) Scan-Testmethode untersucht. Hierzu wurden Testmuster mit verschiedenen Kompressionsraten generiert, indem bei konstanter Scankettenkonfiguration die Anzahl der externen Scankanäle variiert wurde. Es konnte gezeigt werden, dass ein Testinterface mit reduzierter Kanalzahl in der Regel nicht zu einem Qualitätsverlust führt. Erst bei Konfigurationen mit weniger als vier Scankanälen oder einem entsprechenden Scanketten/Kanalverhältnis größer 100 wird eine Reduktion der Fehlerabdeckung deutlich. Durch eine Erhöhung des Scanketten/Kanalverhältnisses sinkt insgesamt die notwendige Testdatenmenge. Allerdings führt eine Reduktion der Scankanalanzahl zu einem erhöhten Speicherbedarf pro Testerkanal, was die Anwendbarkeit beschränkt. Die im Vergleich zu heutigen Schaltungen weitere mögliche Testdatenreduktion um einen Faktor von drei bis vier ist als alleinige Maßnahme nicht ausreichend, um einen massiven Paralleltest zu ermöglichen.

Ein weiterer Beitrag zur Erhöhung der Paralleltestfähigkeit wird durch die Ausnutzung von Stimulus-Broadcast-Methoden erwartet. Anstatt die Testantworten am Tester zu bewerten, sollen die Erwartungswerte als Eingangsdaten dem Baustein zugeführt und dort bewertet werden. In einem Beispiel wurde die generelle Machbarkeit der neuen Methode nachgewiesen. Die Vergleichsschaltung wurde synthetisiert und in ein kleines Design integriert. Ohne großen zusätzlichen Aufwand konnten Testmuster generiert werden. Die erzeugte Testmusterdatei wurde manuell modifiziert und konnte in einer anschließenden Simulation erfolgreich verifiziert werden. Um den kontaktlosen Test der charakteristischen Parameter für Pads zu ermöglichen, wurde eine erweiterte Pad-Struktur mit zusätzlichen DfT-Maßnahmen spezifiziert. Die Basis hierfür ist ein im Pad integrierter Komparator, der eine direkte Bewertung der Pegel basierend auf einer externen frei einstellbaren Referenzspannung zulässt.

#### **ROM-based DLBIST**

Der Multi-Site-Test von großen integrierten Schaltungen ist nur dann sinnvoll möglich, wenn die Anzahl der Testmuster, der Speicherbedarf des ATE und die Menge der I/O-Pins reduziert werden können. Der

in AZTEKE entwickelte DLBIST bietet eine solche Möglichkeit. Allerdings ist die dort verwendete Bit-Flip-Logik zu groß und unflexibel.

Zudem gehen die derzeitigen Strategien zur Integration eines Logik-BIST immer von einem so genannten „Hard-Coding“, also der einmaligen, nicht nachträglich veränderbaren Implementierung aus. Ein Ansatz in Richtung flexibler Implementierung bietet die Nutzung von Read-Only-Memories (ROM) zum Speichern der benötigten Daten auf dem Chip. Dieser Ansatz muss sowohl die Eingangsseite, also Stimuli-Daten, speichern, als auch den X-Masking-Logic-Ansatz (XML) unterstützen können. Eingangsseitig sind zwei verschiedene Anforderungen zu berücksichtigen. Zum einen muss ein Start-Seed für die Erzeugung der zufälligen Bitmuster an den LFSR (Linear-Feedback-Shift-Register) gegeben werden, um mit solchen Zufallsmustern die Basis für eine Fehlerabdeckung von bereits 80 % erreichen zu können. Zum anderen werden zur Erkennung der restlichen Fehler deterministische Testmuster so berechnet und in einem ROM abgespeichert, dass die Fehlerabdeckung über 99 % steigt. Hier gilt es, eine Abstimmung zwischen der Anzahl benötigter deterministischer Testmuster, der verfügbaren Größe des LFSR und der erlaubten Größe für das ROM auf dem Chip zu finden.

#### **Signalerzeugung und Signalauswertung für Mixed-Signal**

Die Testzeit ist der wichtigste Kostenfaktor beim Produktionstest heutiger Mixed-Signal Schaltungen ([6], [7], [8]). Verschiedene Techniken (BIST, BOST) zur Reduzierung der Testzeit bzw. Testkosten werden in der Literatur angegeben. Diese Techniken setzen die Verwendung effizienter Verfahren zur Signalgenerierung bzw. Signalauswertung in Echtzeit mit digitalen Ressourcen voraus. In dem dazu erstellten Bericht wurde eine Reihe von Algorithmen bzw. Verfahren untersucht, welche in verschiedenen BIST-BOST-Applikationen bereits eingesetzt wurden. Die Algorithmen haben dabei Vor- und Nachteile. Zum Beispiel besitzt die FFT zwar eine hohe Akzeptanz bei der Spektralanalyse, ist jedoch aufgrund der Komplexität für eine BIST-Lösung nur bedingt (z. B. Mixed-Signal IC mit DSP) geeignet. Soll lediglich ein Teil des Spektrums ausgewertet werden, dann sind andere Algorithmen (z. B. Goertzel-Algorithmus) effizienter. Eine Standardlösung für universell einsetzbare BIST-Applikationen gibt es zurzeit nicht. Es können nur „gute“ Lösungen (Verfahren) bei gegebenen Randbedingungen (z. B. verfügbare Ressourcen, zu testende Parameter) angegeben werden. Als viel versprechendes Verfahren hat sich in Rahmen eigener Untersuchungen der Goertzel-Algorithmus erwiesen. Erste Untersuchungen zeigen, dass der Algorithmus sowohl zur Signalgenerierung als auch zur Signalauswertung (Spektralanalyse) eingesetzt werden kann. Ob und mit welchem Aufwand ein SNR-BIST (Signal to Noise Ratio) für einen Analog-Digital-Wandler möglich ist, wird im Rahmen weiterer Untersuchungen geklärt.

### SAT-based ATPG

Im Vergleich zu komplizierten algorithmenbasierten ATPGs hat die SAT-Technik (Boolean SATisfiability) durchaus einige Vorteile, wie z. B. Effizienz und Erweiterbarkeit. Eine mögliche Anwendung solcher SAT-Verfahren für Schaltkreise mit bis zu 100 Millionen Gattern ist hier der Forschungsschwerpunkt. Aus eigenen Vorarbeiten steht bereits ein erstes Werkzeug für die SAT-basierte Testmuster generierung bezüglich des Haftfehlermodells zur Verfügung. Dieses Werkzeug wird für die Betrachtung dynamischer Fehlermodelle erweitert. Eine erste prototypische Implementierung eines Pfadverzögerungsmodells in das bestehende SAT-basierte ATPG-Werkzeug wurde bereits abgeschlossen. Dieser SAT-ATPG wurde exemplarisch an den bestehenden traditionellen ATPG „Amsal“ angekoppelt. Dabei konnten nicht nur Testmuster für ausgewählte Pfade erzeugt werden, sondern darüber hinaus auch Testmuster für solche Pfade im Design generiert werden, die vom traditionellen ATPG so nicht adressiert werden konnten.

### Layout-based ATPG

Schaltungen zeichnen sich durch zunehmend komplexere Verdrahtungsstrukturen aus, an denen überall auf den Leitungen vom Treiber bis hin zu den verschiedenen Empfängern Haftfehler, Unterbrechungen, Verzögerungsfehler oder Kurzschlüsse auftreten können. Bisherige Testmuster generatoren betrachten allerdings nur Haftfehler an Ein- und Ausgängen von logischen Schaltungselementen. Für die Bearbeitung nächster Generationen von Schaltungen müssen neben heutigen Fehlermodellen auch Leitbahnsegmente und Verdrahtungsstrukturen in Betracht gezogen werden, die Stuck-at-Fehler an Eingängen/Ausgängen von Schaltungselementen und an Verdrahtungselementen berücksichtigen können. Dazu werden in MAYA Untersuchungen und Analysen durchgeführt und ein Konzept zur Entwicklung eines Verfahrens zur Analyse des Layouts erstellt. Dieses Verfahren sieht vor, dass eine logische Schaltung in eine äquivalente generierte Schaltung transformiert wird, die um zusätzliche Verdrahtungssegmente ergänzt wird. Dazu wird das in Leonidas entwickelte Werkzeug CatBridge so erweitert, dass alle notwendigen Daten aus dem Layout heraus extrahiert werden können. Neben den einzelnen Leitbahnsegmenten in unterschiedlichen Metallisierungsebenen, werden auch Instanzen wie Bibliothekselemente und die dazugehörigen Ports erkannt. Jedes Leitbahnstück, jedes Via und alle Instanzen werden mit physikalischen xy-Koordinaten extrahiert, d. h. die reale Lage des Elements (gedreht, gespiegelt, etc.) auf der Hardware wird mit in Betracht gezogen. Im Weiteren werden neben den gatterbezogenen Haftfehlertypen wie SA1, SA0 nun neue SegmentSA1 und SegmentSA0 für den Testmuster generator eingeführt.

### Zusammenfassung

Infineon plant die neuen Methoden und Verfahren für die Reduktion der Testkosten im Produktionstest für

automotive Anwendungen und Kommunikationsanwendungen einsetzen. Am Standort Neubiberg/München (Infineon) und Hamburg (NXP Semiconductors) werden dazu Testalgorithmen und Software, Prototypen für Testschaltungen und Diagnosedatengewinnungsverfahren für die Massenproduktion entwickelt. Die Methodik- und Innovationskompetenz wird so gegenüber den Mitbewerbern gestärkt, und trägt bei zur Sicherung und Ausbau dieser hochqualifizierten Arbeitsplätze in Deutschland. Die während des Projektes verifizierten Methoden und Verfahren werden nach einer Reifephase von ca. 9 Monaten produktiv in den jeweiligen Applikationen eingesetzt und in den dazugehörigen applikationsspezifischen Testflows verwendet.

### Literatur

- [1] S. Sattler, „MAYA: Neue Methoden für den Massiv-Paralleltest im Hochvolumen, Yield Learning und beste Testqualität“, in: newsletter, edacentrum, Ausgabe 04, pp. 9–10, 2006.
- [2] F. Poehl, J. Rzeha, M. Beck, M. Gössel, R. Arnold, P. Ossimitz, „On-Chip Evaluation, Compensation, and Storage of Scan Diagnosis Data – A Test Time Efficient Scan Diagnosis Architecture“, 11th IEEE European Test Symposium (ETS), (Southampton, UK), 21–25 May 2006, pp. 239–246.
- [3] A. Leininger, M. Gössel, M. Richter, M. Fischer, M. Braun, „Using Timing Flexibility of Automatic Test Equipment to Complement X-Tolerant Test Compression Techniques“, International Test Conference (ITC), (Santa Clara, CA), 21–26 Oct 2007, Paper 6.3.
- [4] M. Richter, A. Leininger, M. Gössel, „Schnelle Kompaktierung von Testdaten mit X-Werten durch MISR ohne Rückkopplung“, ITG/GI/GMM Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen, (Erlangen, Deutschland), 11–13 Mär 2007, pp. 7–11.
- [5] S. Sattler, „Low-Cost Test and Diagnosis of Integrated Circuits“, in: EEEfCOM – Fachmesse für Hochfrequenztechnik, Komponenten, Module und EMV, Fachhochschule Ulm, (Ulm, Baden-Württemberg), 20–21 Jun 2007.
- [6] H. Mattes, S. Kirmser, S. Sattler, „Mixed-Signal Testen mit FPGA“, 9. ITG/GMM-Diskussionssitzung Entwicklung von Anlogschaltungen mit CAE-Methoden (ANALOG), (Dresden, Deutschland), 27–29 Sep 2006, pp. 87–94.
- [7] I. Koren, F. Demmerle, R. May, M. Kaibel, S. Sattler, „FPGA Architecture for RF Transceiver System and Mixed-Signal Low Cost Tests“, 12th IEEE European Test Symposium, (Freiburg, Germany), 20–24 May 2007, pp. 43–48.
- [8] J. Mejri, S. Kirmser, S. Sattler, „Hochauflösende Jittermessung für nachhaltige Lieferqualität und Testkostenreduktion“, 1. GMM/GI/ITG-Fachtagung Zuverlässigkeit und Entwurf (ZuD), (München, Deutschland), 26–28 Mär 2007, pp. 63–68.

**Kont@kt (MAYA)**  
 Dr. Sebastian Sattler  
 Infineon Technologies AG  
 fon: (0 89) 2 34 - 2 23 94  
 Sebastian.Sattler@infineon.com