



MAYA – Neue Methoden für den Massiv-Paralleltest im Hochvolumen, Yield-Learning und beste Testqualität

Ein Bericht von den Erfolgen des zur Effektivitätssteigerung des Tests integrierter Schaltungen angetretenen Ekompas-Projekts nach zwei Jahren Projektlaufzeit

Der vorliegende Artikel stellt das Projekt MAYA [4, 14, 16] und den derzeitigen Stand der Ergebnisse vor. Die Arbeiten werden von Infineon Technologies AG (IFX) und NXP Semiconductors GmbH (NXP) in Zusammenarbeit mit Mentor Graphics Development GmbH (MGC), der Universität Potsdam (AG Fehler-tolerantes Rechnen), dem IIS-EAS Dresden (Institut für Integrierte Schaltungen), der RTG (Redemund und Thiede Datentechnik GmbH), der Universität Stuttgart (Institut für technische Informatik – ITI) und der Arbeitsgruppe Rechnerarchitektur (AGRA) der Universität Bremen durchgeführt.

Gesamtziel des Vorhabens

Moderne Schaltungen zeichnen sich durch zunehmend komplexere Leitungsstrukturen aus, die über eine große Anzahl von Metallebenen verlaufen. Auf diesen Leitungen, vom Treiber bis hin zu den verschiedenen Empfängern, können Haftfehler, Unterbrechungen, Verzögerungsfehler oder Kurzschlüsse auftreten. Schaltungsmodelle, die nur dem logischen Verhalten der realen Schaltung entsprechen und nicht spezielle Fehler auf diesen sehr komplexen Verdrahtungsstrukturen berücksichtigen, werden für die automatische Testgenerierung in Zukunft nicht mehr ausreichend sein. Um zukünftig die notwendige Qualität beim Produktionstest zu erreichen, müssen für neue Halbleitertechnologien zusätzliche Tests für neue Fehlermodelle bereitgestellt werden. Ziel ist es, Verfahren zu erforschen und zu entwickeln, die es ermöglichen, die notwendigen Testmuster für die Produktionsfehler an allen Leitungssegmenten in Nanotechnologien (< 100 nm) zu berechnen.

System-in-Package (SiP) Architekturen werden in Zukunft die Ansammlung verschiedenster klassischer Produkte in einem einzigen Gehäuse ermöglichen. Die immer weiter fortschreitende Reduzierung der Strukturweiten in der Nanoelektronik ermöglicht dabei zum einen immer höhere Packungsdichten und verschiebt zum anderen die Grenzfrequenzen in immer höhere Bereiche. Um solche anspruchsvollen Module noch kostengünstig im Hochvolumen testen zu können, müssen Selbsttestlösungen für alle Mixed-Signal-Komponenten eines SoC (System On Chip) zur Verfügung stehen. Gelingt es, ausschließlich digitale Ressourcen auf dem Chip sowohl für die Erzeugung der analogen Testsignale als auch für die Erfassung und Weiterverarbeitung der Testantworten zu verwenden [29], können teure Analog und Mixed-Signal Tester durch kostengünstigere, übliche Digitaltester ersetzt werden. Durch den hochparallelen Test vieler Bausteine gleichzeitig wird ein signifikanter Beitrag zur Reduzierung der gesamten Testkosten geleistet.

Um den zukünftigen Qualitätsanforderungen, wie z. B. der Vorgabe, dass integrierte Bausteine im Sicherheits- und Automobilbereich nicht einen einzigen Fehler ent-

halten dürfen (Null Fehler Vorgabe), gerecht werden zu können, werden neue Methoden und Werkzeuge [12, 26, 27, 28] erforscht und entwickelt. Das Projekt MAYA will diesen Herausforderungen mit neuesten Techniken zur massiv parallelen Datenerfassung auf dem Chip in Kombination mit innovativen Lösungen für den Multi-Site-Test und die schnelle Datenübertragung off-Chip begegnen. Multi-Site steht hier für den Massiv-Paralleltest, bei dem möglichst viele Chips oder SiPs beim Testen parallel angesteuert und ausgelesen werden können. Durch deren Einsatz soll sowohl im schnellen Technologieanlauf als auch im Produktionstest die dringend gebotene Durchsatzsteigerung beim Hochvolumentest mit der geforderten Qualität erzielt werden.

Dieses Verbundvorhaben hat daher das Gesamtziel, Methoden und Verfahren des parallelen Tests vieler Bauteile im Design- und Produktionsumfeld zu erforschen und zu entwickeln, die – ohne Einschränkung in der Qualität – die Kosten für den Hochvolumentest integrierter Schaltungen um Faktoren reduzieren [25]. In Tabelle 1 sind die geplanten Ziele von MAYA zusammengefasst. Sie enthält auch die Einschätzung des längerfristigen Einsparpotentials durch die Ergebnisse von MAYA.

Ziele von MAYA	Ein Jahr nach Ende des Projekts MAYA	Längerfristiges Einsparpotential durch MAYA
Massiv-Paralleltest	256 Chips gleichzeitig	Faktor 10
Kostenreduktion Testdurchführung	Faktor 2	Faktor 3
Kostenreduktion Tester	Faktor 2	Faktor 3
Flächensparnis mit ROM DLBIST	Faktor 2	Faktor 3
Zeitverkürzung Testdurchführung	Faktor 2	Faktor 3
Verkürzung DfT Entwicklung	Faktor 2	Faktor 3

Tabelle 1: Zusammenfassung der Ziele von MAYA

Arbeitspakete

Das Vorhaben MAYA wurde zur effizienten Bearbeitung der Aufgabenstellungen in drei Arbeitspakete (AP) und diese wiederum in Aufgaben (A) untergliedert

Autoren:

Sebastian Sattler,
Jürgen Schlöffel,
Georg Menges,
Andreas Glowatz,
Friedrich Hapke

(Abbildung 1.02). AP-1, „Datenerfassung und Datenkompression im Massiv-Paralleltest“, AP-2, „Neue Testverfahren und Methoden für Multi-Site- und Hochvolumentest“, und das Arbeitspaket AP-3, „Analog becomes Digital, Nichtklassische und dynamische Fehlermodelle“.

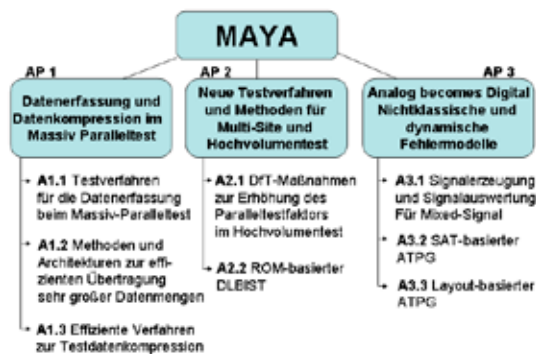


Abbildung 1.02: Strukturplan zu MAYA

A-1.1: Testverfahren für die Datenerfassung beim Massiv-Paralleltest

Ausgangspunkt für die Weiterentwicklung der Methode der Datenkompression und On-Chip-Speicherung ist das Konzept des On-Chip-Vergleichs, bei dem die Testantworten auf dem Chip gespeichert werden [1, 32]. Es wurden zwei verschiedene Varianten (Prototypen) für die Speichereinheit entwickelt, bei denen mindestens 256 kompaktierte Diagnosedaten gleichzeitig auf dem Chip abgespeichert werden können. In der ersten Variante wird der absolute Wert des Zeitpunktes gemeinsam mit der kompaktierten Fehlerinformation in eine Speichereinheit geschrieben. Dabei wird – wie auch in der zweiten Variante – die Fehlerinformation maximal komprimiert, damit die auf dem Chip benötigte Fläche minimiert wird. Aus diesem Grund werden höchstens 2-Bit-Fehler zur Diagnose ausgewertet. Fehler mit mehreren fehlerhaften Bits werden nur als „fehlerhaft“ gekennzeichnet, aber nicht weiter analysiert. In der zweiten Variante wird jeweils die zeitliche Differenz zwischen zwei Fehlern gemeinsam mit der Fehlerinformation auf dem Chip gespeichert. Eine entsprechende Kontrollstruktur, welche einen optimalen Zwischenspeicher enthält, ist entworfen worden. Diese beiden Speichervarianten wurden in ihrem Aufwand für den Flächenbedarf für verschiedene Technologien verglichen. Zusätzlich wurde untersucht, wie sich die Ersetzung eines Speichers mit voller Wortbreite in zwei Speicher mit kleiner Wortbreite in den verschiedenen Speichertechnologien auswirkt. Die Ergebnisse sind vielversprechend und stellen einen Einsatz in realen Produkten in Aussicht.

Als Alternative zur Implementierung auf dem Chip ist auch die Realisierung der Einheit zur Kompaktierung, Maskierung und Speicherung auf einem FPGA untersucht worden. Auf dem FPGA ist die Fläche nicht wesentlich beschränkt und eine hohe Datenkomprimierung deshalb nicht nötig. Dadurch wird eine höhere Diagnoseauflösung ermöglicht. Auch ist es möglich, über die zunächst angedachten 256 fehlerhaften Test-

daten hinaus weitere Fehlerinformationen abzuspeichern, welche bei Bedarf nach dem Test ausgewertet werden können. Weiterhin ist die Kompaktierung eines X-behafteten Datenstroms durch einen im Vergleich zum Testtakt (Makrotakt) beschleunigten Abtasttakt (Mikrotakt) eingeführt und untersucht worden. Es wird gezeigt, dass sich durch die Auswahl von 1–2 kompaktierten Testdaten pro Makrotakt durch den Tester die Toleranz von X-Werten erheblich verbessern lässt, ohne dass dazu wesentlich zusätzlicher Hardwareaufwand erforderlich ist. Ergebnisse dieser Arbeit sind in Publikationen im Detail beschrieben [8, 17].

Der Prototyp wurde umfangreichen Tests unterzogen. Hierzu wurde zunächst das logische Modell simuliert. Ausgewählte Bestandteile der On-Chip-Speichereinheit (DDSU) wurden zusätzlich auf einem FPGA realisiert, ausführliche Teststimuli entwickelt, und auf dieser Basis funktional getestet. Damit sich die Verwendung des Prototyps der DDSU problemlos in den bestehenden Chip-Testablauf integriert, wurde eine softwarebasierte Datenkonvertierung auf dem ATE entwickelt. Hierbei werden die vom ATE erfassten Daten im Prüfprogramm umgerechnet und in einem Datenformat herausgeschrieben, das zu dem in Arbeitspaket A-1.2 entwickelten Diagnoseflow kompatibel ist. Sobald das Verfahren der On-Chip-Speicherung [22, 23, 33] vollständig in den Testablauf eingebettet ist, kann auf diese zusätzliche Konvertierung verzichtet werden. Dann können die notwendigen Berechnungen direkt im Diagnoseflow durchgeführt werden.

A-1.2: Effiziente Übertragung von sehr großen Datenmengen

Im Anschluss an die grundlegenden Untersuchungen im Bereich der Datenerfassung am Tester (ATE) wurde die weitergehende Verarbeitung der Diagnose-Daten untersucht. Es wurde ein Konzept entwickelt, welches die Erzeugung und Übertragung von Diagnosedaten so gezielt steuert, dass der Diagnoseflow bei der Speicherung der Daten nicht überlastet wird. Des Weiteren wurde ein Ansatz definiert, mit dem die korrekte Verarbeitung von Datenpaketen in dem Diagnoseflow kontrolliert und fehlerhafte Verarbeitungsschritte schnell identifiziert werden können. Dieser Ansatz erlaubt zudem eine flexible Parallelisierung der einzelnen Prozessschritte zur Erhöhung des Datendurchsatzes [9, 14, 30]. Es ist eine erste Abschätzung des Rechen- und Speicherbedarfes zur Dimensionierung von Flow und Datenbank erstellt und die notwendigen Ressourcen zur Implementierung des Konzeptes im Prototyp beschafft worden.

Zur Implementierung des Volumen-Diagnoseflow ist schwerpunktmäßig an der Extraktion der Layouteigenen diagnostizierten logischen Ausfallnetzen und einer zentralen, für Scan-Diagnosedaten spezifischen Datenbank gearbeitet worden. Die logischen Pfade des Diagnoseablaufs werden nun mit Hilfe einer in der Fehleranalyse üblichen Software charakterisiert. Hierzu war die Entwicklung einer Automatisierungsum-

gebung notwendig, da die Software normalerweise interaktiv eingesetzt wird. Die hierbei ermittelten Layoutinformationen bezüglich Lage, benutzter Ebenen und Ausdehnung der Netze werden in wenigen Kennzahlen beschrieben. Grundlage der Kennzahlen ist ein „umgebendes Rechteck“, dessen Mittelpunkt und Ausdehnung in x- und y-Richtung angegeben wird. Die Anbindung an die Diagnose-Datenbank erfolgt zur interaktiven Datenauswertung mit einem vorbereiteten EXCEL-Interface mit integrierten Visual Basic Makros. Die Ergebnisse werden in vorbereiteten Tabellen und Grafiken in Form von Defekt-Übersichtsdiagrammen, Paretos und Wafermaps abgebildet, so dass systematische Fehler im Defekt-Pareto und häufig auch in auffälligen Signaturen der Wafermap erkannt werden.

A-1.3: Effiziente Verfahren zur Testdatenkompression

Mit der ansteigenden Komplexität, der Größe des Designs und der größeren Anzahl von benötigten Testvektoren, die auf einem Testsystem gespeichert werden müssen, wird es mehr und mehr notwendig, Testkompressionslogik auf dem Chip zu implementieren. Beim traditionellen Scan-Test werden die Flip-Flops einer digitalen Schaltung zu langen Schieberegistern kombiniert, den Scanketten. Während des Produktionstests werden diese Scanchains mit dem Tester verbunden. Dieser stellt die Test-Stimuli zur Verfügung und erfasst die Testantworten des CUT (Circuit Under Test) zur weiteren Evaluation (Abbildung 1.03). Test-Stimuli und Testantworten werden Testvektoren genannt und müssen auf dem Tester gespeichert werden. Die sehr schnell groß werdende Gesamtanzahl der Testvektoren lässt sich dabei berechnen als Produkt der Länge der längsten Scanketten und der Anzahl der Testmuster.

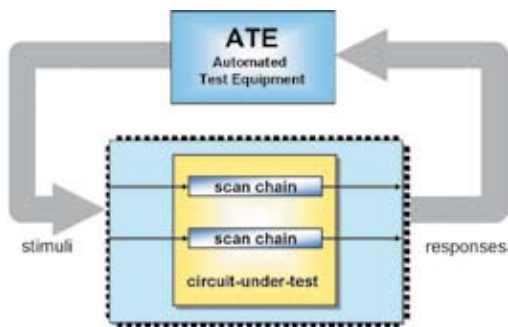


Abbildung 1.03: IC-Test ohne Testkompression

Für Testkompression wird etwas zusätzliche Hardware auf dem Chip eingefügt, ein Dekompressor auf der Eingangsseite und ein Kompaktor auf der Ausgangsseite (Abbildung 1.04). Damit ist die Anzahl der Scanketten jetzt von der Anzahl der Eingangspins entkoppelt. Das bedeutet einerseits deutlich mehr, aber auch kürzere Scanketten. Andererseits können komprimierte Test-Stimuli und kompaktierte Testantworten verwendet werden, die zu einer deutlichen Reduktion der Speicheranforderungen auf dem ATE (Automated Test Equipment) führen.

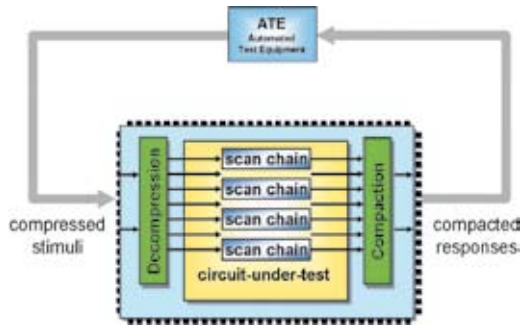


Abbildung 1.04: IC-Test mit Testkompression

Ein Schwerpunkt in MAYA liegt auf der Erforschung und Analyse der Response-Compaction-Algorithmen zur effizienten Behandlung der unbekannt Zustände in der Testantwort. Dabei wurden insbesondere nicht-MISR (Multiple-Input-Shift-Register) -basierte Kompaktierungsverfahren für die Testantworten der Schaltung untersucht und analysiert, um innovative Konzepte für neue Algorithmen zur effektiven Behandlung von unbekannt Zuständen entwickeln zu können. Der hier entwickelte Response-Compaction-Logic (RCL)-Algorithmus erlaubt das Maskieren von vielen gleichzeitig auftretenden unbekannt Zuständen (Abbildung 1.05). Der RCL-Ansatz führt somit zu keiner Erhöhung der benötigten Testmuster, wie es in heute am Markt verfügbaren Werkzeugen der Fall ist. Der RCL-Ansatz unterstützt auch eine effektive Diagnose im Fehlerfall.

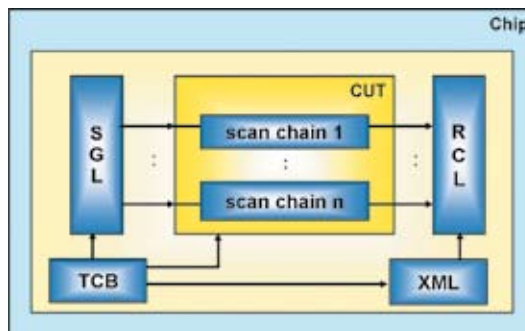


Abbildung 1.05: TK Logik mit Response-Compaction-Logik

Aufbauend auf der erfolgreichen Implementierung und Verifikation an realen Schaltungen wurde in einem weiteren Schritt ein Konzept für einen sequentiellen, modularen Testkompressions-Ansatz entwickelt und in Software umgesetzt. Dadurch verringert sich der notwendige Verdrahtungsaufwand zur Ansteuerung der einzelnen Designblöcke deutlich und es kommt zu weniger komplexen Leitbahnführungen. Die Implementierung unterstützt dabei sowohl die Re-Use-Anforderungen an einzelne Schaltungsblöcke (IP-Blöcke) als auch das NXP-interne Testrail-Konzept (Abbildung 1.06). Unter einer Testrail versteht man dabei hintereinandergeschaltete IP-Module, die über einen Datenbus mit definierter Breite sequentiell ansteuerbar sind. Bei der Umsetzung dieses Ansatzes wurde berücksichtigt, dass sowohl die für die TK-Logik benötigte Fläche möglichst klein bleibt, als auch die notwendige Verdrahtung zwischen den Modulen optimiert wird. Der erstellte Prototyp ist in der Lage, alle

TK-Blöcke automatisch zu generieren. Ein besonderer Vorteil dieses erstellten Prototyps ist das implementierte Multi-Mode-Konzept, d.h. die Unterstützung unterschiedlicher Modi (Testkompression-Mode, Bypass-Mode, internal module test, external module test, etc.), die eine separate Ansteuerung der einzelnen IP-Blöcke erlauben.

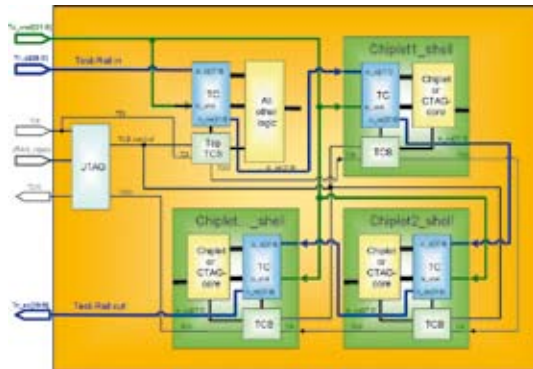


Abbildung 1.06: Multi-Mode und TestRail Konzept

Damit ist es möglich, bestimmte Module in der TestRail z. B. in den TestCompression oder LongChain Mode zu schalten oder nur die Peripherie des Blocks zu testen. Der direkte Test eingebetteter Speicherblöcke oder die Ansteuerung von integrierten Vendor-Blöcken (z. B. ARM) wird ebenso unterstützt wie z. B. Burn-In Tests. Alle blockbezogenen Fehlerabdeckungsinformationen werden hier in eine das Gesamt-IC betreffende Fault Coverage zusammengeführt. Der Prototyp wurde erfolgreich an einer realen Schaltung verifiziert. Durch die Integration der sequentiellen TK-Logik konnte in diesem Beispiel die Anzahl der Testvektoren um den Faktor 6 reduziert werden.

A-2.1: DfT-Maßnahmen zur Erhöhung des Paralleltestfaktors

Es sind Strategien und Konzepte erarbeitet worden, die zu einer Erhöhung des Paralleltestfaktors beitragen. Die generelle Eignung der Methoden wurde anhand weiterer Beispiele untersucht. Für zwei aussagekräftige reale Schaltungen sind die Grenzen der Testdatenkomprimierung auf Grundlage der „Embedded-Deterministic-Test“ (EDT) Scan-Testmethode untersucht, für andere speziell die neuen Maskierungsmöglichkeiten von X-Werten genauer analysiert worden. Hierzu wurden Testmuster mit verschiedenen Kompressionsraten generiert, indem bei konstanter Scankettenkonfiguration die Anzahl der externen Scankanäle variiert wurde. Es konnte gezeigt werden, dass ein Testinterface mit reduzierter Kanalanzahl in der Regel nicht zu einem Qualitätsverlust führt. Erst bei Konfigurationen mit weniger als vier Scankanälen oder einem entsprechenden Scanketten/Kanalverhältnis größer 100 wird eine Reduktion der Fehlerabdeckung deutlich. Durch eine Erhöhung des Scanketten/Kanalverhältnisses sinkt insgesamt die notwendige Testdatenmenge. Allerdings führt eine Reduktion der Scankanalanzahl zu einem erhöhten Speicherbedarf pro Testerkanal, was

die Anwendbarkeit beschränkt. Die im Vergleich zu heutigen Schaltungen weitere mögliche Testdatenreduktion um einen Faktor von drei bis vier ist als alleinige Maßnahme nicht ausreichend, um einen massiven Paralleltest zu ermöglichen.

Der weitere Beitrag zur Erhöhung der Paralleltestfähigkeit wird durch die Ausnutzung von Stimulus-Broadcast-Methoden erwartet. Anstatt die Testantworten am Tester zu bewerten, werden die Erwartungswerte als Eingangsdaten dem Baustein zugeführt und dort bewertet. In einem Beispiel wurde die generelle Machbarkeit der neuen Methode nachgewiesen. Die Vergleichsschaltung wurde synthetisiert und in ein kleines Design integriert. Ohne großen zusätzlichen Aufwand konnten Testmuster generiert werden. Die erzeugte Testmusterdatei wurde manuell modifiziert und konnte in einer anschließenden Simulation erfolgreich verifiziert werden. Es wurden erste Untersuchungen durchgeführt, bei denen die Grenzen der Signalverteilung und die eventuellen Rückwirkungen von fehlerhaften Bausteinen betrachtet werden. Dieser Ansatz, bei dem ein Testerkanal verwendet wird, um mehrere Bausteine zu stimulieren, soll bei einem weiteren Prototyp noch gesteigert werden, indem er auch auf die Ausgänge des Designs ausgedehnt wird. Anstatt die Testantworten am Tester zu bewerten, werden hierzu die Erwartungswerte als Eingangsdaten dem Baustein zugeführt und dort bewertet. Nachdem die generelle Machbarkeit dieser neuen Methode nachgewiesen werden konnte, wurde damit begonnen, die notwendigen Testmustermodifikationen zu automatisieren, um so die Anwendbarkeit des Prototypen sicherzustellen. Um den kontaktlosen Test der charakteristischen Parameter für Pads zu ermöglichen, wurde eine erweiterte Pad-Struktur mit zusätzlichen DfT-Maßnahmen spezifiziert und implementiert. Die Basis hierfür ist ein im Pad integrierter Komparator, der eine direkte Bewertung der Pegel basierend auf einer externen frei einstellbaren Referenzspannung zulässt.

A-2.2: ROM-based DLBIST

Multi-Site-Testen von großen integrierten Schaltungen ist nur dann sinnvoll möglich, wenn die Anzahl der Testmuster, der Speicherbedarf des ATE und die Menge der I/O Pins reduziert werden kann. Der in AZTEKE entwickelte DLBIST bietet hier eine solche Möglichkeit. Allerdings ist die dort verwendete Bit-Flip-Logik zu groß und unflexibel. Die derzeitigen Strategien zur Integration eines Logik-BIST gehen immer von einem so genannten „Hard Coding“, also der einmaligen, nicht nachträglich veränderbaren Implementierung aus. Ein Ansatz in Richtung flexibler Implementierung bietet hier die Nutzung von Read-Only-Memories (ROM) zum Speichern der benötigten Daten on-Chip. Dieser ROM-Ansatz muss sowohl auf der Eingangsseite Stimulidaten speichern, als auch den X-Masking-Logic-Ansatz (XML) unterstützen können (siehe Abbildung 1.07). Dazu wurden in MAYA neue Ansätze für die LBIST-Ein-

gangsseite entwickelt und neue, optimierte Algorithmen in Software implementiert und in einem Prototyp zusammengeführt [18]. Im Vergleich zum bisherigen BFL-Ansatz konnte mit der ROM-Lösung eine Flächenreduktion um den Faktor 4 für die benötigte Logik auf dem Chip erreicht werden.

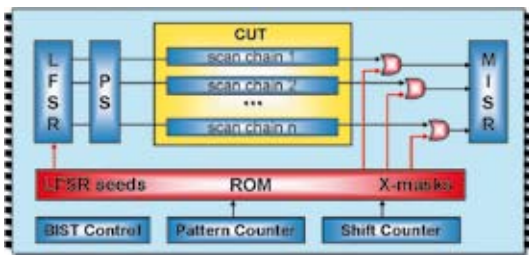


Abbildung 1.07: ROM basierter, deterministischer LBIST Ansatz

Dabei wurde die Automatisierung der LBIST-Generierung weiter vorangetrieben. Der implementierte Prototyp erzeugt alle notwendigen DLBIST-Block-Beschreibungen in RTL. Dieser Code kann dann mit kommerziellen Werkzeugen synthetisiert werden, um die LBIST-Hardware zum jeweiligen Design hinzuzufügen. Die Speicherung der notwendigen Stimulidaten im ROM erfolgt dabei unter Berücksichtigung neu entwickelter Datenkompaktierungsansätze. In der DLBIST-Umgebung stellt zudem der Datentransfer von einem zum anderen Clock-System eine besondere Herausforderung dar, da hier sehr viele unbekannte Zustände berücksichtigt werden müssen. Alle unbekannt Zustände müssen maskiert werden, da sie sonst die MISR-Signatur zerstören würden. Diese Maskierungen werden auch im Speicher abgelegt. Um nun aber das ROM in einer adäquaten Größenordnung zu halten, muss die Anzahl der x-Zustände so gering wie möglich gehalten werden. Daher wurden neue Algorithmen implementiert, die nicht aktuell zu testende Clocksysteme ausschalten können. Ein parallel entwickeltes Verfahren zur Erhöhung der Kodiereffizienz wurde im Berichtszeitraum in Java implementiert. Daneben wurden die neu entwickelten, speziellen Kompressions- und Dekompressionsalgorithmen an ausgewählten Industrieschaltungen verifiziert. Parallel dazu wurde ein neues Verfahren eines programmierbaren Ansatzes für das intelligente Bereitstellen von Startwerten für das lineare Schieberegister (LFSR) auf der Eingangsseite des DLBIST entwickelt. Ein Vergleich mit den bisher besten Methoden für ein solches Reseeding hat eine signifikante Reduktion des Datenvolumens von bis zu 50% ergeben.

A-3.1: Signalerzeugung und Signalauswertung für Mixed-Signal

Die Testzeit ist der wichtigste Kostenfaktor beim Produktionstest heutiger Mixed-Signal Schaltungen [2, 12, 13]. Verschiedene Techniken (BIST, BOST) zur Reduzierung der Testzeit bzw. Testkosten werden in der Literatur angegeben. Diese Techniken setzen die Verwendung effizienter Verfahren zur Signalgenerierung bzw. Signalauswertung in Echtzeit mit digitalen

Ressourcen voraus. In dem dazu erstellten Bericht wurde eine Reihe von Algorithmen bzw. Verfahren vorgestellt, welche in verschiedenen BIST-BOST-Applikationen bereits eingesetzt wurden. Die Algorithmen haben dabei Vor- und Nachteile. Zum Beispiel besitzt die FFT zwar eine hohe Akzeptanz bei der Spektralanalyse, ist jedoch aufgrund der Komplexität für eine BIST-Lösung nur bedingt (z. B. Mixed-Signal IC mit DSP) geeignet. Soll lediglich ein Teil des Spektrums ausgewertet werden, dann sind andere Algorithmen (z. B. Goertzel-Algorithmus) effizienter. Eine Standardlösung für universell einsetzbare BIST-Applikationen gibt es zurzeit nicht. Es können nur „gute“ Lösungen (Verfahren) bei gegebenen Randbedingungen (z. B. verfügbare Ressourcen, zu testende Parameter) angegeben werden [10, 20, 21]. Als viel versprechendes Verfahren hat sich in Rahmen eigener Untersuchungen der Goertzel-Algorithmus erwiesen [19]. Erste Untersuchungen zeigen, dass der Algorithmus sowohl zur Signalgenerierung als auch zur Signalauswertung (Spektralanalyse) eingesetzt werden kann. Ob und mit welchem Aufwand ein SNR-BIST (Signal to Noise Ratio) für einen Analog-Digital-Wandler möglich ist, wird im Rahmen weiterer Untersuchungen geklärt.

Um eine möglichst gute und zeitnahe Verwertung der Forschungsergebnisse zu erzielen, wurde die im ersten Förderjahr erarbeitete Klassifizierung typischer Mixed-Signal Schaltungen auf die aktuelle Infineon Produktpalette angewandt. Dabei wurde ein eindeutiger Schwerpunkt von Analog-Digital-Konverter/Digital-Analog-Konverter (ADC/DAC) Paaren identifiziert. Diese treten mehrfach in System-on-Chips (SoCs) für mobile Kommunikationssysteme auf, die im Hochvolumen mit mehreren hundert Millionen Stück gefertigt werden und einem sehr starken Kostendruck unterworfen sind. Für einen Vertreter dieser Bausteinfamilie wird ein prototypischer Messaufbau erstellt, mit dem die neuen Methoden zur Unterstützung der Testparallelisierung erprobt werden. Insbesondere wird ein Loop-Back-Testkonzept realisiert, mit dem sich ein ADC/DAC-Paar gegenseitig testet. Die notwendigen Teststimuli werden in Verbindung mit zusätzlicher auf dem Testerloadboard aufgebrachter Hardware von dem zu testenden Baustein selbst erzeugt. Die Auswertung der Messdaten wird von dem bausteininternen Mikrocontroller durchgeführt. Von der gesamten Prozesskette des Messaufbaus wird ein parametrierbares Simulationsmodell erstellt, welches den ADC, den DAC sowie Loop-Back-Filter enthält. Mit Hilfe des Simulationsmodells werden die Teststimuli generiert und optimiert, um eine möglichst hohe Messgenauigkeit zu erzielen. Das Modell erlaubt es, für verschiedene Fehlerklassen, wie z. B. Integrale Nicht-Linearität (INL) das zu erwartende Fehlermuster vorherzubestimmen.

A-3.2: SAT-basierter ATPG

Im Vergleich zu traditionellen ATPG-Techniken hat der SAT-basierte Ansatz (Boolean SATisfiability) wesentliche Vorteile bezüglich Robustheit und einer effizienteren

Erweiterbarkeit auf unterschiedlichste Fehlermodelle [24]. Eine mögliche Anwendung solcher SAT-Verfahren für Schaltkreise mit bis zu 100 Millionen Gattern ist ein Forschungsschwerpunkt in MAYA. Bei dieser Methode wird ein Konzept aus dem Gebiet der formalen Verifikation angewendet, bei der die funktionelle Äquivalenz zweier kombinatorischer Schaltkreise bewiesen werden soll. Hierbei werden die Ausgänge beider Schaltkreise jeweils durch eine XOR-Funktion verknüpft. Funktionelle Äquivalenz der Schaltkreise ist dann bewiesen, wenn es nicht gelingt, eine Kombination von Inputsignalen zu finden, bei der mindestens eine der o. g. XOR-Verknüpfungen auf eine logische Eins evaluiert.

Bei der Anwendung dieses Konzepts für die Generierung von Testmustern werden die korrekte Version und die fehlerhafte Version des Schaltkreises in oben beschriebener Weise verknüpft. Abbildung 1.08 zeigt die resultierende Schaltung, wobei Schaltkreis C und C' den fehlerfreien und den fehlerbehafteten Schaltkreis darstellen. Die Idee ist, dass jede Eingangskombination, welche einen unterschiedlichen Wert an einem der Ausgänge erzeugt, als Testmuster für den im fehlerhaften Schaltkreis enthaltenen Fehler darstellt.

Wird jedoch bewiesen, dass es keine solche Eingangskombination gibt, sind beide Schaltkreise funktionell äquivalent und der angenommene Fehler nicht testbar.

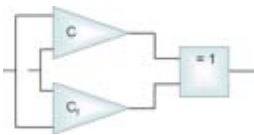


Abbildung 1.08: Funktionsprinzip des SAT-Konzepts

Aus eigenen Vorarbeiten steht bereits ein erstes Werkzeug für die SAT-basierte Testmustererzeugung bezüglich des Haftfehlermodells zur Verfügung. Dieses Werkzeug wurde zu Beginn von MAYA für die Betrachtung dynamischer Fehlermodelle erweitert. Eine erste prototypische Implementierung eines Pfadverzögerungsmodells in das bestehende SAT-ATPG-Werkzeug wurde exemplarisch mit dem bestehenden traditionellen ATPG kombiniert (Abbildung 1.09) [31, 34]. Erste Verifikationsläufe mit den gekoppelten FAN- und SAT-basierten Testmustererzeugern waren sehr erfolgreich. Es wurde beispielsweise gezeigt, dass mit Hilfe des SAT-basierten ATPG Testmuster für solche Fehler generiert werden konnten, bei denen die traditionellen Methoden keine Lösung in endlicher Zeit liefern konnten. Die Verifikationen wurden an mehreren realen industriellen Schaltungen mit mehr als 5 Million Gattern erfolgreich durchgeführt.

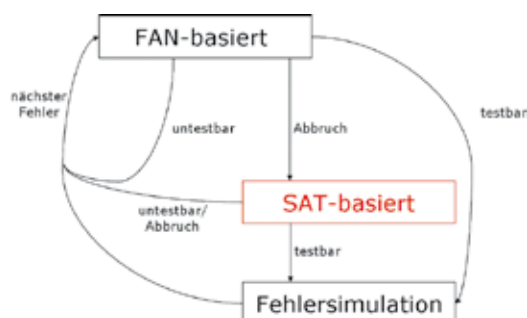


Abbildung 1.09: Kombination von traditionellem ATPG mit SAT-Techniken

Es wurden zudem neue Algorithmen entwickelt, welche die Größe und die Komplexität einer SAT-Instanz bereits während der Erzeugung der Netzlisten verringern können. Dadurch konnten erhebliche Verbesserungen beim reinen SAT Testmustergenerator bezüglich Laufzeit und Anzahl der Abbrüche erzielt werden. Um den SAT-basierten ATPG auch mit den in AP-1.3 entwickelten Testdatenkompressionsalgorithmen kombinieren zu können, werden neue Möglichkeiten zur Generierung von SAT-Zuweisungen auf der Basis essentieller Signale untersucht. Nur durch eine Konzentration auf solche Signale ist eine Kompaktierung der Testmuster überhaupt möglich. Zudem werden neue Algorithmen entwickelt und implementiert, die bereits vorher gefundenen Signalzuweisungen wiederverwenden können. Hier liegt ein Schwerpunkt auf der Behandlung von FFR-Strukturen, Konstrukten mit sehr vielen Eingängen, aber nur einem Ausgang. Durch einen Pre-Prozess werden hier spezifischen Ein- und Ausgängen simulierte Signalbelegungen für einen bestimmten Fehler als Attribut mitgegeben. Diese können bei der Generierung der SAT-Zuweisungen wiederverwendet werden, was zu einer deutlichen Laufzeitverbesserung führt. Diese implementierten Algorithmen zusammen mit den neuen Kompaktierungsansätzen wurden erfolgreich an industriellen Benchmarkschaltungen verifiziert [35]. Die experimentellen Ergebnisse zeigen dabei deutlich den Vorteil der neuen Algorithmen im Bezug auf die Gesamtlaufzeit der Fehlerdetektion.

Neu hinzugekommen sind auch dynamische KNF-Zuweisungen. Hier werden strukturelle Informationen der Schaltung so bei der Erstellung der SAT-Instanzen genutzt, dass die Größe der zu erzeugenden KNF reduziert und die gesamte Laufzeit des ATPG-Prozesses deutlich verkürzt werden kann. Darüber hinaus wurde der Prototyp des SAT-Testmustergenerators für Pfadverzögerungsfehler so erweitert, dass nun neben nicht-robusten Testmustern auch robuste Muster generiert werden können. Robust sind Testmuster dann, wenn sie unempfindlich gegenüber kurzen Störimpulsen (glitches) auf den Verdrahtungsleitungen sind.

A-3.3: Layout-basierter ATPG

Schaltungen zeichnen sich durch zunehmend komplexe Verdrahtungsstrukturen aus, an denen überall auf den Leitungen vom Treiber bis hin zu den verschiedenen Empfängern, Haftfehler, Unterbrechungen, Verzögerungsfehler oder Kurzschlüsse auftreten können. Bisherige Testmustererzeugern betrachten allerdings nur Haftfehler an Ein- und Ausgängen von logischen Schaltungselementen, z. B. nicht einen Stuck-At Fehler auf einzelnen Leitungsteilen vorher. Für die Bearbeitung nächster Generationen von Schaltungen müssen neben heutigen Fehlermodellen auch Leitbahnsegmente und Verdrahtungsstrukturen in Betracht gezogen werden, die Stuck-At 0/1-Fehler an Eingängen/Ausgängen von Schaltungselementen und an Verdrahtungselementen berücksichtigen können. Die Problematik und die damit

verbundene Motivation für diese Aufgabenstellung in MAYA ist anhand eines Beispiels in Abbildung 1.10 dargestellt. Bei dieser Struktur mit einem Treiber und vier UND-Gattern werden traditionell Haftfehler an den Eingängen der Gatter modelliert. Hier führt ein Haftfehler am oberen UND-Gatter zu einer beobachtbaren Änderung am Ausgang (grün dargestellt). Sitzt die Fehlerstelle allerdings auf der zuführenden Leitung zu den beiden oberen Gattern, ist die Auswirkung dieses SA0-Fehlers die gleiche wie zwei Fehler an den jeweiligen Gattern. Ziel ist es aber, für genau dieses Leitungssegment ein spezifisches Testmuster zu erzeugen, welches einen klaren Rückschluss auf das Fehlerverhalten zulässt.

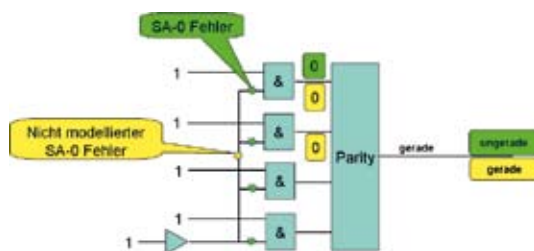


Abbildung 1.10: Problemstellung für einen Layout-basierten ATPG

Daher wurde in diesem Arbeitspaket ein Konzept zur Entwicklung von Verfahren zur Analyse des Layouts erstellt. Das hier entwickelte Verfahren kann eine logische Schaltung in eine logisch äquivalente Generatorschaltung übersetzen, die dann alle Verdrahtungssegmente enthält. Dazu wurde ein in Leonidas entwickeltes Werkzeug zur Layoutextraktion so erweitert, dass jetzt alle notwendigen Daten aus dem Layout heraus extrahiert werden können. Neben den einzelnen Leitbahnsegmenten in unterschiedlichen Metallisierungsebenen werden auch Instanzen wie Bibliothekselemente und die dazugehörigen Ports erkannt. Jedes Leitbahnstück, jedes Via und alle Instanzen werden mit physikalischen xy-Koordinaten extrahiert, das heißt, die reale Lage des Elements (gedreht, gespiegelt, etc.) auf der Hardware wird mit in Betracht gezogen. Dabei werden nur die wirklich benötigten Daten extrahiert, um die Datenmengen in einer handhabbaren Größenordnung zu halten. Der erstellte Prototyp wurde erfolgreich an realen Layoutdaten verifiziert. Die Arbeiten an den Fehlermodellen für die aus dem Layout extrahierten Verdrahtungssegmente wurden fortgeführt und eine Spezifikation für diese neuen Algorithmen für SegmentSA0- und SegmentSA1-Fehler erstellt. Gegebene Verbindungsstrukturen mit Fanout werden hier berücksichtigt. Fanout-Strukturen sind Netze mit einem Eingang und mehreren Ausgängen.

Die neuen Algorithmen sind in der Lage, entsprechende topologische Fanout-Strukturen zu behandeln. Bei der Implementation wurde darauf geachtet, dass die Softwareumsetzung hocheffektiv ist, damit die Algorithmen möglichst schnell auch sehr große Schaltungsblöcke bearbeiten können. Aktuelle Schaltungen enthalten nicht selten mehrere Millionen von

Fanout-Netzen. Zudem sind auch sehr große Fanout-Strukturen, wie etwas komplette Taktsysteme zu berücksichtigen. Im Laufe der Untersuchungen hat sich herausgestellt, dass der Einfluss der Modellierung der Verdrahtungselemente zwischen den einzelnen Instanzen keinen allzu großen Effekt im Bezug auf die Erhöhung der Fehlerabdeckung zeigt. Die direkte Berücksichtigung der realen inneren Verdrahtungen der Bibliothekselemente allerdings stellt einen deutlichen Gewinn für die Fault Coverage dar. Daher liegt der aktuelle Schwerpunkt der Aktivitäten jetzt auf dem Layout-basierten ATPG-Ansatz für die Zell-internen Verdrahtungsstrukturen. Erste experimentelle Untersuchungen an einer aktuellen Technologie lieferten Hinweise darauf, dass ein großer Teil der Bibliothekszellen keine hundertprozentige Fehlerabdeckung aufweist. Hier kann aber unter Verwendung additioneller, spezifischer Testmuster die kumulative Fehlerabdeckung deutlich verbessert werden.

Zusammenfassung

Alle in MAYA entwickelten neuen Maßnahmen und Verfahren müssen grundsätzlich für die Massenproduktion komplexer Schaltungen und Systeme ausgelegt sein. Aus heutiger Sicht ist die Erweiterung um defektbasierte Fehlermodelle der einzig gangbare Weg, um die zusätzlich ständig steigenden Qualitätserwartungen zu vertretbaren Kosten zu erfüllen. Diese Maßnahmen werden die Wettbewerbsfähigkeit der deutschen Mikroelektronik auf dem Gebiet der Methodenentwicklung und Bereitstellung von kostengünstigsten Testverfahren für den Produktionstest von integrierten Schaltungen erhalten und ausbauen, und somit einen wesentlichen Beitrag zum Erhalt und Aufbau von R&D Arbeitsplätzen in Deutschland leisten.

Die beiden Partner Infineon und NXP planen die neuen Methoden und Verfahren für die Reduktion der Testkosten im Produktionstest, insbesondere für automotiv Anwendungen und Kommunikationsapplikationen einzusetzen. An den Standorten Neubiberg/München (Infineon) und Hamburg (NXP Semiconductors) werden dazu Testalgorithmen und Software, Prototypen für Testschaltungen und Diagnosedatengewinnungsverfahren für die Massenproduktion entwickelt. Die Methodik- und Innovationskompetenz wird so gegenüber den Mitbewerbern gestärkt, und trägt damit zur Sicherung und zum Ausbau dieser hochqualifizierten Arbeitsplätze in Deutschland bei. Die während des Projektes verifizierten Methoden und Verfahren werden nach einer Reifephase von ca. 9 Monaten produktiv in den jeweiligen Applikationen eingesetzt und in den dazugehörigen applikations-spezifischen Testflows verwendet.

Literatur

- [1] F. Poehl, J. Rzeha, M. Beck, M. Goessel, R. Arnold, P. Ossimitz, "On-Chip Evaluation, Compensation, and Storage of Scan Diagnosis Data – A Test Time Efficient Scan Diagnosis Architecture", *European Test Symposium (ETS)*, (Freiburg), May 2006, pp. 239–246.

Kont@kt
Sebastian Sattler
Infineon Technologies AG
fon: (0 89) 2 34 – 2 23 94
sebastian.sattler@infineon.com

- [2] H. Mattes, S. Kirmser, S. Sattler, „Mixed-Signal Testen mit FPGA“, 9. ITG/GMM-Diskussionssitzung Entwicklung von Analogschaltungen mit CAE-Methoden (ANALOG), (Dresden), Sep 2006, pp. 87–94.
- [3] F. Poehl, M. Beck, R. Arnold, J. Rzeha, T. Rabenalt, M. Goessel, „On-Chip Evaluation, Compensation and Storage of Scan Diagnosis Data“, in: *Computers & Digital Techniques, IET Volume 1, Issue 3, May 2007* pp. 207–212.
- [4] S. Sattler, „MAYA: Neue Methoden für den Massiv-Paralleltest im Hochvolumen, Yield Learning und beste Testqualität“, in: *newsletter, edacentrum 04 2006*, pp. 9–10.
- [5] I. Koren, F. Demmerle, R. May, M. Kaibel, S. Sattler, „Feldprogrammierbare Gatterlogik für zuverlässigen HF-Transceiver- und Mixed-Signal-Test“, 19. ITG/GI/GMM-Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen (TuZ), (Erlangen), März 2007, pp. 48–53.
- [6] J. Mejri, S. Kirmser, S. Sattler, „Hochauflösende Jittermessung für nachhaltige Lieferqualität und Testkostenreduktion“, *TuZ'07* (s. [5]), pp. 34–39.
- [7] H. Mattes, S. Kirmser, S. Sattler, „Mixed-Signal Mikrocontroller Selbst-Test“, *TuZ07* (s. [5]), pp. 40–47.
- [8] M. Richter, A. Leininger, M. Gössel, „Schnelle Kompaktierung von Testdaten mit X-Werten durch MISR ohne Rückkopplung“, *TuZ'07* (s. [5]), pp. 7–11.
- [9] R. Arnold, H. Erb, S. Trost, A. Leininger, „Ausbeuterverbesserung durch Scan-Diagnose im Produktionstest“, *TuZ'07* (s. [5]), pp. 17–21.
- [10] I. Koren, F. Demmerle, R. May, M. Kaibel, S. Sattler, „Feldprogrammierbare Gatterlogik für zuverlässige HF-Transceiver- und Mixed-Signal-Test“, 1. GMM/GI/ITG-Fachtagung Zuverlässigkeit und Entwurf (ZuD), (München), März 2007, pp. 169–170.
- [11] H. Mattes, S. Kirmser, S. Sattler, „Mikrocontroller basierter Mixed-Signal-Test“, *Postersession, ZuD'07* (s. [10]), pp. 171–172.
- [12] J. Mejri, S. Kirmser, S. Sattler, „Hochauflösende Jittermessung für nachhaltige Lieferqualität und Testkostenreduktion“, *ZuD'07* (s. [10]), pp. 63–68.
- [13] I. Koren, F. Demmerle, R. May, M. Kaibel, S. Sattler, „FPGA Architecture for RF Transceiver System and Mixed-Signal Low Cost Tests“, 12th IEEE European Test Symposium, (Freiburg), May 2007, pp. 43–48.
- [14] S. Sattler, „Low-Cost Test and Diagnosis of Integrated Circuits“, in: *EEEfCOM – Fachmesse für Hochfrequenztechnik, Komponenten, Module und EMV, Fachhochschule Ulm, 20–21 Jun 2007*.
- [15] S. Sattler, „Produktionstest und Diagnose für zuverlässige Schaltungen im Hochvolumen“, in: *DEDIS-Nano-Days – Graduate School, Brandenburgische Technische Universität (BTU) Cottbus, (Cottbus), 11–12 Okt 2007*.
- [16] S. Sattler, „Massiver Paralleltest und Yield Learning in der Halbleiterproduktion“, in: *Gibt es eine Chance für die industrielle Produktion im Hochlohnland Deutschland, Bayerischen Landesvertretung in Berlin, (Berlin), 17 Okt 2007*.
- [17] A. Leininger, M. Goessel, M. Richter, M. Fischer, M. Braun, „Using Timing Flexibility of Automatic Test Equipment to Complement X-Tolerant Test Compression Techniques“, *International Test Conference (ITC), (Santa Clara, CA), Oct 2007, Paper 6.3*.
- [18] A.-W. Hakmi, H.-J. Wunderlich, C.G. Zoellin, A. Glowatz, F. Hapke, J. Schloeffel, L. Souef, „Programmable Deterministic Built-In-Self-Test“, *International Test Conference (ITC), (Santa Clara, CA), Oct 2007*
- [19] A. Tchegho, H. Mattes, S. Sattler, „Eine BOST-Lösung für den Produktionstest von Mixed-Signal Systemen“, 20. ITG/GI/GMM-Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen (TuZ), (Wien), Feb 2008, pp. 65–69.
- [20] H. Mattes, S. Sattler, „Test linearer analoger Systeme durch direkte Auswertung der Sprungantwort“, *TuZ'08* (s. [19]), pp. 71–77.
- [21] S. Kirmser, J. Mejri, S. Sattler, „Application Specific Jitter Measurement Chip“, *TuZ'08* (s. [19]), pp. 159–163.
- [22] T. Rabenalt, J. Rzeha, A. Leininger, M. Rudack, M. Gössel, „Effiziente On-Chip Speicherung von Scan-Diagnosedaten“, *TuZ'08* (s. [19]), pp. 1–5.
- [23] M. Hilscher, M. Richter, A. Leininger, M. Gössel, „Gruppen von beschleunigten Schieberegistern zur X-toleranten Testdatenkompaktierung“, *TuZ'08* (s. [19]), pp. 109–113.
- [24] D. Tille, R. Krenz-Baath, J. Schloeffel, R. Drechsler, „Improved Circuit-to-CNF Transformation for SAT-Based ATPG“, *TuZ'08* (s. [19]), pp. 25–29.
- [25] S. Sattler, „Mixed-Signal Testing – the Analog-to-Digital Converter“, in: *Vorlesung Embedded Systems, Universität der Bundeswehr, (Neubiberg), Mar 2008*.
- [26] A. Tchegho, H. Mattes, S. Sattler, „Optimal High-Resolution Spectral Analyzer“, *DATE'08*, pp. 62–67.
- [27] A. Tchegho, H. Mattes, S. Sattler, „Optimaler hochauflösender Spektralanalysator“, 10. ITG/GMM-Diskussionssitzung Entwicklung von Analogschaltungen mit CAE-Methoden (ANALOG), (Siegen), Apr 2008, pp. 183–188.
- [28] C. Zemko, J. Mejri, S. Sattler, W. Mathis, „Entwurf einer elektronischen Last für den Test von Spannungsreglern“, *ANALOG'08* (s. [27]), pp. 189–194.
- [29] S. Sattler, M. Gulbins, B. Straube, „Histogramm-Test – Untersuchungen zu Bin-Coder-Anwendungen“, *ANALOG'08* (s. [27]), pp. 201–206.
- [30] S. Sattler, „Future Trends in Test Technologies“, in: *Semiconductor Conference Dresden, 24 April 2008*.
- [31] S. Eggersgluess, R. Drechsler, „On the Influence of Boolean Encodings in SAT-Based ATPG for Path Delay Faults“, 38th International Symposium on Multiple Valued Logic, (Dallas), May, 2008.
- [32] C. Wegener, H. Mattes, S. Kirmser, F. Demmerle, S. Sattler, „Utilizing On-Chip Resources For Testing Embedded Mixed-Signal Cores“, 13th IEEE European Test Symposium (ETS), (Verbania, Italy), May 2008.
- [33] M. Hilscher, M. Braun, M. Richter, A. Leininger, M. Goessel, „Accelerated Shift Registers for X-Tolerant Test Data Compaction“, *ETS'08* (s. [32]).
- [34] D. Tille, R. Krenz-Baath, J. Schloeffel, R. Drechsler, „Improved Circuit-to-CNF Transformation for SAT-Based ATPG“, *ETS'08* (s. [32]).
- [35] R. Drechsler, S. Eggersgluess, G. Fey, A. Glowatz, F. Hapke, J. Schloeffel, D. Tille, „On Acceleration of SAT-based ATPG for Industrial Designs“, *IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, 2008*.