



HERKULES: Hardwareentwurfstechnik für Null-Fehler-Designs

Ziel von HERKULES ist es, einen Großteil der bei der Verifikation der Kommunikationsstruktur anfallenden Aufgaben formal durchzuführen, höchste Qualität mit überlegener Produktivität zu koppeln und diese Qualität zu einem Produktvorteil zu machen. Für die Verifikation des Gesamtsystemkonzepts wird die simulationsbasierte Verifikation weiterhin benötigt werden. Sie wird aber durch HERKULES-Techniken von einer Fülle von Aufgaben der Codeverifikation entlastet, die so weit besser bewältigt werden können.

Die in HERKULES entwickelten technischen Verfahren sollen methodisch so aufbereitet werden, dass sie sowohl für Anbieter von integrierten Schaltungen als auch deren Anwender bzw. Integratoren insbesondere unter dem hohen Qualitätserfordernis „Null-Fehler-Design“ einsetzbar werden. Dabei sollen verschiedene Sichtweisen auf die Verifikationsaufgabe berücksichtigt werden. Neben der rein technischen Betrachtung wird beschrieben werden, wie Verifikationsprojekte unter Einbeziehung von HERKULES-Technologie zu planen und zu überwachen sind.

Durchbruch in der Entwurfstechnik

Im Rahmen des Projekts VALSE „Hochautomatisierte, zertifizierende und skalierende Validierung von System-on-Chip-Entwürfen“ wurde innerhalb von 4 Jahren Entwurfstechnik geschaffen (formale Modulverifikation), die das Gros der Fehler (sog. funktionale Fehler im Gegensatz etwa zu Produktionsfehlern) in Mikrocontrollern und vielen anderen Hardwarebausteinen zu eliminieren vermag. Während bei VALSE noch die Aufbereitung der formalen Basistechnik für die Anwendung auf industrielle Schaltungen im Vordergrund stand, verschob sich danach im Projekt VALSE-XT der Schwerpunkt der Arbeiten auf die systematische Beschaffung und Analyse einer verlässlichen formalen Spezifikation, die dann als Eingabe für formale Prüfverfahren diente. Im BMBF-Projekt VERISOFT wird diese Technik – ergänzt um weitere Beweisverfahren – eingesetzt, um in einem weit vorangeschrittenen, weltweit einmaligen Großversuch nachzuweisen, dass die Entwicklung eines modernen eingebetteten 32-bit-Mikrocontrollers ohne funktionale Fehler technisch machbar und wirtschaftlich ist.

Die neuen Verfahren zur Entwicklung korrekter Hardwarebausteine ermöglichen aber nicht nur die oben diskutierten Produktvorteile. Messdaten aus den VALSE-Projekten und VERISOFT zeigen, dass sich darüber hinaus höchste Qualität mit hoher Produktivität der neuen Verifikationstechnik paart.

Der nächste Durchbruch – von korrekten Hardwarebausteinen zu korrekten Hardwaresystemen
Früher wurden Hardwaresysteme ausschließlich durch Verdrahtung von Chips auf einer Leiterplatte gebaut.

Mit heutiger Fertigungstechnologie kann die Funktionalität kompletter Leiterplatten auf einem einzigen Chip, einem so genannten System-on-Chip (SoC), integriert werden. So werden Verbesserungen bezüglich Fläche, Stromverbrauch und Robustheit möglich, die Produktinnovationen quer durch alle Branchen treiben.

Die Charakterisierung dieser SoC ist eine Ansammlung von Superlativen: Ein solcher Chip enthält bis zu einige Hundert Millionen Transistoren und wird von Hunderten von Entwicklern in ca. 18 Monaten entwickelt. Die Umsatzerwartungen liegen jenseits von 500 Millionen Euro. Auch die Fehlerrisiken sind spektakulär: Die Suche nach Designfehlern verschlingt über 60 % des FuE-Budgets. Schwere Fehler, die nur beim Test erster Chips gefunden werden, erfordern oft mehrere „Re-Spins“, die jeweils schon bald über 1 Million Euro kosten werden. Unterschätzte Verifikationsaufwände, die die Markteinführung um 3 Monate verzögern, können bis zu 25 % des erwarteten Umsatzes vernichten.

Selbst große Firmen können sich daher nur wenige solcher aufwändigen Entwicklungen zeitgleich leisten. Das Schicksal dieser und erst recht kleinerer Firmen hängt davon ab, die Risiken bezüglich Marketing, Entwicklung und gegebenenfalls der Produktion weniger großer Chips zu meistern. An die Stelle einer Risikoverteilung über viele kleine Chips tritt nun eine Auslese nach dem Prinzip „Alles oder Nichts“.

Zeit ist bei der Entwicklung eines SoC die knappste Ressource. Daher kann ein solcher Chip nicht vollständig neu entwickelt werden. Ein Großteil seiner Funktionalität muss aus vorgefertigten Designs häufig benötigter Bausteine – so genanntes Intellectual Property (IP), d. h. Designs von Prozessoren, Peripheriebausteinen, Speichern usw. – „zusammengesteckt“ werden. Das Zusammenwirken dieser IP gemäß einer hoch komplexen Kommunikationsstruktur erbringt dann die geforderte Systemfunktionalität. Die Anpassung des SoC an Besonderheiten von Kunden erfolgt über Software.

Abgesehen von der Beherrschung der weiteren Miniaturisierung sind Mängel in der Designqualität (s. o.) das größte Risiko bei der Entwicklung eines SoC. Die

Zusammensetzung des Projektkonsortiums:

Partner:

Concept Engineering GmbH
Infineon Technologies AG
AlcateLucent
Melexis GmbH
OneSpin Solutions GmbH
Robert Bosch GmbH

Unterauftragnehmer:

IMMS Ilmenau
Technische Universität Chemnitz
Technische Universität Kaiserslautern
Universität Bremen
Universität Duisburg-Essen
Universität Karlsruhe

Laufzeit:

01.12.2006–30.11.2009

Förderkennzeichen:

01 M 3082

Homepage:

<http://www.edacentrum.de/herkules>

Projektstruktur:

4 Arbeitspakete, 12 Teilaufgaben, 58 meilensteinbezogene Aktivitäten

Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01M3082 gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

Antwort der EDA-Industrie auf diese Probleme heißt vereinfacht „mehr Simulation, mehr Rechner und mehr Personal“. Dies ist nach Einschätzung der Projektpartner keine zukunftsfähige Lösung. Denn die prinzipiellen Grenzen der Simulation und die damit verbundenen Bedrohungsszenarien werden von der Fachwelt übereinstimmend anerkannt.

Vereinfacht gesagt, besteht ein SoC aus IP und einer hoch komplexen Kommunikationsstruktur.

Technisches Ziel von HERKULES ist es, einen Großteil der bei der Verifikation dieser Kommunikationsstruktur anfallenden Aufgaben formal durchzuführen. Auch hier wird wieder unter maximaler Nutzung der VALSE- und VALSE-XT-Ergebnisse versucht, höchste Qualität mit überlegener Produktivität zu koppeln und diese Qualität zu einem Produktvorteil zu machen. Sicherheitshalber sei betont: Für die Verifikation des Gesamtsystemkonzepts wird die simulationsbasierte Verifikation weiterhin benötigt. Sie wird aber durch die VALSE- und HERKULES-Techniken von einer Fülle von Aufgaben der Codeverifikation entlastet, die so weit besser bewältigt werden können.



Abbildung 1.02: Formale Verifikation innerhalb unterschiedlicher Förderprojekte

In **HERKULES-1, „Basistechniken“**, werden die algorithmischen Grundlagen für das Vorhaben geschaffen: Diese Algorithmen automatisieren die in HERKULES-2 und -3 beschriebenen Verifikationsaufgaben zu großen Teilen.

In **HERKULES-2, „2-Punkt-Kommunikation“**, werden formale Verifikationslösungen für die Kommunikation von 2 Modulen entwickelt. Bedarf an solcher Integrationsverifikation besteht prinzipiell bei jedem Schaltungsentwurf und insbesondere in der Kommunikationstechnik mit ihren vielen aufeinander folgenden Blöcken zur Bearbeitung der Kommunikationsdaten. Die zu erforschenden Verfahren erleichtern die Fehlerlokalisierung, verlagern die Integrationsverifikation auf einen früheren Zeitpunkt und finden letztlich alle funktionalen Integrationsfehler. Der Austausch von Chips im Feld, die aufgrund solcher Fehler nicht funktionieren, wird damit komplett vermieden.

In diesem Arbeitspaket sind auch die Leit Anwendung der HERKULES-Technik auf Kommunikationsbausteine

für Datenübertragungsnetze und die Verifikation eines LIN-Knotens platziert.

Die SDH-Protokolle (Synchrone Digitale Hierarchie) wenden statisches (leitungsorientiertes) Routing an, um die Wege der Rahmen im optischen Netz festzulegen. Die neuesten Systeme verbinden die statische Wegwahl des SDH-Standards mit der dynamischen, paketorientierten Wegwahl wie beispielsweise im Internet Protokoll (IP). Diese Verbindung von dynamischen und statischen Routing-Protokollen hat einen erhöhten Maintenance- und Monitoring-Aufwand seitens der Netzbetreiber zur Folge. Es müssen z. B. komplizierte Quality-of-Service- (QoS) Abfragen in ASICs implementiert werden, die in den zugrunde liegenden Standards nicht bis in jede Einzelheit definiert wurden. Angesichts dieser „weichen“ Standards simulativ die nötige Verifikationssicherheit zu erlangen, ist mit immensem Zeitaufwand verbunden.

Daher werden die o. g. dynamischen Routingprotokolle inkl. ihrer QoS-Abfragen häufig mit FPGAs implementiert, um so aufwandsarm im System nachbessern zu können. FPGAs sind jedoch in ihrem Durchsatz und in ihrer Größe limitiert und auch das Nachbessern „im Feld“ ist dem Image des Systemherstellers abträglich. Die formale Aufarbeitung der Standards und die Bereitstellung von Bibliotheken von formalen Verifikationskomponenten (FVC) speziell für die neuen Datenübertragungsprotokolle steigern die Verifikationssicherheit um Größenordnungen und verkürzen die Entwicklungszeit.

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level	
Specification						HS 1
Implementation						HS 2
Verification						HS 3
Manufacturing and Test						

Abbildung 1.03: Einordnung in die edaMatrix

Dieses Arbeitspaket enthält auch die Arbeiten von Melexis zur Verifikation der LIN-Implementierungen der Firma. Hierbei fließen auch Erfahrungen von Melexis bei der Verifikation hardwarenaher Software aus VALSE-XT ein.

In **HERKULES-3, „Mehrpunkt-kommunikation“**, wird die Korrektheit von Bussystemen adressiert. Solche Systeme sind das Rückgrat von SoC, und Fehlerfunktionen in diesem Bereich haben oft gravierende Auswirkungen. Die geplante Aktivität soll fehlerfreie Kommunikation sichern und die Fehlerfindung auf die Phase der Modulverifikation vorverlegen, wo die Fehlerlokalisierung vergleichsweise einfach und die Fehlerkorrekturen kostengünstig sind. Zusätzlich soll der

Aufwand in der Systemsimulation deutlich sinken, weil anders als in der heutigen Praxis keine Kommunikationsfehler mehr zu identifizieren und zu beheben sind.

Dieses Arbeitspaket enthält auch die Anwendungen von Bosch und Infineon: Bosch wird hier formale Verifikationskomponenten für seine Implementierungen der LIN- und FlexRay-Protokolle entwickeln. Infineon wird solche Komponenten für ein proprietäres Bussystem und für das AXI-Protokoll entwickeln. Über letzteres Protokoll wird die Kommunikation mit z. B. ARM-Prozessoren abgewickelt.

In **HERKULES-4, „Methodik“**, sollen die in VALSE-XT und HERKULES entwickelten technischen Verfahren methodisch so aufbereitet werden, dass sie sowohl für Anbieter von integrierten Schaltungen als auch deren Anwender bzw. Integratoren insbesondere unter dem hohen Qualitätserfordernis „Null-Fehler-Design“ einsetzbar werden. Dabei sollen verschiedene Sichtweisen auf die Verifikationsaufgabe berücksichtigt werden. Neben der rein technischen Betrachtung wird beschrieben werden, wie Verifikationsprojekte unter Einbeziehung von HERKULES-/VALSE-XT-Technologie zu planen und zu überwachen sind. Für die administrative Ebene technischer Überwachung insbesondere sicherheitskritischer Anwendungen soll am Beispiel der Automobilelektronik eine geeignete Zertifizierungsmethodik entwickelt werden, die mit Hilfe der HERKULES-Technologie geltende Qualitätsstandards bzw. Normen erfüllt.

In HERKULES geht es darum, die Leistungsfähigkeit formaler Verifikationstechniken anhand der Kommunikation unterschiedlicher Chipkomponenten zu demonstrieren. Die erforderliche Technologie wird von den Technologieprovidern (OneSpin, Concept Engineering) und ihren akademischen Partnern (TU Kaiserslautern, Universität Bremen) entwickelt. Anwender aus repräsentativen Marktsegmenten (Alcatel-Lucent, Infineon, Bosch, Melexis) wenden die Technologie an und sorgen mit ihren Rückmeldungen für deren kontinuierliche Verbesserung.

Erreichbarkeitsanalyse

Ein Beispiel für Resultate dieser Interaktion wurde auf dem letzten Projekttreffen von HERKULES im

Januar 2009 vorgestellt: OneSpin Solutions GmbH präsentierte dort eine methodische und technologische Innovation, mit der ein wichtiger Verifikationsschritt – genannt Erreichbarkeitsanalyse –, der zur Zeit rund 40 % des Verifikationsaufwands verursacht, erheblich vereinfacht wird. Darüber hinaus beseitigt dieser Durchbruch eine wesentliche Einstiegshürde bei der Anwendung formaler Methoden in der Breite.

Produktivität

Bei Infineon Technologies war es möglich, nachträgliche Designoptimierungen aufgrund aufgebaute vollständiger formaler Verifikationsumgebung sehr effizient formal zu verifizieren und damit vom Projektmanagement sehr spät im Designprozess genehmigt zu bekommen.

Bei Alcatel-Lucent wurde die Leistungsfähigkeit formaler Verifikationsverfahren innerhalb eines Designprojekts evaluiert, in dem parallel mittels simulativer Verfahren verifiziert wurde. Besonderer Wert wurde dabei auf die konsequente Anwendung der einzigartigen OneSpin Vollständigkeitsmethodik gelegt. Auf diese Weise konnten die formalen Methoden eine Anzahl von Fehlern aufdecken, die rein simulativ unentdeckt geblieben waren.

Verifikationsbibliothek

Als weiteres Ergebnis der formalen Verifikationsarbeiten entstand in Zusammenarbeit mit der TU Chemnitz die Bibliothek **ProVeLib**, bestehend aus folgenden Komponenten:

- » Macro Bibliothek zur direkten Wiederverwendung in Telekommunikationsanwendungen zur Verifikation von Modulen (z. B. Firecode Macro 2-fach genutzt, Scrambler Macro 3-fach genutzt, Framecount Macro in allen Blöcken genutzt, ...)
- » Property-Bibliothek unter Revisionskontrolle vergleichbar zu der Struktur im RT-Design mit den Vorteilen von funktionaler Zuordnung von Property Sätzen zu den entsprechenden RT-Modulen für Regressionstests und Wiederverwendung inklusive Versionshandling und Releases und Scripting für OpenSpin 360 MV
- » Property-Generatoren mit der Scriptautomatisierung für die formale Überprüfung von Funktionen wie

XCON Vergleich Formal <-> Simulation	Formal	Simulation
Anzahl der gefundenen Fehler	81	90
Prozentualer Anteil am Aufwand	36 %	64 %
Verifikationstiefe	Garantierte Korrektheit Vollständige Überprüfung	Fehlerabdeckung nicht genau bekannt Abdeckung der Kernfunktionalität
Verifikationsbereich	Modulverifikation	Module + Toplevel
Sonstige Beobachtungen	Schneller Verifikationsstart	Skalierbare zentrale Testbench HW-/Labor näher (anschaulich) Spezial IP's (PLL, Vendor IF)

Table 1.01: Ergebnisse bei Anwendung unterschiedlicher Verifikationsmethoden

- RegisterMap Toplevel Tests
- Taktübergangs- und Resettests

Mit dem Konzept der formalen Re-Use-Bibliothek ProVeLib wurde die Grundlage für den Aufbau eines Wiederverwendungskonzepts für formale Methoden gelegt. Erste Elemente von Makros sind bereits im Laufe des Projekts zur Verifikation entstanden und getestet und liefern bereits einen Wiederverwendungsnutzen. Dies spart insbesondere Zeit und erhöht die Qualität durch bereits erprobte Makros in der Anwendung.

Protokollrecorder

An der TU Kaiserslautern konnte ein Verfahren entwickelt werden, das durch Nutzung eines generischen Zustandsmodells, genannt „Recorder“, FVCs vereinfachen und mit diesem gemeinsam als Basis für synthetisierbare Monitore dienen kann. Der Recorder ist ein Automat, der den Bus beobachtet und aus den Sequenzen der Bussignale bestimmte, wichtige „Buszustände“ berechnet. Diese Buszustände lassen sich aus den Bussignalen allein nicht eindeutig beschreiben, sondern nur aus den Sequenzen der Bussignale, daher ist zur Beschreibung ein Automat erforderlich. Der Recorder wird in VHDL auf RT-Ebene beschrieben und hat keinen Ausgang, daher „Recorder“. Er dient lediglich dazu, wichtige Kontrollzustände zu liefern, auf die sich die Eigenschaften beim property checking beziehen können. Dies vereinfacht die FVCs.

Der Recorder dient als Zwischenschritt bei der Erstellung eines Monitors. Den Monitor erhält man, indem man den Recorder mit einem Error-Ausgang versieht, der entsprechend den definierten Protokoll-Eigenschaften einen Fehler meldet, wenn diese Eigenschaften verletzt sind. Das neue Verfahren konnte anhand einer AMBA-Fallstudie nachgewiesen werden und soll im verbleibenden Projektzeitraum experimentell mit der oben genannten Erreichbarkeitsanalyse kombiniert werden.

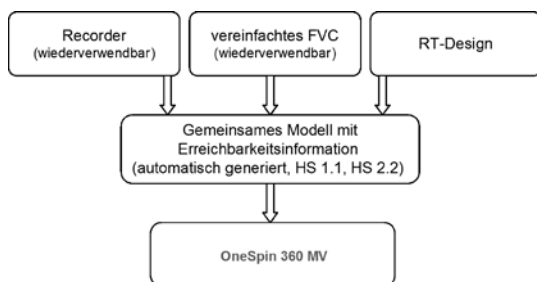


Abbildung 1.04: Experimentelle Kombination unterschiedlicher neuer Ansätze

Debugging

Debugging ist im Entwurfsablauf bisher nicht ausreichend automatisiert. Fehler müssen mühsam mit einem Simulator nachvollzogen, verstanden und schließlich beseitigt werden. Die manuelle Suche nach den Fehlerstellen bleibt zu großen Teilen dem Entwerfer überlassen. Die neuen Debugging-Algorithmen

automatisieren diesen Schritt weitgehend und berechnen vollautomatisch Fehlerkandidaten. Der Entwerfer muss dann anstelle des gesamten Designs nur noch diese Fehlerkandidaten analysieren. Der Debugging-Algorithmus arbeitet ähnlich zur modell-basierten Diagnose mit Gegenbeispielen, die zum Beispiel aus der formalen Verifikation kommen und eine Sicherheits-Eigenschaft widerlegen. Die Qualität der Gegenbeispiele ist ausschlaggebend für die Genauigkeit des Debugging-Ergebnisses.

Deshalb wurde ein neues Verfahren entwickelt, um qualitativ hochwertige Gegenbeispiele zu berechnen. Hierfür werden der Verifikations- und der Debugging-Algorithmus integriert, um die Genauigkeit sukzessive zu steigern. Abbildung 1.05 veranschaulicht dieses Verhalten. Wird nur ein Gegenbeispiel verwendet, ergeben sich zahlreiche Fehlerkandidaten – die rot, orange und grün markierten Signale. Bei zwei Gegenbeispielen werden die Kandidaten auf orange und grün markierte Signale eingeschränkt. Die höchste Genauigkeit wird mit drei automatisch generierten Gegenbeispielen erreicht. Nur die drei grün markierten Signale kommen noch als Fehlerkandidaten in Frage.

Zusätzlich annotiert das gezeigte Debugging-Cockpit die Werte der Gegenbeispiele, um ein leichteres Verständnis des Fehlers zu ermöglichen und lässt ein Crossprobing zum ursprünglichen Quellcode in Verilog oder SystemC zu. Gegenüber der Verwendung mehrerer zufällig generierter Gegenbeispiele verringert das neue Verfahren die Anzahl der Fehlerkandidaten um bis zu 97 % und erleichtert so die Fehlersuche deutlich.

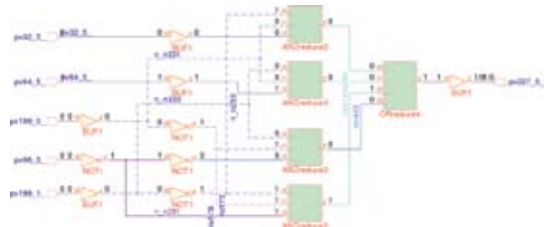


Abbildung 1.05: Visualisierung von Gegenbeispielen

Interne Kooperation

- » Unterstützung von Alcatel-Lucent durch OneSpin Solutions bei erfolgreichem Pilotprojekt zur Evaluierung Formaler Verifikationstechnik
- » Unterstützung von Infineon Technologies durch OneSpin Solutions im Umfang von über 3 PJ bei der Verifikation von Schlüsselkomponenten des derzeit in Entwicklung befindlichen, komplexesten Infineon Basebandchips
- » Aufbau von Geschäftsbeziehungen zwischen OneSpin Solutions und Melexis; Einsatz von 360 MV bei Verifikation eines neuen Melexis Prozessors

Externe Kooperation

- » Mit anderen Projekten
 - o Nationale Forschungsprojekte (VISION, VeronA, FEST, MxMobile, ...)

	Concept	Infineon	Alcatel-Lucent	Melexis	OneSpin	Bosch
Concept		AP 1	AP 1		AP 1	AP 1
Infineon	AP 1		AP 1,2	AP 2	AP 1,2,3	AP 1,2,3
Alcatel-Lucent	AP 1	AP 1,2		AP 2	AP 1,2	AP 1,2
Melexis		AP 2	AP 2		AP 2	AP 2
OneSpin	AP 1	AP 1,2,3	AP 1,2	AP 2		AP 1,2,3,4
Bosch	AP 1	AP 1,2,3	AP 1,2	AP 2	AP 1,2,3,4	

Tabelle 1.02: Kooperation der Partner in den Arbeitspaketen

- o Einsatz von HERKULES-Technik in Verisoft XT – formale Verifikation sicherheitskritischer SW- und HW-Komponenten in Hardwarebasis für Steuergerät von Audi
- o Europäische Forschungsprojekte (Morpheus)
- » Mit externen Partnern
 - o Nokia Siemens Networks
 - o Diskussion der Zertifizierungsmethodik mit externen Zertifizierungsstellen (z. B. TÜV)
 - o AMD, Verband der Automobilzulieferer Sachsen (AMZ), SiliconSaxony
 - o Anbahnung einer Kooperation zwischen Robert Bosch und Yogitech

Systems-on-Chip zugeschnitten. Dementsprechend schlecht fallen die Ergebnisse aus. Es sind aus der Literatur nach wie vor keine Verfahren bekannt, die für Systeme der in diesem Projekt vorliegenden Größenordnung eine vollständige Analyse durchführen können.

Die bisherigen Ergebnisse zeigen, dass vermehrt Forschung im Bereich formaler Methoden zur Verifikation kompletter Systeme notwendig ist, wobei die Verfahren von digitalen auch auf analoge und mixed-signal Systeme ausgeweitet werden sollten. Damit bietet sich die Chance, die Verifikation als eine Kernkompetenz ingenieurtechnischer Ausbildung in Deutschland zu etablieren.

Ausblick

Im wissenschaftlichen Umfeld sind in der Vergangenheit immer wieder Publikationen entstanden, die die Verifikation von Protokollimplementierungen zum Gegenstand haben. Die meisten dieser wissenschaftlichen Arbeiten betrachten die Protokollverifikation aber nur als eines von vielen Anwendungs- oder Evaluierungsbeispielen für eine allgemeine Verifikationsmethode. Die bislang präsentierten Verfahren sind daher in der Regel nur unzulänglich auf den Kontext der Protokollverifikation auf der Register-Transferebene eines

Perspektive:

Werden die in diesem Projekt gesteckten Ziele erreicht, so wird dies wissenschaftlich auf großes Interesse stoßen, da

- » die zu entwickelten Verfahren auf Systeme realer, industrieller Größe angewendet werden,
- » durch das Konzept der Monitore und FVCs eine weitgehende Automatisierung des Verifikationsprozesses erreicht wird,



Abbildung 1.06: Teilnehmer des Herkules Reviewmeetings am 28. Januar 2009 in Freiburg

- » erstmals Monitore und FVCs nicht nur zur Beschreibung des Protokolls, sondern auch zur Zerlegung des Zustandsraumes und der Übergangsrelation bei den zugehörigen Verifikationsverfahren konsequent ausgenutzt werden.

Die drastische Reduktion des Verifikationsaufwandes durch formale Methoden und „formales“ Know-how schafft sowohl Arbeitsplätze bei EDA-Firmen, wie One Spin Solutions, als auch bei Anwendern dieser Produkte, wie Halbleiterfirmen, Designhäusern und Systemanbietern.

Veröffentlichungen

- [1] C. Genz, R. Drechsler, L. Linhard and G. Angst. *Visualization of SystemC Designs*, In *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS'07)*, pp. 413–416, New Orleans, 2007, <http://www.informatik.uni-bremen.de/agra/doc/konf/iscas07gdal.pdf>
- [2] K. Weinberger, S. Bulach und W. Rosenstiel, „Property Set Exhaustiveness Estimation Approach for BMC-based Formal Hardware Verification“, *Proceedings of GI/ITG/GMM Workshop „Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen“ (MBMV07)*, Erlangen, (C. Haubelt, J. Teich, (Eds.)), Shaker Verlag, pp. 111–119, March, 2007
- [3] H. Sahn, J. Knäblein, A. Preiß, M. Koppin, J. Langer, I. Seifert, D. Froß: “Die Notwendigkeit formaler Methoden für Kommunikations SoCs“, *Kooperations- und Fachworkshop Verifikation*, 16. Oktober 2006, Hannover
- [4] K. Winkelmann: “Verifikation parametrisierter Schaltungen“, *Kooperations- und Fachworkshop Verifikation*, 16. Oktober 2006, Hannover
- [5] H. Busch: “Formale Verifikation im produktiven Chip-Entwurf“, *Kooperations- und Fachworkshop Verifikation*, 16. Oktober 2006, Hannover
- [6] S. Bulach, B. Schmidt, K. Weinberger: “Formale Verifikation des LIN HW IP: Herausforderungen und Methodik“, *Kooperations- und Fachworkshop Verifikation*, 16. Oktober 2006, Hannover
- [7] M. Hahn: “Erfahrungen bei der Verifikation eines Controller-gesteuerten LIN-Knoten“, *Kooperations- und Fachworkshop Verifikation*, 16. Oktober 2006, Hannover
- [8] W. Kunz: „Formal Verification of Systems-on-Chip, Industrial Experiences and Scientific Perspectives“ *Formal Methods in Computer Design (FMCAD)*, Austin, Nov. 2007, invited talk.
- [9] M. Thalmaier, M. D. Nguyen, M. Wedler, D. Stoffel, W. Kunz: “Formale Verifikation von SoC Protokollimplementierungen“, *Tagungsband 1.GMM/GI/ITG-Fachtagung Zuverlässigkeit und Entwurf*, Mar. 26–28 2007, Munich, Germany
- [10] Wolfram Buettner, Michael Siegel: ‘Achieving completeness in IP functional verification’ posted at *EETimes.com* on Feb. 12, 2007, <http://www.eetimes.com/showArticle.jhtml?articleID=197005268>
- [11] M. Nguyen, M. Thalmaier, M. Wedler, J. Bormann, D. Stoffel, W. Kunz: „Unbounded Protocol Compliance Verification using Interval Property Checking with Invariants“ *IEEE Transactions on Computer-Aided Design of Circuits and Systems*, Vol. 27, pp. 2068–2082, November 2008.
- [12] R. Syba, M. Hahn: Verifikation von LIN-IP in HERKULES, *newsletter des edacentrum 02/2008*, S. 44 ff.
- [13] B. Schmidt, S. Bulach, K. Weinberger, M. Wedler: “Formale Verifikation einer Hardware-Implementierung des LIN-Protokoll Controllers“, *Tagungsband GI/ITG/GMM-Workshop Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen*, März 2008, Freiburg
- [14] H. Busch: „Generation of Complete Aggregate Formal Properties“, *Design & Verification Conference DVCon*, 19.–21. Februar 2008, San José, CA.
- [15] M. D. Nguyen, M. Thalmaier, M. Wedler, D. Stoffel, W. Kunz: *A Re-Use Methodology for SoC Protocol Compliance Verification GI/ITG/GMM-Workshop Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen*, März 2009, Berlin

Kont@kt (HERKULES):

Hans Sahn
Alcatel Lucent Deutschland AG
O-HW5 Optical Networking
Thurn- und Taxisstr. 10
90411 Nürnberg
fon: (09 11) 5 26 – 26 38
hsahn@alcatel-lucent.com

Weitere Informationen sind unter
<http://www.edacentrum.de/herkules/> zu finden