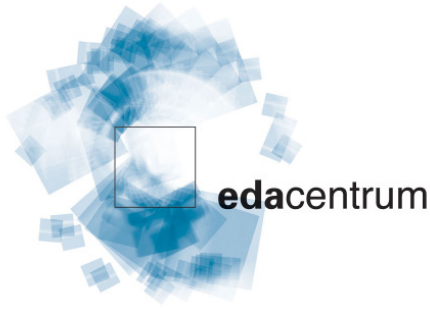


Aufruf zum 5. Clusterforschungsprojekt:

Verfahren für den Entwurf von dreidimensionalen nanoelektronischen Systemen



Datum
20. März 2009

Seite / Anzahl der Seiten
1 / 6

Aufruf zur Teilnahme am 5. EDA-Clusterforschungsprojekt zum Thema

Verfahren für den Entwurf von dreidimensionalen nanoelektronischen Systemen

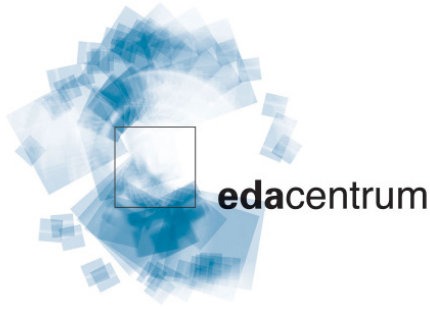
Das Bundesministerium für Bildung und Forschung (BMBF) ruft mit dem edacentrum und führenden Unternehmen der deutschen Mikroelektronik-Industrie zum 5. Clusterforschungsprojekt mit dem Thema „Verfahren für den Entwurf von dreidimensionalen nanoelektronischen Systemen“ auf.

Das BMBF und führende Unternehmen der deutschen Mikroelektronik-Industrie fördern mit der EDA-Clusterforschung eine Forschungsinitiative in Deutschland im Rahmen des IKT 2020 Programms. Durch Clusterforschungsprojekte wird die für den Chipentwurf notwendige Entwurfsautomatisierung (Electronic Design Automation, EDA) grundlegend und längerfristig verbessert. Es werden dabei Methoden erforscht, um die Entwicklung von neuen EDA-Werkzeugen anzustoßen, die in 5-10 Jahren zum industriellen Einsatz kommen können. Die Forschungsinitiative Clusterforschung zielt insbesondere darauf ab, solche EDA-Bereiche zu stärken, die in Deutschland von herausragender Bedeutung sind und für den Entwurf zukünftiger elektronischer Produkte erforderlich sind.

Im Blickpunkt des neuen Clusterforschungsprojekts stehen dabei Anwendungen, die unterschiedliche Bedingungen erfüllen müssen und eine Vielzahl von Funktionen besitzen. Beispiele sind:

- Mobile Geräte der Informationstechnik
- Autonome Sensornetze
- Prothesen und Implantate und
- Haustechnik zur Unterstützung älterer und behinderter Mitbürger.

Das Konsortium bildet sich aus Institutionen in Deutschland, die sich mit Forschung und Entwicklung von EDA-Werkzeugen und der dazugehörigen Methodik befassen und Synergien für Lehre, Forschung, EDA-Hersteller und Anwender bewirken. Clusterforschungsprojekte werden so zu einem Schlüsselinstrument, um in Zukunft die Qualität und Produktivität der Schaltungsentwicklung zu erhöhen. Der Aufruf zu Clusterforschungsprojekten erfolgt durch das edacentrum in Zusammenarbeit



Datum
20. März 2009

Seite / Anzahl der Seiten
2 / 6

mit der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) der GI, ITG und GMM.

Zur Motivation

Neben Systems-on-Chip (SoC) nimmt im stärkeren Maße die 3D-Integration an Bedeutung zu. Bei der 3D-Integration werden Chips gestapelt und elektrisch miteinander verbunden, so dass ein komplexes elektronisches Gesamtsystem entsteht. Für die Stapelung gibt es unterschiedliche Verfahren, wobei die Benutzung gedünnter Chips und ihre Verklebung für die Zukunft an Bedeutung gewinnen wird. Mit der Stapelung von Chips ergeben sich große Chancen für die Nanoelektronik in Deutschland. Es können

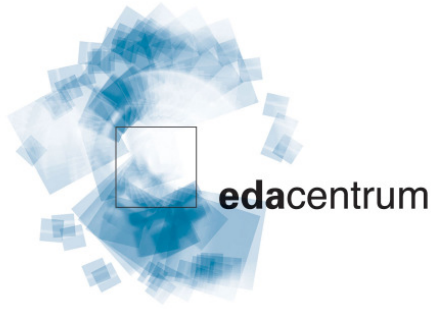
- neue Funktionalitäten erschlossen werden,
- Komponenten und heterogene Technologien flexibler eingesetzt werden und
- Kosten und Energie gespart werden.

Die 3D-Integration ist aber eine große Herausforderung für den Entwurf, da eine Vielzahl neuer Anforderungen zu berücksichtigen ist, für deren Lösung bisher keine kommerziellen Werkzeuge zur Verfügung stehen. Auch in der Forschung konnten bisher nur für wenige Teilaspekte Lösungen erarbeitet werden. Besondere Schwerpunkte aus Anwendersicht für dieses Projekt sind:

- Intelligente Aktoren und Sensoren, einschließlich integrierter Antennen
- Leistungselektronik (smart power)
- Hochfrequenztechnik

Dabei ergeben sich neben der steigenden Funktionalität folgende Verbesserungen durch die 3D-Integration:

- Bessere Performanz
- Geringerer Leistungsverbrauch
- Raumersparnis
- Breitere Technologiebasis
- Mehr Flexibilität bei der Implementierung des Systems
- Besserer Schutz von IP



Datum
20. März 2009

Seite / Anzahl der Seiten
3 / 6

Ziele des Projekts

Während sich die Fertigungsdominanz für digitale Standardprozesse und -bauelemente aufgrund der starken Subventionen immer mehr nach Asien und z. T. zurück in die USA verlagert, bleibt die Fertigung von Spezialtechnologien, Spezialbauelementen und kompletten, komplexen Mixed-Signal-Systemen eine Domäne in Deutschland bzw. in Europa. Die Systemintegration, die Mikrosystemtechnik und die Leistungselektronik werden in starkem Maße von Europa geprägt.

Mit dem vorgeschlagenen Clusterforschungsprojekt werden Grundlagen für den Entwurf von komplexen und sehr heterogenen Systemen geschaffen. Besonders wichtig ist dabei nicht nur eine Facette sondern spezielle Probleme eingebettet in die Gesamtproblematik des 3D-Entwurfes zu betrachten. Eine Projektaufgabe sollte deshalb immer ein bestimmtes Thema aus den unten genannten Schwerpunkten enthalten aber auch einen Bezug zu mindestens einem weiteren Schwerpunkt besitzen. Insgesamt wird das Clusterforschungsprojekt neue Wege erforschen, wie ein integrierter Entwurfsprozess für 3D-Systeme aussehen kann.

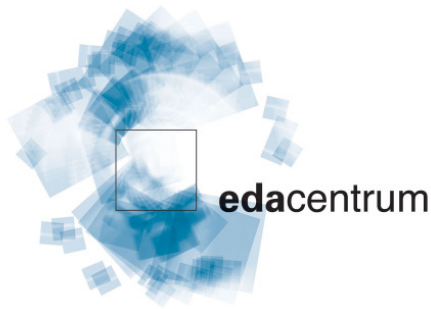
Themenschwerpunkte

Um ein 3D-System zu entwerfen, sind neue Ansätze für einen durchgängigen Entwurfsprozess erforderlich. Dabei sind vier Schwerpunkte für das Clusterforschungsprojekt vorgesehen, die vor allem neue systemorientierte Aspekte des Entwurfs durch die 3D-Integration erforschen sollen:

1. Systementwurf

Die 3D-Integration ist von ihrer Komplexität und ihrer Heterogenität nicht mit SoCs zu vergleichen. Ein Chipstapel kann vielmehr aus mehreren SoCs bestehen, die z. T. auch in Ihrer Funktionalität sehr unterschiedlich sind (Sensoren, Leistungselektronik, Speicher, Prozessorkerne, HF etc.). Diese großen Systeme müssen einheitlich beschreibbar und simulierbar sein. Außerdem müssen unterschiedliche Chiptechnologien in diesen 3D-Systemen eingesetzt werden können:

- Technologieabhängige Partitionierung in Einzelkomponenten unter Berücksichtigung der Wiederverwendbarkeit einzelner Komponenten
- Berücksichtigung von Sensoren, Aktoren, Leistungselektronik in der Gesamtsystembetrachtung



Seite / Anzahl der Seiten

4 / 6

- Wärmeabtransport, Wärmeverteilung, thermische Analysen und elektrothermisch gekoppelte Simulation
- Verifikation analoger und digitaler, mechanischer, optischer Komponenten

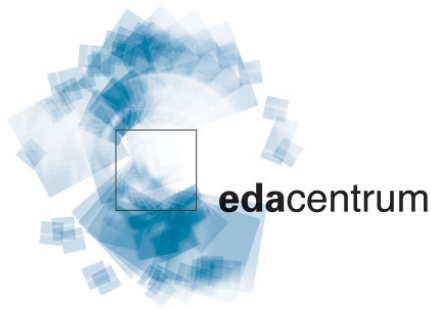
2. Integration von Schaltungs- und Layoutsynthese

Im Zuge der oben erwähnten neuen Technologien für eine 3D-Integration ist eine Schaltungssynthese unabdingbar, die sich bereits frühzeitig mit der Layoutsynthese verzahnt. Durch vertikale Integration, durch Verbindungen zwischen Analog- und Digitalkomponenten auf einem Chip oder zwischen integrierten Chips entstehen gravierende physikalische Effekte insbesondere auf die analogen Teile von ICs, die zu inakzeptablen Iterationsschleifen im Entwurfsablauf oder Störungen im Betrieb führen, wenn Schaltungssynthese und Layoutsynthese sequentiell ablaufen. Dieser Effekt ist bereits heute zu beobachten, wird aber mit der 3D-Integration drastisch zunehmen. Lösungsbeiträge in Form neuer Methoden und EDA-Werkzeuge werden für die folgenden Themen benötigt:

- Berücksichtigung von Layout-Parasitics bei der Synthese
 - Berücksichtigung von Layout-Constraints
 - Angepasster Optimierungsprozess
 - Gemeinsamer Entwurf von digital, analog, HF und Leistung
- Verfahren zur 3D-Integration
 - Berücksichtigung des Leistungsverbrauch in 3D-Systemen
 - Berücksichtigung von HF-Effekten

3. Fertigungsnaher Entwurf

Die Ebene des fertigungsnahen und physikalischen Entwurfs ist bei der 3D-Integration von ungleich größerer Bedeutung als bei klassischen Digital Schaltkreisen, da die zusätzliche Integrationstechnologieabhängigkeit größtenteils völlig neue Entwurfsmethoden erfordert. So sind in den Bereichen Integrations-Constraints, (die z. T. als neuartige Design Rules formalisiert werden müssen), Planung und Entwurf applikationsspezifischer Fertigungs- und Integrationsabläufe, nebenläufiger SoC/3D-Entwurf, 3D-Platzierung und -Verdrahtung neue Entwurfswerkzeuge zu erforschen. Die starke Abhängigkeit von der applikationsspezifisch verwendeten



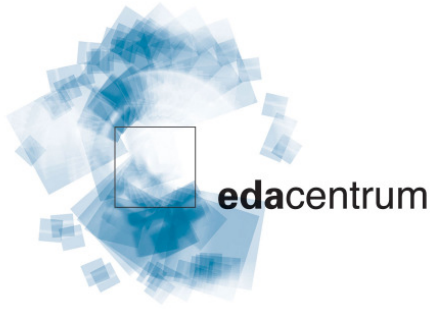
Integrationstechnologie macht sich zusätzlich bei der Berücksichtigung von EMV und Wärmeabführung im Entwurf bemerkbar. Im Bereich der Integration von nichtelektrischen Bauteilen (z.B. bei Sensoren, Aktoren) müssen völlig neuartiger Constraints berücksichtigt werden.

- Anwendungsspezifische Integrationsflows, SoC-3D-Codesign
 - Integrationstechnologieplanung, Ableiten und Management von Designregeln und Constraints
 - Berechnen der Parasitics, Modellierung von Chip-Verbindungen (Inter-Chip-Vias, ICV)
 - Berücksichtigung der besonderen Anforderungen hinsichtlich geringer Leistungsverbrauch und der Leistungselektronik)
 - Extraktion und Rückerkennung aus dem 3D-Layout
- Platzierung und Verdrahtung unter Berücksichtigung aktueller Layouttechniken, der Verbindungstechnologie, der Wärmeverteilung und von Hot Spots
 - Platzierung analoger (digitaler) Schaltungen mit Verdrahtungs-Constraints unter Berücksichtigung der Verbindungstechnologie

4. Testentwurf

Durch die 3D-Integration ergeben sich bedeutende Herausforderungen für den Test. Aktuelle Wafertest- und Bare-die-Testverfahren reichen nicht für den 3D-Test aus, da viele Prüfschritte zurzeit noch nach dem Wafertest erfolgen. Es muss bereits während des Wafertests eine hohe Testqualität erreicht werden, damit keine fehlerhaften Chips der 3D-Integration zugeführt werden. Dies ist erforderlich, um die Funktion der 3D-Integration mit akzeptablen Prüfkosten zu garantieren. Außerdem sind zurzeit kaum Methoden für einen Test von Systemen mit integrierten Sensoren und Aktoren vorhanden. Daher werden neue Verfahren für folgende Tests benötigt:

- Test für Sensoren, Aktoren, Leistungselektronik, passive Bauelemente, Verbindungsstrukturen für ungehäuste Chips und in 3D-Stapeln
- Berücksichtigung der vielen zu testenden Bauelemente in der Teststrategie unter den Randbedingungen eines 3D-Systems, wie beispielsweise Wärmeentwicklung durch den Test.
- Einzeltestverfahren von Komponenten in einem 3D-Stapel heterogenen Technologien



Datum
20. März 2009

Seite / Anzahl der Seiten
6 / 6

- Kombination aus Analog-, Hochfrequenz- und Digitaltest in einem 3D-Stapel
- 3D-Gesamttest

Zur Organisation in der Antragphase

Jeder Themenvorschlag für das Clusterforschungsprojekt ist in elektronischer Form von der Forschungseinrichtung beim edacentrum einzureichen. Weiteres Material, wie Folien und Graphiken, die die Verständlichkeit des Vorschlags erhöhen, sind erwünscht. Mögliche Kooperationspartner und Schnittstellen können in dem Antrag beschrieben werden. Fertige Vorschläge sind über die E-Mail-Adresse schoeber@edacentrum.de an das edacentrum zu senden. Aus den eingereichten Themenvorschlägen wird ein Projektkonsortium in enger Zusammenarbeit mit dem edacentrum und dem Leitungsgremium der Kooperationsgemeinschaft RSS erarbeitet. Zur Bildung des Konsortiums können die Antragsteller von Gutachtern eingeladen werden, um die Ausrichtung des Projekts und des Projektkonsortiums zu verfeinern. Nachdem das Konsortium festgelegt ist, wird eine Projektskizze und Vorhabenbeschreibung erstellt. BMBF und Steuerungsgremium des edacentrum begutachten die Projektskizze und die Vorhabenbeschreibung, bevor das BMBF über die Bewilligung entscheidet. Das Projektvolumen eines Clusterforschungsprojekts ergibt sich aus der Größe des Konsortiums mit ca. 5 Partnern. Typischerweise wird ein wissenschaftlicher Mitarbeiter über drei Jahre bei jedem Partner gefördert. Clusterforschungsprojekte werden von Forschungseinrichtungen (Universitäten, Hochschulen und nicht-industrielle Forschungseinrichtungen) in Deutschland durchgeführt.

Geplante Termine

Abgabe der EDA-Themenvorschläge:	30. April 2009
Auswahl des Konsortiums:	30. Juni 2009
Geplanter Projektstart:	2010

Weitere Informationen

Weitere Informationen finden Sie auf den Internetseiten des edacentrum unter www.edacentrum.de/clusterforschung. Zu der Erstellung der EDA-Themenvorschläge und Fragen zum Ablauf bietet das edacentrum Hilfe an. Kontaktieren Sie hierfür bitte:

Dr. Volker Schöber, schoeber@edacentrum.de, Tel +49 (511) 762 19688, Fon +49 (511) 762 19695