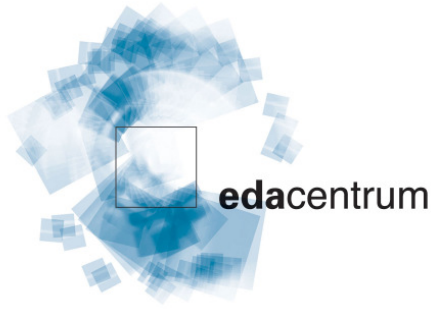


Thema des Projekts: Entwurf robuster nanoelektronischer Systeme
Aufruf zur Teilnahme am 4. Clusterforschungsprojekt des edacentrum



Datum
10. Oktober 2007

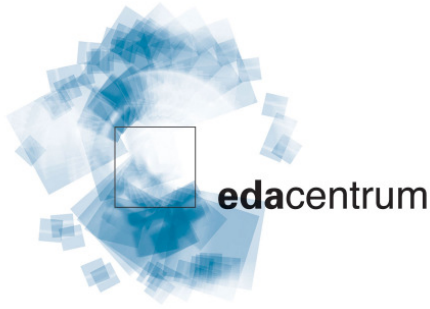
Seite / Anzahl der Seiten
1 / 7

Aufruf zur Teilnahme am 4. EDA-Clusterforschungsprojekt des edacentrum

Das Bundesministeriums für Bildung und Forschung (BMBF) führt gemeinsam mit dem edacentrum und führenden Unternehmen der deutschen Mikroelektronik-Industrie mit der EDA-Clusterforschung eine neue Forschungsinitiative in Deutschland fort. Durch Clusterforschungsprojekte soll die für die Chipentwicklung notwendige Entwurfsautomatisierung (Electronic Design Automation, EDA) grundlegend verbessert werden. Es werden dabei Methoden erforscht, um den Entwurf von neuen EDA-Werkzeugen anzustoßen, die in 5-10 Jahren zum industriellen Einsatz kommen können.

Die Forschungsinitiative zielt insbesondere darauf ab, solche EDA-Bereiche zu stärken, die in Deutschland von herausragender Bedeutung sind. Sie konzentriert sich auf die Unterstützung von Institutionen in Deutschland, die sich mit Forschung und Entwicklung von EDA-Software und der dazugehörigen Methodik befassen, die die Bildung von Synergien für Lehre, Forschung, EDA-Hersteller und Anwender unterstützt. Clusterforschungsprojekte werden so zu einem Schlüsselinstrument, um in Zukunft die Produktivität der Schaltungsentwicklung zu erhöhen.

Der Aufruf zu einem Clusterforschungsprojekt wird vom edacentrum in Zusammenarbeit mit der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) der GI, ITG und GMM erstellt.



Datum
10. Oktober 2007

Seite / Anzahl der Seiten
2 / 7

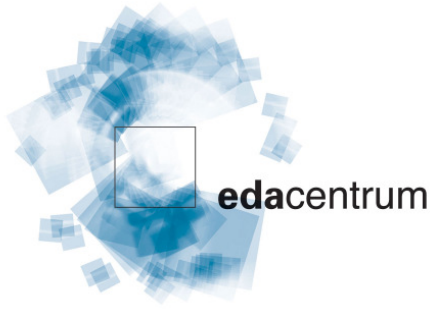
Thema des Projekts: Entwurf robuster nanoelektronischer Systeme

Motivation

Die fortschreitende Technologieentwicklung bei der Herstellung hochintegrierter Schaltkreise führt zu einer zunehmenden Annäherung an physikalische Grenzen. Der Übergang zu Technologien mit Strukturbreiten von 45 nm und darunter hat unter anderem zur Folge, dass eine Transistorkanallänge deutlich weniger als 100 dotierte Atome aufweist und die Dicke des Gateoxids nur noch wenige Atomlagen beträgt. Folglich ist mit einer stark wachsenden Sensibilität für stochastische Effekte zu rechnen. Diese stetige Miniaturisierung führt sowohl zu steigenden Prozessvariabilitäten als auch zu zunehmenden zeitabhängigen Variabilitäten im Betrieb.

Aktuelle Forschungs- und Entwicklungsarbeiten fokussieren im Wesentlichen auf fertigungsbedingte Prozessvariabilitäten als Ausgangspunkt für die Optimierung der Robustheit und Zuverlässigkeit von Halbleiterschaltungen. Sie basieren auf dem klassischen Ansatz der Perfektion ohne den zwingenden Bedarf für Fehlertoleranzmaßnahmen im Betrieb. Es zeigt sich aber schon jetzt, dass eine ausschließliche Betrachtung der Prozessvariabilitäten nicht mehr ausreicht. Es ist dringend erforderlich, diese auf zeitabhängige Variabilitäten im Betrieb auszuweiten. Solche zeitabhängigen Effekte können z. B. durch Alterung, Umgebungsstrahlung, elektromagnetische Interferenz sowie durch Schwankungen von Temperatur, Versorgungs- und Schwellspannung verursacht werden. So verursachen durch Alterung hervorgerufene zeitabhängige Variabilitäten nicht nur funktionale Fehler, sondern verändern zunehmend auch die kritischen Pfade einer Schaltung im Betrieb. Dies führt dazu, dass ohne neuartige Entwurfs- und Architekturansätze notwendige Garantien bezüglich Robustheit, Zuverlässigkeit und eines definierten Zeitverhaltens nicht mehr für den gesamten Betriebszeitraum gegeben sein werden.

Die genannten Aspekte stehen damit direkt im Einklang mit dem im BMBF-Forschungsförderprogramm IKT 2020 unter der „Enabling Technologie“ Chipentwurf (EDA) aufgeführten Forschungsthema „Produktiver Systementwurf für robuste Systeme“.



Datum
10. Oktober 2007

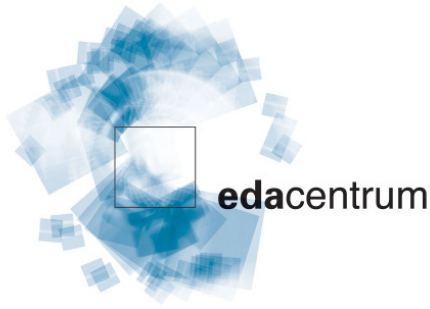
Seite / Anzahl der Seiten
3 / 7

Ziele

Ziel des Clusterforschungsprojekts „Entwurf robuster nanoelektronischer Systeme“ ist die Erforschung neuer Methoden und Werkzeuge für den Systementwurf robuster System-on-Chip-Architekturen, die die Fähigkeit aufweisen, Funktionsfehler, Fertigungsfehler sowie Parameterschwankungen während des Betriebs zu kompensieren.

Als notwendige Voraussetzung für die neuen Verfahren sind geeignete Robustheits- und Fehlermodelle auf Systemebene notwendig, die Kennzahlen zur aussagekräftigen Bewertung auf Basis anerkannter technologienaher Fehlermodelle ermöglichen. Dabei ist es besonders wichtig, existierende Fehlermodelle auf Transistor- und Gatterebene geeignet zu abstrahieren, um eine frühzeitige Architekturbewertung auf Systemebene durchführen zu können. Unter Anwendung der ermittelten Modelle ist in enger Zusammenarbeit mit der Architektur- und Methodenentwicklung ein Ansatz zu erforschen, der einen Top-Down-Entwurf von robusten nanoelektronischen Systemen auf der Systemebene unterstützt und dabei eine frühzeitige Bewertung und Optimierung der Robustheit unter Berücksichtigung der zugrunde liegenden Applikation ermöglicht. Hierzu sind neue Methoden und Werkzeuge für den Systementwurf von stresstoleranten und stressreduzierenden System- und Schaltungsarchitekturen erforderlich. Diese müssen sich robust gegenüber Parameterschwankungen verhalten, eine dynamische Anpassung an variierende kritische Pfade bzw. ausfallende Komponenten erlauben und ein dynamisches On-Chip-Binning ermöglichen.

Der Fokus des hier vorgeschlagenen Clusterforschungsprojektes liegt auf einem „Top-Down“-Entwurfsansatz für stresstolerante und stressreduzierende Systemarchitekturen für applikationsspezifische Systeme. Dabei sollen unter Anwendung abstrahierter Robustheitsmodelle und einer entwurfsgestützten Analyse und Reduktion von Stresseffekten zeitabhängige Variabilitäten im Betrieb kompensiert werden.



Datum
10. Oktober 2007

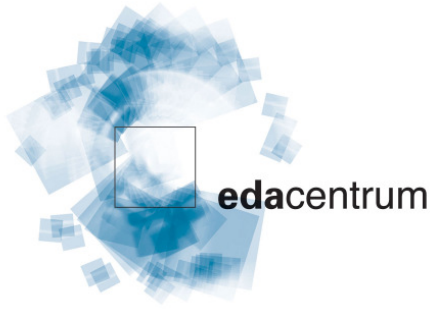
Seite / Anzahl der Seiten
4 / 7

Themenschwerpunkte

System-Level-Entwurfsmaßnahmen zur Beherrschung von Fehlern im Betrieb

Die Bereitstellung geeigneter ESL-Entwurfsmethoden ist der Schlüssel für den Entwurf von robusten nanoelektronischen Systemen, um frühzeitig die Auswirkungen von Architekturmaßnahmen und Schaltungstechniken auf die Robustheit des Gesamtsystems analysieren und bewerten zu können. Ein Themenschwerpunkt soll sich dabei mit dem Entwurf von stresstoleranten System- und Schaltungsarchitekturen für applikationsspezifische Systeme befassen und durch geeignete Entwurfsverfahren zur Analyse und Reduktion applikationsbedingter Stresseffekte ergänzt werden. Dabei sollen solche Einflüsse (wie z.B. thermischer, mechanischer und elektrischer Stress) auf schaltungskritische Stressfaktoren untersucht werden, die unter anderem aufgrund von Hot-Spots, stetigen Temperaturzyklen oder hohen Stromdichten hervorgerufen werden können. Die Bewertung der Entwurfsalternativen soll in enger Zusammenarbeit mit dem im Rahmen des Themenschwerpunkts 3.2 entwickelten Robustheitsmaßen und Fehlermodellen erfolgen. Diese Betrachtungen sollen ferner durch dynamische Konzepte zur Stressreduktion, Stressverträglichkeit und Fehlerkompensation ergänzt werden, wie z.B. eine Zeit-budgetierte Laufzeitanpassung zur Vorbeugung von Alterungseffekten und Kompensation von Betriebsfehlern. Zur Beherrschung der zeitabhängigen Variabilitäten im Betrieb sollen ferner Entwurfsmethoden für Online-Chip-Binning-Ansätze erforscht werden, welche eine dynamische Anpassung des Chips an variierende kritische Pfade bzw. ausfallende Komponenten im Betrieb ermöglichen. Hierzu müssen Komponenten zur Online-Kalibrierung unter Anwendung von Entwurfsinformationen und gemessenen Parametersätzen geeignet auf dem Chip verteilt werden.

Ein weiterer Schwerpunkt betrifft die Bereitstellung von formalen Ansätzen zum Robustheitsnachweis auf Systemebene. Hierzu sollen existierende Technologien und Konzepte zur Sicherstellung der Robustheit eines Schaltkreises gegenüber Teilausfällen, z. B. auf Basis von Redundanz- und Codierungsansätzen weiterentwickelt werden. Bei großen Systemen ist zu erwarten, dass die direkte Anwendung formaler Methoden nicht mehr möglich ist. In solchen Fällen muss auf simulationsbasierte Ansätze zurückgegriffen werden. Auch hier ist jedoch eine weitgehende Automatisierung wünschenswert. Die Anwendung von "Coverage"-orientierter Simulation zur Robustheitsprüfung ermöglicht hier eine direkte Rückkopplung der Überdeckungskriterien während der Simulation und der Fehlerinjektion. Folgende Themen geben eine Orientierung für diesen Schwerpunkt:



Datum
10. Oktober 2007

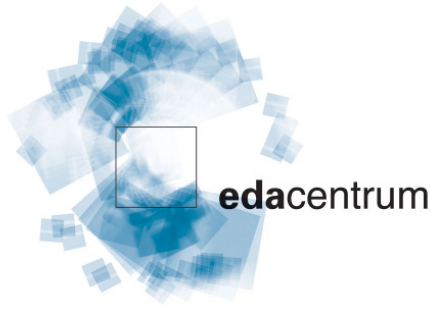
Seite / Anzahl der Seiten
5 / 7

- Entwurf stresstoleranter und stressreduzierender Architekturen
 - Berücksichtigung von charakteristischen Stressfaktoren wie thermischem, mechanischem und elektrischem Stress
 - Analyse und Reduktion applikationsbedingter Stresseffekte
 - Robustheitsbewertung von Architekturalternativen
 - Dynamische Konzepte zur Stressreduktion und Fehlerkompensation (z. B. Zeit-budgetierte Laufzeitanpassung)
 - Entwurf von dynamischen Online-Chip-Binning-Ansätzen zur Anpassung an variierende kritische Pfade bzw. ausfallende Komponenten im Betrieb
- Formale Ansätze zum Robustheitsnachweis
 - Robustheitsnachweis auf Systemebene basierend auf Robustheitsmaßen
 - Berücksichtigung von Fehlverhalten und Reaktionen

Modellierung von Robustheit auf Systemebene

Voraussetzung für die Erforschung neuer Entwurfsmethoden für robuste nanoelektronische Systeme ist die Bereitstellung von Robustheitsmaßen, die beim Entwurf Schwachstellen einer Architekturalternative aufzeigen. Hierzu sind abstrahierbare Einflussfaktoren auf die Robustheit eines Systems zu untersuchen. Darunter fallen z.B. Stressprofile aus gegebenen Last- und Umgebungsmodellen sowie die Modellierung von physikalischen Mechanismen, die zu einer schnelleren Degradation führen. Dies ist die Basis für eine Robustheitsanalyse des Gesamtsystems unter Berücksichtigung der Ausfallraten der Teilkomponenten, um die Ausfallsicherheit des Gesamtsystems für eine gegebene maximale Anzahl ausfallender Teilkomponenten bestimmen zu können. Auf diese Weise ist entweder eine schnelle Korrektur erkannter Schwachstellen oder die Härtung durch gröber ausgelegte physikalische Strukturen möglich. Ein weiterer wichtiger Aspekt ist die Untersuchung von Ansätzen zur Analyse der Zuverlässigkeitsänderung unter variierenden Beanspruchungsszenarien. Damit können Worst-Case-Szenarien mit realistischeren Szenarien in Relation gebracht und bessere Aussagen zur Robustheit eines Systems getroffen werden.

Die Robustheitsanalyse sollte sich auf abstrahierte Fehlermodelle beziehen, die ebenfalls auf Systemebene anwendbar sind. Um die Ausfallsicherheit eines Gesamtsystems bewerten zu können, besteht z.B. eine Möglichkeit darin, Fehler unter Berücksichtigung von abstrahierten Fehlermodellen zielgerichtet in ein Transaction-Level-Modell zu injizieren und damit eine frühzeitige Fehlersimulation



Datum
10. Oktober 2007

Seite / Anzahl der Seiten
6 / 7

zu ermöglichen. Die Verwendung eines Transaction-Level-Modells verspricht die Möglichkeit, die Applikations-Software in die Robustheitsbetrachtungen mit einzubeziehen, um abstrahierte Fehlermodelle in eine ganzheitliche Betrachtung eines MPSoCs (einschließlich CPUs, Custom-IPs, Netzwerkkomponenten und Applikation) einzubringen. Als Beispiel sei hier die Abstraktion physikalisch basierter Modelle für die Ausfallwahrscheinlichkeit bzw. erwartete Lebensdauer von Bauelementen mit Nanotechnologien genannt, wie z.B. Dielektrika von MOS-Transistoren oder Elektromigration in Leiterbahnen. Folgende Themen geben eine Orientierung für diesen Schwerpunkt:

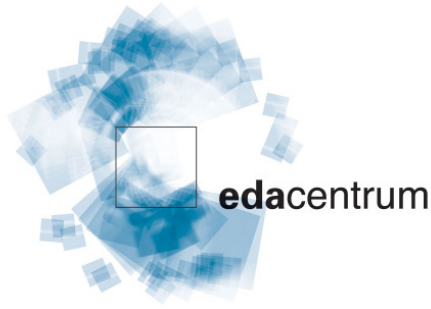
- Robustheitsanalyse unter Berücksichtigung gegebener Komponentenausfallraten
 - Definition von Kennzahlen zur Robustheitsbewertung
 - Analyse abstrahierbarer Einflussfaktoren auf die Robustheit eines Systems
 - Veränderung der Zuverlässigkeit unter variierenden Beanspruchungsszenarien
- Fehlermodelle für Hardware/Software-Systeme
 - Abstraktion existierender Fehlermodelle auf höhere Entwurfsebenen bis hin zur Systemebene
 - Ableitung von Stressfaktoren aus gegebenen Last- und Umgebungsmodellen
 - Modellierung physikalischer Mechanismen, die zur Degradation führen (Funktion & Zeitverhalten)
 - Ganzheitliche Betrachtung eines (MP)SoC (CPUs, Custom-IP, Netzwerk und Applikation)

Zur Organisation in der Antragphase

Jeder Vorschlag ist in elektronischer Form von der Forschungseinrichtung einzureichen. Weiteres Material, wie Folien und Graphiken, die die Verständlichkeit des Vorschlags erhöhen, sind erwünscht. Mögliche Kooperationspartner und Schnittstellen können in dem Antrag beschrieben werden. Fertige Vorschläge sind über die E-Mail-Adresse schoeber@edacentrum.de an das edacentrum zu senden.

Aus den eingereichten Themenvorschlägen wird ein Projektkonsortium in enger Zusammenarbeit mit dem edacentrum und dem Leitungsgremium der Kooperationsgemeinschaft RSS gebildet. Zur Bildung des Konsortiums können die Antragsteller von Gutachtern eingeladen werden, um die Ausrichtung des Projekts und des Projektkonsortiums zu verfeinern. Nachdem das Konsortium festgelegt ist, wird eine Projektskizze und Vorhabenbeschreibung erstellt. Das Steuerungsgremium des edacentrum begutachtet die Projektskizze und die Vorhabenbeschreibung, die anschließend beim BMBF im

Thema des Projekts: Entwurf robuster nanoelektronischer Systeme
Aufruf zur Teilnahme am 4. Clusterforschungsprojekt des edacentrum



Datum
10. Oktober 2007

Seite / Anzahl der Seiten
7 / 7

Ekompas-Förderkomplex einreicht wird. Nach Bewilligung durch das BMBF kann der Projektstart erfolgen.

Finanziert werden die Clusterforschungsprojekte zu gleichen Teilen vom BMBF im Rahmen des Ekompas-Förderkomplexes und einem Industriekonsortium. Das Projektvolumen eines Clusterforschungsprojekts ergibt sich aus der Größe des Konsortiums. Typischerweise wird ein wissenschaftlicher Mitarbeiter über drei Jahre bei jedem Partner gefördert. Clusterforschungsprojekte sind dabei auf Forschungseinrichtungen in Deutschland beschränkt. Damit sind Universitäten, Hochschulen und nicht-industrielle Forschungseinrichtungen gemeint.

Geplante Termine

Abgabe der EDA-Themenvorschläge bis:	30. 11. 2007
Bildung des Konsortiums bis:	Q1 2008
Projektskizze fertig:	Q3 2008
Bewertung der Projektskizzen:	Q4 2008
Vorhabenbeschreibung fertig:	Q4 2008
Geplanter Projektstart:	Q1 2009

Weitere Informationen

Weitere Informationen finden Sie auf den Internetseiten des edacentrum unter www.edacentrum.de/clusterforschung. Zum Schreiben der EDA-Themenvorschläge und Fragen zum Ablauf bietet das edacentrum Hilfe an. Kontaktieren Sie hierfür bitte:

Dr. Volker Schöber

E-Mail: schoeber@edacentrum.de, Tel +49 (511) 762 19688, Fon +49 (511) 762 19695