DETAILS: Neue Möglichkeiten für die Konzipierung und den Entwurf von höchstintegrierten Endgeräten mit besonderer Berücksichtigung von eingebetteten HF-IP Baugruppen

R. Wittmann[1], R. Kakerow[1], Ch. Münker[2], W. Schneider[3] and P. Birrer[4]
[1]Nokia GmbH, [2]Infineon Technologies AG, [3]Atmel Germany GmbH, [4]Cadence Design Systems GmbH

Einleitung

Der weltweit steigende Bedarf an mobilen Kommunikationsdienstleistungen erfordert einen immer schnelleren Austausch von Informationen über bandbegrenzte Übertragungswege (terrestrisch, drahtgebunden, optisch). Anwendungsgebiete liegen beispielsweise in der Telekommunikation, dem Entertainment, der Gebäudeautomation und in zunehmendem Maße auch in der Medizintechnik. Zur Ausnutzung der zur Verfügung stehenden Übertragungsbandbreite bedarf es hochkomplexer Modulationsverfahren und Systemarchitekturen. Gleichzeitig sind die hohe Zuverlässigkeit, niedrige Kosten und ein geringer Energiebedarf (Batteriebetrieb) dieser Architekturen von besonderer Bedeutung. Daraus entstehen neue Herausforderungen an den Systementwurf und besondere Anforderungen an die Entwurfswerkzeuge.

Das Projekt DETAILS (01M3071) konzentriert sich auf den Aufbau einer effizienten Entwurfstechnologie für wieder verwendbare, hochintegrierte Hochfrequenz-Schlüsselkomponenten in zukünftigen mobilen Kommunikationssystemen hoher Komplexität für Trägerfrequenzen bis 60 GHz. Die hier betrachtete HF-Entwurfstechnologie umfasst die Bereiche EDA-Entwurfsumgebungen und -Werkzeuge, Entwurfsmethodik, Modellierungsverfahren und die Schnittstelle zum Fertigungsprozess.

Der Anwender erwartet zuverlässige und kostengünstige Multi-Standard-Endgeräte und Dienste mit hohem Gebrauchswert für Anwendungen wie z. B. das zukünftige mobile Internet. Mit den bisher verfügbaren Entwurfsverfahren können diese noch nicht bereitgestellt werden. Wichtig ist die Verkürzung der Entwicklungszeit bei gleichzeitiger Erhöhung der Planungssicherheit. Dazu gehören neue Entwurfsabläufe und Modellierungsverfahren zur sicheren Systemkonzipierung.

Aus dieser entscheidenden Bedeutung des Design-Flows leitet sich die Zuordnung der Arbeiten des Projekts in die vier Hauptbereiche HF-Systemmodellierung, HF-IP Entwurf, Prozessanbindung für HF-Systeme und HF-Entwurfsplattform ab. Der HF-Design-Flow ist hierbei das zentrale Bindeglied der durchgeführten Arbeiten zur Bereitstellung einer geeigneten Entwurfstechnologie. Im „newsletter edacentrum 02 2005“ wurden die Arbeitsbereiche mit den Forschungszielen bereits vorgestellt. Deshalb fasst dieser Bericht eine Auswahl wichtiger Forschungsergebnisse aus den unterschiedlichen Bereichen zusammen und verdeutlicht den erzielten technischen Fortschritt.

Gigabit-Radio-Technologie für Funksysteme im Mikrowellen-Bereich

Zukünftige Telekommunikationssysteme werden durch ihre Komplexität und multidisziplinäre Ansätze die Leistungsfähigkeit konventioneller Entwicklungsumgebungen und Entwurfsmethoden in Frage stellen. Um auf die zu erwartenden Herausforderungen reagieren zu können, müssen schon jetzt beispielhaft Systeme mit extremen technischen Anforderungen wie hohen Datenraten, Signalbandbreiten, Rechenleistungen

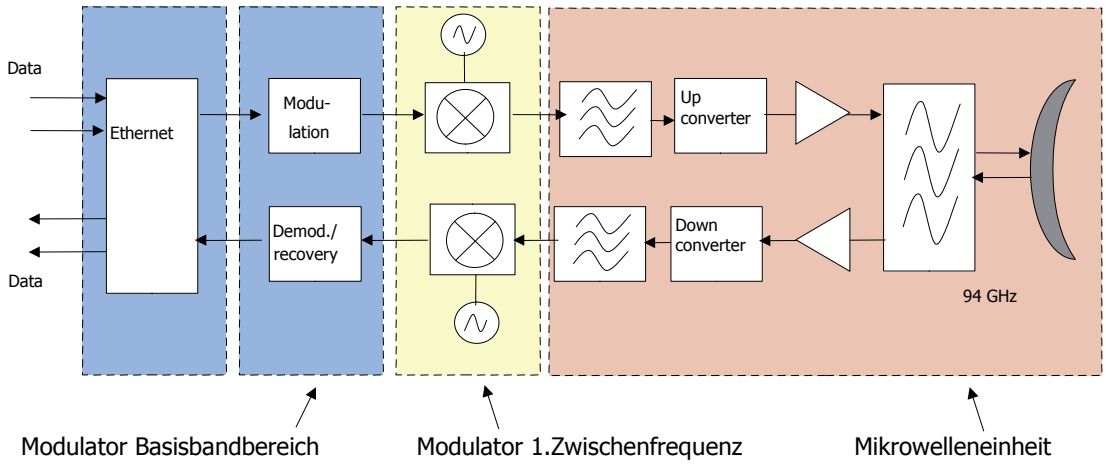

Abbildung 1.03: Konzeptdiagramm des Gigabit-Radio-Demonstrators

Zusammensetzung des Projektkonsortiums:

Projektpartner:
» Atmel Germany GmbH
» Cadence Design Systems GmbH
» Infineon Technologies AG
» Melexis GmbH
» Nokia GmbH

Unterauftragnehmer:
» TU Cottbus
» Fraunhofer-IIS EA
» IMMS gGmbH
» TU Dresden
» Universität Ulm

Förderkennzeichnen:
01 M 3071

Laufzeit:
01.04.2004–31.03.2007

Homepage:
www.edacentrum.de/ekompass/projekte/details/

und Trägerfrequenzen betrachtet werden. Die daraus resultierenden Anforderungen an Designumgebung, Modellierung und Simulation müssen entsprechend analysiert und auf ihr Verbesserungspotential hinsichtlich Genauigkeit, Geschwindigkeit und Unterstützung für den Designer untersucht werden.

Die Gigabit-Radio-Technologie eignet sich auf Grund ihrer multidisziplinären Komplexität (Ethernet, digitale Signalverarbeitung, HF, Mikrowellentechnik) und ihrer technischen Herausforderungen (Trägerfrequenz, Signalbandbreite, Genauigkeit) hervorragend als Systembeispiel [1]. Hinzu kommt, dass bereits Messergebnisse von ersten Prototypen vorliegen, mit denen die erarbeiteten Modellansätze abgeglichen werden können.

Abbildung 1.03 zeigt das Blockdiagramm des im Projekt DETAILS betrachteten Gigabit-Radios. Eingehende Gigabit-Ethernet-Daten werden mit einer Datenrate von 1,25 GHz in den Sender eingespeist. Im Basisbandbereich werden die Daten mit einer $\pi/4$ D-QPSK digital moduliert und gefiltert. Die Umsetzung in die analoge Domäne mit Hochsetzung auf eine Zwischenfrequenz (ZF) von 3 GHz findet im nachgeschalteten ZF-Front-End statt. Eine Mikrowelleneinheit mischt das Signal in den Mikrowellenbereich, wo es über Cassegrain-Antennen übertragen wird. Der Empfang erfolgt entsprechend, mit den erforderlichen Algorithmen zur Signalkorrektur, Taktrückerkennung, Filterung und Demodulation, im digitalen Basisband.

Die wesentlichen Entwurfsschritte und die Implementierung des Gigabit-Radios wurden bei Nokia als interne Entwicklung durchgeführt. Forschungsaspekte im Entwurfsprozess, die als kritisch identifiziert wurden, konnten an die Förderprojekte DETAILS und SAMS zur Erarbeitung neuer Modellierungsansätze übergeben werden. Im Rahmen dieser Zusammenarbeit wurden Modelle erstellt, die eine Betrachtung des gesamten Übertragungssystems unter Einbeziehung relevanter physikalischer Parameter erlauben [2].
Die Verwendung von Hochsprachenmodellierung in Kombination mit analogen Beschreibungen, zum Beispiel basierend auf SystemC-AMS, ermöglichte eine Erfassung des Gesamtsystems mit den zur Verfügung stehenden Rechenressourcen. Anhand dieser Modelle konnte eine Evaluierung unterschiedlicher Entwurfsparameter durchgeführt werden.

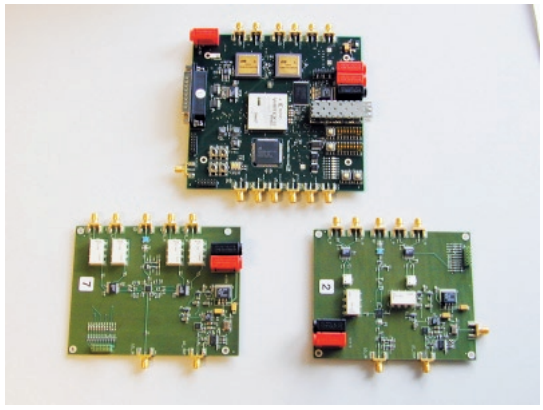

Abbildung 1.04: Gigabit-Radio-Modulator-Implementierung: Basisband (oben), HF/ZF Sender (links unten), HF/ZF Empfänger (rechts unten)

Die Kernkomponenten der Referenzimplementierung des Gigabit-Radio-Modulators sind in Abbildung 1.04 zu sehen. Die Basisband-Signalverarbeitung wurde in einem FPGA implementiert, welches sich zusammen mit dem Gigabit-Ethernet-Interface, der Takterzeugung und den A/D- bzw. D/A-Umsetzern des Signalpfades auf dem Basisband-Board befindet. Der Hochfrequenzteil des Modulators mit einer Zwischenfrequenz von 3 GHz wurde für Sender und Empfänger auf zwei Boards verteilt. Nicht abgebildet ist der Mikrowellenteil, der das Signal auf die Trägerfrequenz im E-Band (74/84/94 GHz) hochsetzt.

Erste Tests mit dem erstellten Demonstrator ergaben eine gemessene Roh-Bitfehlerrate der Funkstrecke bei 84 GHz zwischen 10-7 und 10-4. Dieser Wert wurde ohne Kanalkodierung erreicht, die nun im Rahmen der Weiterentwicklung des Systems implementiert wird. Die im Rahmen von DETAILS und der Kooperation mit SAMS erarbeiteten Ergebnisse erlauben eine gezielte Optimierung der kritischen Parameter wie Linearität oder Jitter, indem geeignete Modellierungsansätze zur Verfügung gestellt werden.

Built-In Self-Test und Self-Calibration (BIST/BISC) für Hochfrequenzblöcke

Aktuelle CMOS-Technologien mit ihren hohen Integrationsdichten ermöglichen hochintegrierte Systemlösungen, die HF-Transceiver und digitale Signalverarbeitung auf einem Chip vereinen. Allerdings sind diese Technologien mit Hinblick auf digitale Schaltungen optimiert und weisen zum Beispiel deutlich stärkere Parameterschwankungen und einen geringeren Dynamikbereich als spezielle analoge Technologien auf. Daher müssen Transceiverarchitekturen mit hohem Digitalanteil, wie Delta-Sigma-modulierte PLLs verwendet werden, um die benötigte Performance zu erzielen.

Diese komplexen Architekturen stellen, aufgrund der Funktionsvielfalt und der engen Wechselwirkung zwischen HF- und digitalen Komponenten, große Anforderungen an die Prüftechnik. Die resultierenden Testkosten machen mit steigendem Trend bis zu 25% der gesamten Produktionskosten aus [3] und müssen reduziert werden, um aufgrund des hohen Wettbewerbsdruck in der Halbleiterindustrie konkurrenzfähig zu bleiben.

Auf der anderen Seite eröffnet die hohe Integrationsdichte neuartige Möglichkeiten für kombinierte, effiziente Selbstabgleich- und Selbsttestalgorithmen: Built-In Self Calibration (BISC) / Built-In Self Test (BIST), die trotz komplexer digitaler Signalverarbeitungsalgorithmen nur wenig zusätzliche Chipfläche benötigen.

Die dadurch erzielten Ausbeuteverbesserungen und Testzeitverkürzungen gleichen die zusätzliche Fläche mehr als aus.

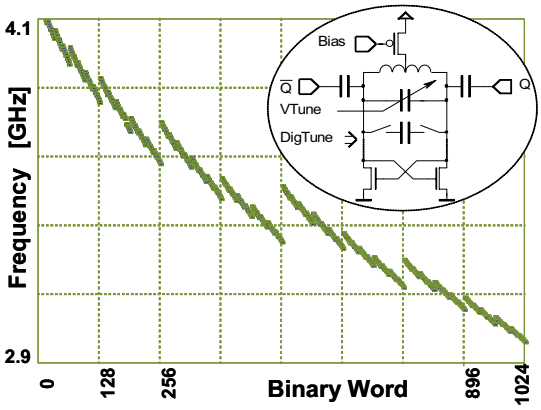

Abbildung 1.05: VCO mit 1024 Subbändern

Im Rahmen von DETAILS wurden unter anderem Test- und Abgleichskonzepte für PLLs und VCOs untersucht. VCOs sind besonders problematische Komponenten in CMOS-Technologien, da die Streuungen von MOS-Varaktoren wesentlich höher sind als die von dedizierten Varaktoren in BiCMOS-Technologien. Die konventionelle Lösung, einen VCO mit großer Steilheit zu verwenden, um den geforderten Frequenzbereich unter allen Randbedingungen und Prozessecken abzudecken, macht das System sehr störanfällig und verschlechtert die Performance. Daher wurde der Tuningbereich in 1024 Sub-Bänder aufgeteilt, so dass eine niedrige Steilheit von 60 MHz/V genügt, um insgesamt 1.2 GHz abzudecken (Abbildung 1.05). Die Auswahl des geeigneten Bands geschieht innerhalb weniger µs mittels eines Successive-Approximation-Algorithmus (Abbildung 1.06).

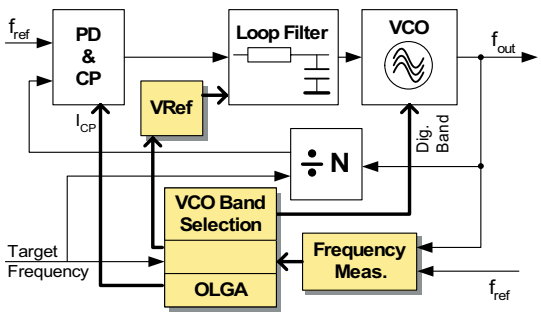

Abbildung 1.06: Automatische VCO Kalibrierung und Test

Darüber hinaus zeigt Abbildung 1.06 eine BISC-Methode, um Schleifenverstärkung und -bandbreite trotz schwankender Parameter (Open Loop Gain Automatic Adjustment, OLGA) konstant zu halten. Die entsprechende Reduktion der Streuung durch Open Loop Gain Automatic Adjustment, OLGA) [4] ist in Abbildung 1.07 dargestellt.

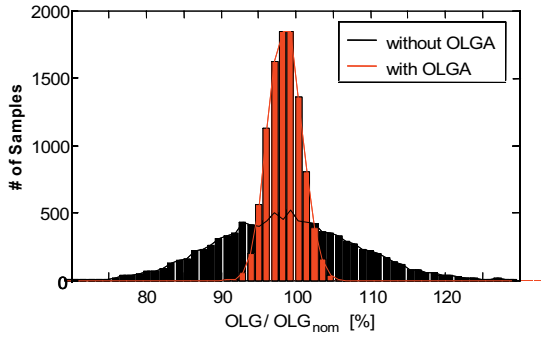

Abbildung 1.07: Reduktion der Open-Loop-Gain Streuung durch BISC

Die schlechte Testbarkeit von HF-Blöcken, die in ein komplexes System-On-Chip eingebettet sind, macht digitale BISC-Konzepte besonders attraktiv: Indem man die BISC-Regelgrößen gegen Testlimits abprüft, erhält man eine effiziente BIST-Lösung, die langsame HF-Tests auf teuren HF-Testern ersetzen kann. Mit der Anordnung in Abbildung 1. 4 ist es beispielsweise möglich, eine große Zahl relevanter VCO-Tests chipintern ohne externes Testequipment durchzuführen; auf Testchips konnte so die Testzeit um mehrere 100 ms verkürzt werden.

Effiziente Methoden für den HF-IP-Schaltungsentwurf

Eine systemkonforme Modellierung für HF-IP's ist die Voraussetzung für eine höchstmögliche Flexibilität auf Systemebene, in der der bereitgestellte IP-Block und das dazugehörige Multilevel-Funktionalmodell keine starre Funktionalität besitzen, sondern auf spezielle Systemanforderungen hin formbar bleiben (parametrisierbar, konfigurierbar). Unter HF-IP werden hier in einer Hochsprache vorliegende, ausführbare Entwurfsbeschreibungen für die Bereiche Symbol, Modell, Schaltung und Layout verstanden.

Die möglichst automatische Erstellung von schnellen Verhaltensmodellen für RF-Blöcke stellt eine besondere Herausforderung dar, da es hier auf eine besonders hohe Modellierungsgenauigkeit ankommt. Die neue Methodik zur Generierung von Linearen-Transfer-Funktionen- (LTF-) Modellen ist als wichtiger Schritt in Richtung eines automatisierten Design-Flows zu sehen. Mit dieser Methodik können relevante Schaltungseigenschaften von der Transistorebene automatisch in Modelle für die Systemebene „übersetzt" werden. Der zu modellierende Schaltungsblock wird hierbei als „Black-Box N-Port" über S-Parameter charakterisiert. Aus diesen S-Parametern werden mit Hilfe der Vector-Fitting-Approximation alle Transferfunktionen einer beliebigen Übertragungsmatrix modelliert. Da bei diesem Verfahren die Modelleigenschaften automatisch aus den Eigenschaften von beliebigen Analogschaltungen abgeleitet werden können, ist diese Methode besonders wertvoll für die automatische Bottom-Up-Verifikation von komplexen Systemen. Die Schaltungstopologie spielt bei diesen

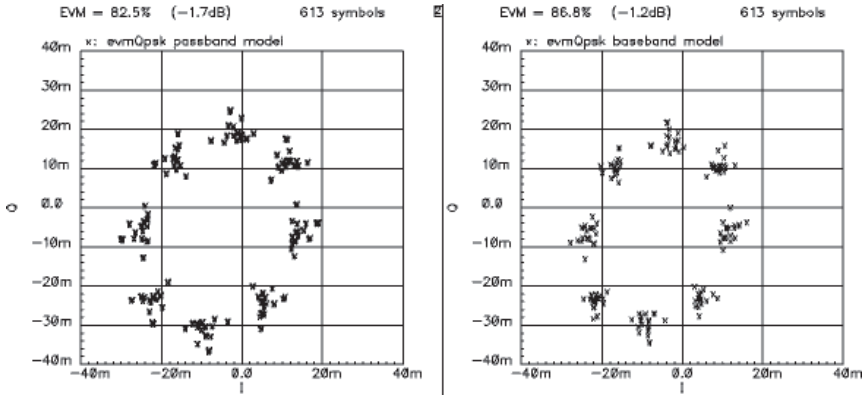

Abbildung 1.08:
Laufzeitintensives Modell in Trägerfrequenzbereich (links) und LTF-Modell für analoges Front-End

Black-Box-Modellen keine Rolle; somit lassen sich hier die parasitären Effekte aus der Hochintegration besonders einfach berücksichtigen. Bei Funktionalmodellen, die sich aus der Schaltungstopologie ableiten, ist dies nicht so einfach möglich, da besonders im HF-Bereich zusätzliche parasitäre Elemente die Schaltungstopologie verändern können. Ein Vergleich der Genauigkeit zwischen der LTF-Modellierung und dem wesentlich aufwändigeren Modell im Trägerfrequenzbereich ist in Abbildung 1.08 gezeigt.

Durch die Verbesserung der Eigenschaften der Simulationsmodelle (Genauigkeit, Laufzeit) kann das Verhalten der Schaltungen und Systeme noch vor der Fertigung analysiert und optimiert werden. Dadurch lassen sich Ausbeuteverluste oder sogar Totalausfälle von kritischen HF-Komponenten vermeiden.

Neben der Verbesserung der Modellierung werden im Projekt DETAILS neue rechnergestützte Möglichkeiten untersucht, Qualität und Ausbeute von Analog- und HF-Schaltungen durch die gezielte Ausnutzung spezieller, für den HF-Entwurf bisher brach liegender Eigenschaften der Sub-100 nm Prozesse zu verbessern. Durch eine zuverlässige Integration von HF-Komponenten in Standardprozesse lassen sich für Produkte für den Massenmarkt Fertigungskosten einsparen. Da die komplette Signalverarbeitung auf nur einem Chip stattfinden kann, ergibt sich gleichzeitig die Möglichkeit einen erheblichen Teil der bisher benötigten Verlustleistung einzusparen und ein Potential für einen Gewinn an Datenrate und Rechenleistung.

Durch die Verkleinerung der Strukturgrößen und dem damit einhergehenden anwachsenden Integrationsgrad werden aufwändige Verfahren der statistischen Mittelung und der Selbstkalibrierung besonders interessant. Auch können nun Schaltungstopologien zum Einsatz kommen, die in der Vergangenheit aufgrund ihrer hohen Komplexität nicht berücksichtigt werden konnten. In der Projektarbeit wurden einige viel versprechende Ansätze untersucht, den störenden Auswirkungen von anwachsenden Einflüssen von Parameterschwankungen wirksam zu begegnen. Da sich diese Verfahren größtenteils nicht mehr durch den traditionellen Handentwurf adressieren lassen, galt es, die durchzuführenden Entwurfsschritte auf geeignete Weise zu automatisieren.

Mit dem Erreichen des 65 nm-Technologieknotens werden neue schaltungstechnische Möglichkeiten anwendbar, um den störenden Auswirkungen von Parameterschwankungen in Analogschaltungen zu begegnen. Anhand des in Abbildung 1.09 gezeigten Beispiels eines digitalen 1024-Stufen-Potentiometers wurde ein Bereich der Schaltungsoptimierung in den Vordergrund gerückt, der in der Vergangenheit oft nur am Rande betrachtet wurde, den einer varianz-freundlichen analogen Schaltungstechnik, die sich die hervorragenden Mittelungseigenschaften statistisch verteilter Einheitselemente gezielt zu Nutze macht. Dass zunehmende relative Parametertoleranzen der Bauelemente nicht notwendigerweise schlechtere Schaltungs- oder Systemeigenschaften nach sich ziehen müssen, konnte eindrucksvoll an diesem Beispiel demonstriert werden. Entgegen der üblichen Praxis, die Flächen von kritischen Bauelementen zu vergrößern, um den Einfuß statistischer Streuungen einzudämmen und die Matching-Eigenschaften zu verbessern, wurden hier die Flächen der Bauelemente (hier Widerstände) so weit wie möglich verringert. Die Matching-Genauigkeit der einzelnen Widerstände verschlechterte sich so auf etwa 5%. Solche Genauigkeitswerte sind für Präzisionsschaltungen wie zum Beispiel ein 10 Bit R-2R DAC völlig unbrauchbar. Der Widerstand für das MSB benötigt hier eine Genauigkeit von 0,1% für eine Linearität von 10 Bit, da der Spannungsabfall über diesem Widerstand 512 LSB Schritten entspricht (erlaubter Fehler 0,5 LSB). Verwendet man diesen Widerstand jedoch in einer potentiometrischen Topologie (10 Bit Umsetzer, Reihenschaltung aus 1024 Widerständen) bedeutet ein lokaler Fehler von 5% lediglich eine differentielle Nichtlinearität von nur 0,05 LSB, da der Spannungsabfall über jedem Widerstand etwa einem LSB entspricht. Man könnte für die integrale Nichtlinearität dieses Umsetzers nichts Gutes vermuten: Wenn die 1024 Einzelwiderstände jeweils einen Matching-Fehler von bis zu 5% haben können, so sollte der Gesamtwiderstand auch nur eine relative Genauigkeit von 5% haben (INL <= 50 LSB). Durch das Prinzip der statistischen Mittelung, bei der die Verteilungsfunktion der Parameterstreuungen mit berücksichtigt wird, ist die tatsächlich

erzielte integrale Linearität jedoch mindestens um den Faktor 100 besser. Hierbei wird mittels Simulationen unter Berücksichtigung statistischer Schwankungen von vielen gleich dimensionierten Bauelementen, die an einem System beteiligt sind, eine bezüglich Spezifikation und damit Ausbeute optimierte Architektur ermittelt und erstellt. Gleichzeitig werden diese aus vielen Komponenten bestehenden Strukturen durch geeignete Layoutgeneratoren unterstützt. Dadurch kann das Gesamtsystem Einfluss auf die Gestaltung optimaler Einheitselemente nehmen. Für das Design wurde eine ausführbare Entwurfsablaufbeschreibung erstellt (GEM-Ansatz [5]). Es konnte festgestellt werden, dass die statistische Mittelung mindestens um den Faktor 4 genauer als die traditionellen Verfahren der Flächenvergrößerung sein kann, deren Grenze bei etwa 10 Bit Gesamtlinearität liegt und die einen wesentlichen höheren Flächenbedarf aufweisen.

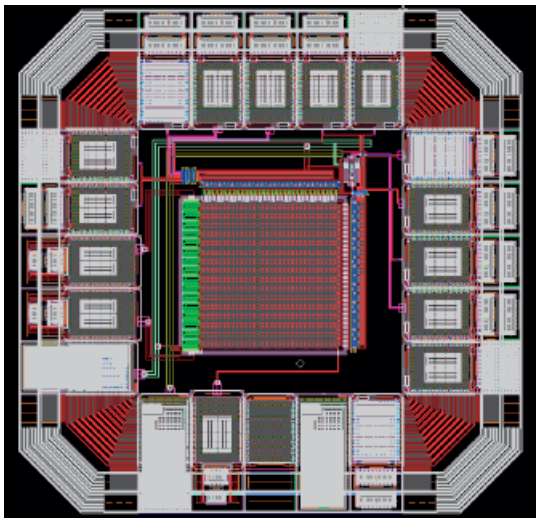

Abbildung 1.09: Layout des digitalen Potentiometers in 65 nm CMOS

Mit Hilfe statistischer Verfahren erzielt die ausgewählte Schaltung eine Linearität von 10 Bit mit exzellentem Temperaturverhalten. Es wird kein spezielles Widerstandsmaterial verwendet, die Architektur kommt mit einfachem Gate-Poly aus und kann somit in reinen Digitalprozessen gefertigt werden. Eine mögliche Erweiterung in Richtung 12-Bit Grundgenauigkeit (4096 Stufen) wurde aus den aktuellen Messergebnissen hergeleitet.

Der hier gewählte Ansatz, die Ausbeute durch Mittelwertbildung aus vielen gleichen Referenzelementen zu erhöhen, ist auch für andere Anwendungen Erfolg versprechend. Er fördert die Robustheit gegenüber Störeinflüssen und ermöglicht intrinsische Qualitätsverbesserungen, die vielleicht noch über das hinausgehen, was durch eine alternative Kalibrierung der Schaltung von der Systemebene aus möglich ist. In Richtung zukünftiger Prozesstechnologien (< 65 nm) bedeutet Regularität im Analogdesign einen erheblichen Gewinn an Genauigkeit. In der Vergangenheit verhinderten die Mindeststrukturgrößen mit einhergehenden Gradienteneffekten bei ausgedehnten Strukturen eine sinnvolle Anwendung dieses Prinzips. Der Flächengewinn vergrößert sich jeweils mit Übergang zum nächsten Technologieknoten und ermöglicht damit wie beim Digitaldesign eine Skalierung der benötigten Fläche in Abhängigkeit von den Prozessgeometrien.

Monte-Carlo-Simulation mit neuartigem statistischen Design-Kit

Eine optimale Korrelation mit der Statistik des technologischen Prozesses und durchgängig statistische Modelle sind erstmals in einem neuen Design-Kit implementiert. Damit werden für die Optimierung der Ausbeute und Zentrierung des Designs bereits in der frühen IC-Entwicklungsphase erweiterte Möglichkeiten eröffnet. Generiert wurden die Modellparameter dabei mit TRADICA, das neben den Geometriedaten direkt die Prozessparameter und die Prozessstatistik zur Parameter-Extraktion nutzt [6]. Das Design-Kit wurde im Rahmen des DETAILS Förderprojektes bereits praktisch vorgeführt.

Monte-Carlo- und Corner-Simulation

Um bereits in einer frühen Phase des IC-Design-Flows eine hohe Fertigungsausbeute zu garantieren und Redesigns zu vermeiden, werden schon seit längerer Zeit in der Schaltungsentwicklung Simulationswerkzeuge eingesetzt, welche die Auswirkungen der unvermeidlichen Parameterschwankungen des Fertigungsprozesses nachbilden. So wird für die Simulation von Grenzzuständen des verwendeten Prozesses die Corner-Simulation mit definierten Worst-Case-Zuständen eingesetzt. Für die Nachbildung der gesamten Prozessstatistik kommt die Monte-Carlo-Simulation zur Anwendung.

Bei digitalen CMOS-Schaltungen sind Slow/Fast-Kombinationen gängige Corner-Fälle. Bei Analogschaltungen spiegeln sich Streuungen der verschiedenen Prozessparameter jedoch ganz unterschiedlich im Verhalten der jeweiligen Schaltung wider. Beim hier vorgestellten Design-Kit wurden daher für die Modellierung der statistischen Prozessgrößen neue Wege beschritten: Ohne Umweg über elektrische Kenngrößen (Beta, Early-Spannung ...) werden skalierbare Modelle mit Hilfe des Expertensystems TRADICA direkt aus der geometrischen Beschreibung und den Prozessdaten bzw. der Prozess-Statistik generiert. Bauelemente und elektrische Kenngrößen, die von denselben Technologieparametern abhängen, behalten bei der Modellierung ihre Korrelationen bei. Ohne zusätzlichen Aufwand werden damit auch die statistischen Eigenschaften dieser Parameter im Modell abgebildet.

Voraussetzung dafür ist allerdings eine ausreichend große Datenbasis. Hierzu wurden die PCM- (Process-Control-Monitor) Strukturen ausgewertet, die mehrfach auf jedem produzierten Wafer platziert sind.

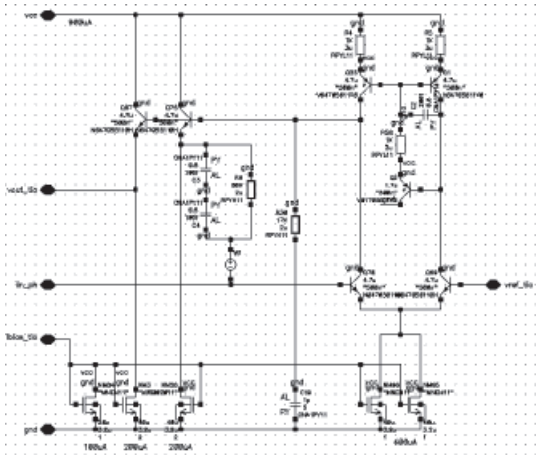

Abbildung 1.10: Schaltungsbeispiel

Das statistische Design-Kit in der praktischen Anwendung

Betrachtet wird die Analyse und Minimierung des DC-Offsets des in Abbildung 1.10 gezeigten Operationsverstärkers. Prozessparameter und Mismatch von Bauelementen können dabei separat oder gemeinsam statistisch simuliert werden. Das Ergebnis der kombinierten Analyse lässt direkt auf die zu erwartende Parameterstreuung nach dem technologischen Durchlauf schließen.

Die statistische Simulation der Prozessschwankungen ermöglicht Korrelationsbetrachtungen zwischen Prozessparametern (zum Beispiel Schichtwiderstände, Basisdiffusion, usw.) und den interessierenden Ausgangskenngrößen der Schaltung. Über die Auswertung der Korrelationskoeffizienten können diejenigen Prozessparameter identifiziert werden, welche die Schaltung maßgeblich beeinflussen. Es wird nun möglich, Corner-Fälle zu definieren, die auf die betrachtete Schaltung zugeschnitten sind. Auch die Wirkung einzelner Prozessparameter ist analysierbar, beispielsweise in einem Sweep von Prozessparametern.

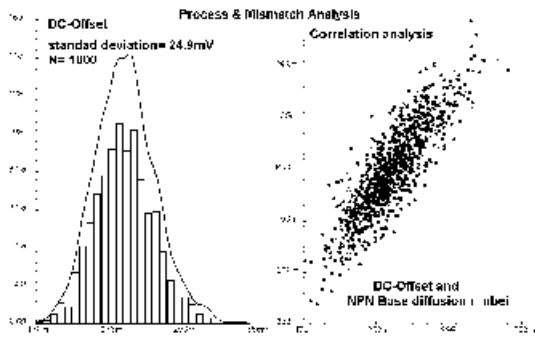

Abbildung 1.11: Als Ergebnis der Monte-Carlo-Analyse erhält man die Streuung des DC-Offsets und die deutliche Korrelation mit NPN base doping r_nbei

Die Mismatch-Analyse bildet die Streuung benachbarter Bauelemente nach. Dabei werden die geometrischen Abmessungen mit ihrer charakteristischen Streuung hinterlegt, die aus besonderen PCM-Mismatch-Strukturen ermittelt wird. Da an jedem Bauelement die Mismatch-Eigenschaft wählbar ist, können alle Bauelemente zusammen oder nur ausgesuchte Bauelemente allein statistisch simuliert werden. Das Ergebnis der Mismatch-Analyse gibt Hinweise auf kritische Abmessungen von Bauelementen. In Kombination mit einem sorgfältig ausgeführten IC-Layout können nun die Ergebnisse aus der statistischen Analyse erfolgreich umgesetzt werden.

In dem vorliegenden Beispiel wird die Schaltung sukzessive optimiert:

» durch Einfügen einer Basisstrom-Kompensation
» Bufferstufen sorgen für bessere Entkopplung
» eine Kaskodestufe erhöht das Open-Loop-Gain.

Abbildung 1.11 zeigt die Analyse des DC-Offsets vor und Abbildung 1.12 nach der Optimierung durch die Mismatch-Analyse. Es ist klar zu erkennen, dass die Streuung des DC-Offsets durch die Betrachtung von technologiebedingten Korrelationen direkt bei der Modellierung im Design-Kit erfolgreich reduziert werden konnte.

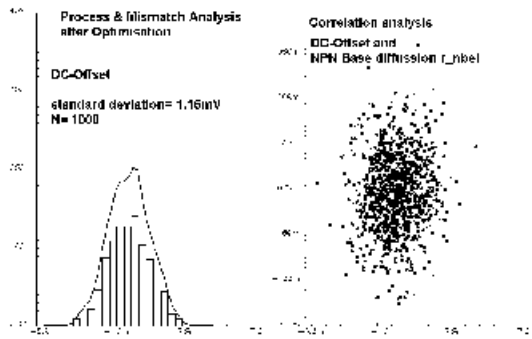

Abbildung 1.12: Nach der Optimierung ist die Streuung des DC-Offsets minimiert und seine Abhängigkeit von NPN base doping r_nbei verschwunden.

Praktische Erfahrungen

Das vorgestellte Verfahren hat sich bereits mehrfach an komplexen Schaltungen bewährt und ist auf alle Simulationsarten anwendbar (AC, Transient, PSS ...). Abbildung 1.13 zeigt eine gemessene Verteilung des DC-Offsets, die gut mit dem in Abbildung 1.14 gezeigten Modell übereinstimmt.

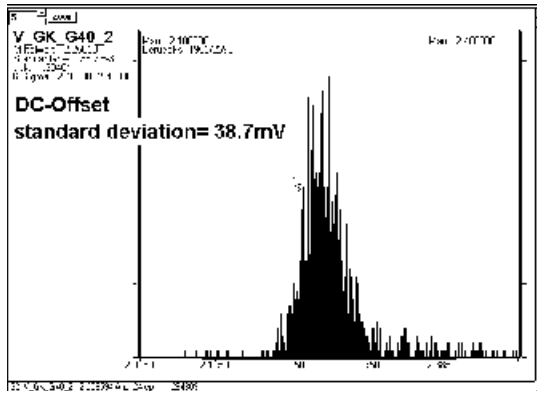

Abbildung 1.13: Gemessene Offsetverteilung einer komplexen Verstärkerstufe

Nr.	Ergebnis	Partner
1	SystemC/-AMS, Import Flow	Cadence, Nokia, FhG
2	Simulink-AMSD Cosimulation	Atmel, Cadence, FhG
3	Statistische Modellierung/TRADICA	Atmel, TUD, Cadence
4	Technologie Portierung BiCMOS - CMOS	Atmel, Infineon
5	GEM IP Generator	Nokia
6	Spulen Generierung & Design	Cadence, Infineon, Nokia, Uni Ulm
7	Modellierung von 3D-Effekten	Atmel, Cadence, CST, Nokia
8	Block-Level RF BIST/BISC	Infineon, Melexis/IMMS, TUD
9	PLL-Verifikation mit SystemC	Infineon
10	Basisband Modellierung/VCME	Cadence, FhG, Infineon

Tabelle 1.01: Bereits in den Gesamtflow eingeflossene Kernergebnisse aus DETAILS

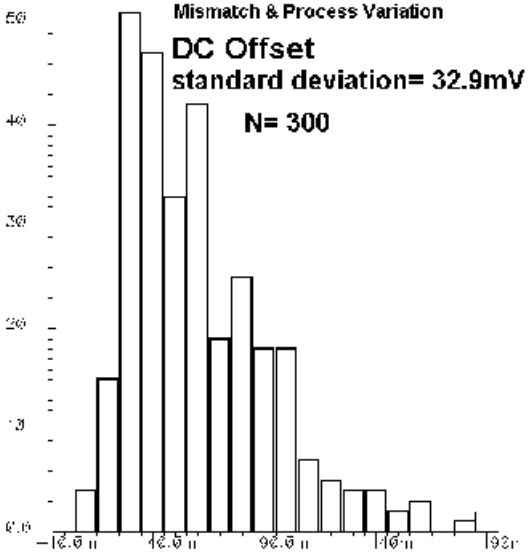

Abbildung 1.14: Ergebnis der zugehörigen Mismatch- und Prozess-Simulation

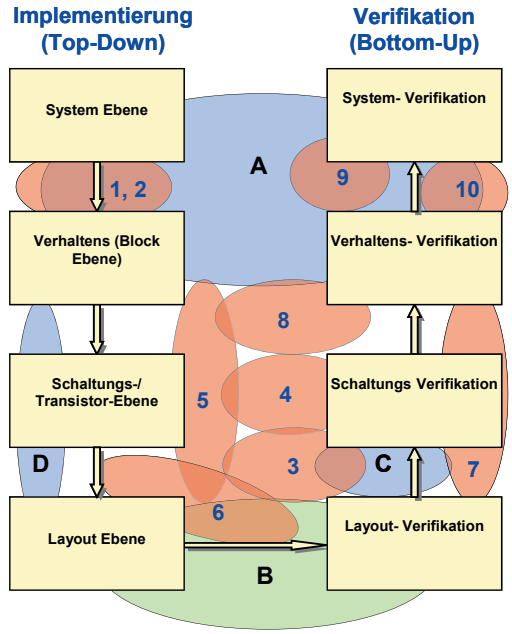

Abbildung 1.15: Aus den Arbeitspaketen erzielte, flow-relevante Ergebnisse (1-10) im DETAILS-Gesamtflow – Demonstratoren: (A) Gigabit-Radio, (B) Hardware & Teststrukturen, (C) Demonstrator zur statistischen Modellierung, (D) Demonstrator zur Bus-Modellierung

Einbettung der Ergebnisse in den Design-Flow

Abbildung 1.15 illustriert diejenigen in Tabelle 1.01 aufgeführten Forschungsergebnisse, die beispielhaft in einen DETAILS-Gesamtflow eingebunden und auf ihre Eignung im Entwurf überprüft wurden. Durch die Anwendung der Ergebnisse sind bisher insgesamt drei Demonstratoren sowie weitere Hardware und Teststrukturen entstanden.

SystemC Import Flow

Trotz der wachsenden Komplexität moderner Kommunikationssysteme muss eine hohe Zuverlässigkeit bei gleichbleibend niedrigen Kosten und kurzen Produktzyklen erreicht werden. Nicht nur der Schaltungsentwurf, sondern auch die Verifikation muss deshalb auf höheren Abstraktionsebenen und über die Grenzen des Analog/HF- bzw. Digitalbereichs hinweg betrachtet werden. Dieses Ziel lässt sich durch neue, im Entwurf flexibel einsetzbarer Schnittstellen zwischen der Systemebene und der Schaltungsimplementierung erreichen. Für die Analog/Mixed-Signal-Entwurfsumgebung von Cadence konnte exemplarisch eine SystemC-Modell-Importfunktion erstellt werden. Damit ist der Analog/RF-Designer nun in der Lage, komplette System-Testbenches bei der Entwicklung und Verifikation von eingebetteten Analog- und HF-Baugruppen auf Transistorebene zu berücksichtigen. Die SystemC-Modelle sind nach dem Import ein Bestandteil der Analog/HF- Simulationsplattform. Dadurch werden Simulationen mit unterschiedlichen Verhaltensmodellen und Sprachen auf verschiedenen Abstraktionsebenen ermöglicht.

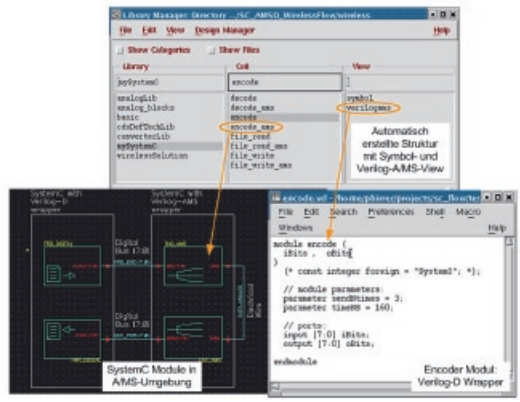

Abbildung 1.16: SystemC-Modell-Importfunktion implementiert in Cadence AMS-Designer.

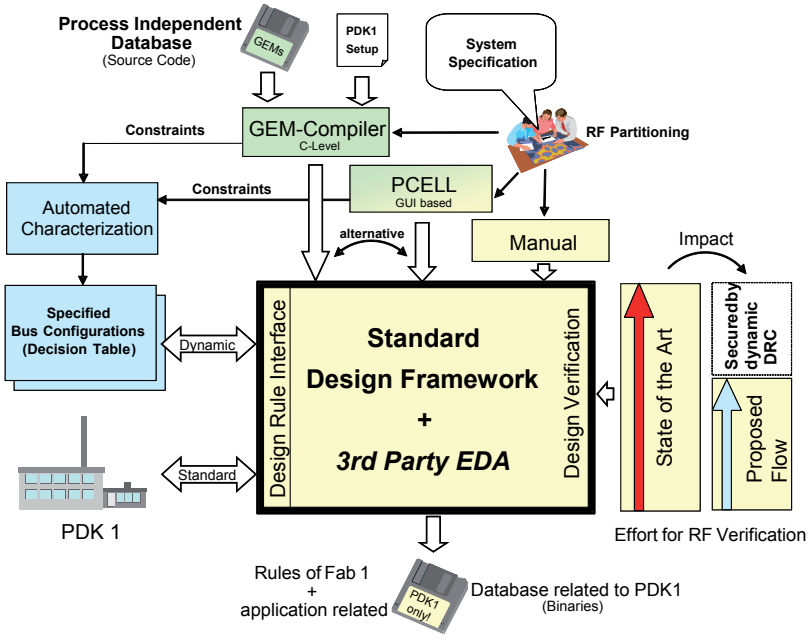

Abbildung 1.17: Die Kombination des GEM-Ansatzes mit dem partiellen Layout-Flow im DETAILS-Gesamtflow ermöglicht die automatisierte Generierung dynamischer Entwurfsregeln für planare Bussysteme.

Die SystemC-Modell-Importfunktion generiert automatisch Verilog-A/MS-Wrapper und Symbole. Die SystemC-Module werden, wie in einem Analogentwurf üblich, in einer Bibliotheksstruktur abgelegt (Abbildung 1.16, oben). Die Verbindung der importierten SystemC-Module zum Gesamtsystem ist durch die Verdrahtung der entsprechenden Verilog-Wrapper im Schematic gegeben (Abbildung 1.16, unten links). Ein Wrapper – beispielsweise Verilog-D für das SystemC Encounter-Modul – ist in Abbildung 1.16, unten rechts, dargestellt. Durch die Verwendung von Wrappern wird eine Kombination der so gekapselten SystemC-Module mit anderen Blöcken (Verilog-A/AMS, VHDL-AMS, Transistor-Level, etc.) ermöglicht.

Die in den heutigen Standard-Einwurfsprozessen übliche Top-Down-Übergabe von Zielspezifikationen für Systemkomponenten führt immer wieder zu Missverständnissen, Informationsverlusten und folglich zu Verzögerungen. Durch die SystemC-Modell-Importfunktion wird die Lücke zwischen der Systemebene und der Schaltungsimplementierung überbrückt, d.h., die Fehleranfälligkeit ist somit reduziert und die Effizienz wird stark verbessert.

Auswahltabellen für Bussysteme im Gesamtflow

Bedingt durch die die wachsende Komplexität, die fortlaufende Miniaturisierung und Arbeitsfrequenzen im Gigahertzbereich gewinnt die optimale Gestaltung der On-Chip-Bussysteme immer mehr an Bedeutung. Der leitbahnzentrierte partielle Layout-Flow, der innerhalb des BMBF-Förderprojektes Leonidas+ (01M3074) entstanden ist, wurde in Kooperation mit dem Projekt DETAILS weiterentwickelt, so dass sich beliebige planare Buskonfigurationen automatisch im in Abbildung 1.17 dargestellten Gesamtflow nach Chipfläche, Datenrate, Übersprechen, Signalverzögerung und Verlustleistung charakterisieren lassen. Die so gemessenen Werte werden in einer Tabelle abgespeichert und dienen als Basis zur automatisierten Generierung der dynamischen Entwurfsregeln [8[[9].

Dynamische Entwurfsregeln basieren auf der Schaltungsspezifikation und ergänzen die prozessspezifischen Entwurfsregeln, zum Beispiel die minimale Polysilizium-Breite. Dynamische Entwurfsregeln in Bussystemen sind beispielsweise das maximal erlaubte Übersprechen von der Störleitung zur Nachbarleitung, die maximale Leitbahn-Breite oder die minimale Datenübertragungsrate. Einige Bussysteme (zum Beispiel Coplanar-Busse mit GND/Signal/GND-Konfigurationen und Abschirmung) werden diese Regeln erfüllen können, andere Systeme nicht. Falls sichergestellt werden kann, dass die dynamischen Entwurfsregeln während des Entwurfs durchgängig berücksichtigt wurden, vereinfacht sich der Verifikationsaufwand erheblich. Falls beispielsweise die Entwurfsregel „erlaubtes Übersprechen kleiner als 40 dB“ erfüllt ist, muss das Übersprechverhalten nicht mehr zusätzlich verifiziert werden.

Zusammenfassung

Das Verbundprojekt DETAILS hat sich zum Ziel gesetzt, eine geeignete HF-Entwurfstechnologie zu erarbeiten, die es ermöglicht, Kommunikationssysteme mit wachsenden Anforderungen an Sicherheit, Qualität, Komplexität und Leistungsfähigkeit effizient, d.h. mit weniger Aufwand und in kürzerer Zeit zu entwickeln (bezogen auf heute eingesetzte Standardverfahren in verfügbaren Entwurfsumgebungen). Durch die Zusammenarbeit von System- und Chipherstellern, CAD-Firmen und Forschungseinrichtungen in diesem Projekt ist eine übergreifende Betrachtung der Problembereiche möglich. Die hier kurz vor Ende der Projektlaufzeit ausgewählten und vorgestellten Ergebnisse zeigen exemplarisch herausragende Möglichkeiten auf, bei

wachsenden Systemanforderungen und schwierigeren Rahmenbedingungen (Prozesstechnologien) effizient und schnell zu zuverlässigen, hochwertigen Systemlösungen zu gelangen. Hierbei wurden alle Schnittstellen zwischen den einzelnen Entwurfsebenen von der Systemspezifikation bis tief hinein in die Prozesstechnologie hinterfragt und Verbesserungsmöglichkeiten erarbeitet. Durch die direkte Zusammenarbeit mit den Projekten LEONIDAS+ und SAMS war es möglich, zusätzliche, gemeinsame komplexe Anwendungsbeispiele zu berücksichtigen, die sonst den Projektrahmen gesprengt hätten. Besonders hervorzuheben sind hier das Gigabit-Radio mit 94 GHz Trägerfrequenz und das Szenario planarer Bussysteme. Neben neuen Simulations- und Modellierungsverfahren spielt die Automatisierung von komplexen Entwurfsschritten eine Schlüsselrolle in der erarbeiteten Entwurfstechnologie. Erst die Einbindung aller Lösungen in einen gemeinsamen Design-Flow garantiert deren Anwendbarkeit.

Hervorzuheben sind auch einige „Überraschungen" bei den Ergebnissen, die die Bedeutung von Automatisierungs- und Modellierungstechniken für die Zukunft für den HF- und Analogbereich noch stärker betonen und auch Impulse für neue Forschungsprojekte geben. Traditionell wird Automatisierung und Modellierung dazu verwendet, schnell und sicher ein vorgegebenes Entwurfsziel zu erreichen. Im Projekt konnte gezeigt werden, dass durch Automatisierung auch Innovationen im Bereich Schaltungsentwicklung angestoßen werden können, die manuell aus Kosten- und Zeitgründen nicht mehr realisierbar wären. Modellierung ist nicht nur im Bereich der Verhaltensmodellierung für die Verifikation sinnvoll, sondern auch im besonderen Bereich der Entwurfsablaufbeschreibungen (GEM-Ansatz) zur Generierung der unterschiedlichen Design-Views (Layout, Schaltbild, Verhaltensmodell und Testbench). Eine weitere wichtige Erkenntnis ist, dass qualitativ hochwertige Systeme nicht notwendigerweise aus qualitativ hochwertigen Bauelementen aufgebaut werden müssen. Teilweise lassen sich Nichtidealitäten der Bauelemente durch geeignete Architekturauswahl, automatische Kalibrierung oder spezielle Designtechniken auf Architekturebene wieder auffangen. Von besonderer Bedeutung ist dies für die HF- und Analogschaltungstechnik ab 65 nm-CMOS und darunter.

Literatur

[1] R. Kakerow, "Gigabit Radio Technology for directive wireless microwave point-to-point links". Kooperationsworkshop "System Planning", edacentrum, 30 Nov 2006, Hannover

[2] U. Knöchel, R. Kakerow, W. Hartong, R. Frevert, E. Hemming, P. Birrer, "Analyse eines Gigabit-Funksystems mit AMS Designer". Analog 2006, 27–29 Sep 2006, Dresden, Germany.

[3] International Technology Roadmap for Semiconductors, 2005 Edition, Test and Test Equipment.

[4] Christian Münker, "Reduction of PLL Loop Gain Variations by Digital Calibration", Präsentation auf dem edacentrum Kooperations- und Fachworkshop "Modellierung & Simulation unter Berücksichtigung von Prozessschwankungen", Hannover, Deutschland, Nov. 2005

[5] R. Wittmann, W. Schardein, R. Kakerow, J. Bahr, "Robuster analoger Schaltungsentwurf für Sub-100nm Prozesstechnologien mittels statistischer Methoden", ", GMM Fachbericht "Analog '06 – Entwicklung von Analogschaltungen mit CAE Methoden", Band 196, VDE Verlag, September

[6] Kraus, W. : PCM- and Physics-Based Statistical BJT Modeling Using HICUM and TRADICA, 6th HICUM Workshop, 2006

[7] Schröter, M., Wittkopf, H., Kraus, W.: Statistical modeling of high-frequency bipolar transistors, Proc. BCTM, pp 54 - 61, 2005

[8] A. K. Momin, R. Wittmann, M. Bücker, W. Schardein, "Planar transmission line structures as possible on-chip interconnects in deep sub-micron processes", 10th IEEE International Workshop on Signal Propagation on Interconnects, SPI 2006, 9–12 May 2006, Berlin

[9] P. Birrer, S. J. Chandrasekaran, R. Wittmann, „Partieller Layout Flow zur Generierung von Auswahltabellen für Bussysteme", akzeptiert für 1. GMM/GI/ITG – Fachtagung „Zuverlässigkeit und Entwurf", 27–28.März 2007

Kont@kt (DETAILS):
Reimund Wittmann
Projektkordinator
Nokia GmbH
Meesmannstr. 103
44807 Bochum
fon: (02 34) 9 84-34 80
fax: (02 34) 9 84-34 91
reimund.wittmann@nokia.com