



Applikationsspezifische Testmethodik für hochkomplexe Systeme der Kommunikations- und Kraftfahrzeugtechnik

www.edacentrum.de/projekte
von Dr. S. Sattler

Zusammensetzung
des Projektkonsortiums

Partner:

Atmel Germany GmbH <<
Infineon Technologies AG <<
Philips Semiconductors GmbH <<

Unterauftragnehmer:

Brandenburgische Technische
Universität Cottbus <<
Universität Potsdam <<
Redemund&Thiede Datentechnik
GmbH <<
Universität Bremen <<
Universität Stuttgart <<

Förderkennzeichen:

01 M 3063

Laufzeit des Vorhabens:

01.03.2002 – 28.02.2005

Eine wesentliche Voraussetzung für wirtschaftlich erfolgreiche Aktivitäten im Markt für System-on-Chip (SoC) ist die Verfügbarkeit von effizienten Testmethoden, um den steigenden Anforderungen an die Zuverlässigkeit und Fehlerfreiheit gerecht zu werden. Hierbei ist es insbesondere wichtig, dass die zu entwickelnden Testmethoden unter industriellen Randbedingungen bei der Produktentwicklung und Chipherstellung einfach anzuwenden sind. Die Erarbeitung von qualifizierten und weitgehend standardisierten Testlösungen für verschiedene Systemmakros und von Hilfsmitteln zur Systemintegration galt als Leitlinie des im Frühjahr 2005 abgeschlossenen Projekts AZTEKE (Applikationsspezifische Testmethodik für hochkomplexe Systeme der Kommunikations- und Kraftfahrzeugtechnik). Die vom Projekt bearbeiteten Themen wurden auf drei Aufgabenstellungen (Arbeitspakete) verteilt:

- » Modularer Test für komplexe SoC
- » Diagnose und Fehlerlokalisierung (s.Abb. 1.07)
- » Timing- und Performance-Tests bei hohen Betriebsfrequenzen (s.Abb. 1.08)

Im Projekt AZTEKE [16] wurden Lösungen für Problemstellungen auf diesen Gebieten erarbeitet und so wichtige Beiträge für die nationale und internationale Wettbewerbsfähigkeit deutscher Unternehmen geleistet. Ein wesentliches Ziel war die applikationsspezifische Anpassung, Erweiterung und Bewertung existierender Lösungsansätze für den SoC-Test, um die genannten testspezifischen Defizite innerhalb des Entwurfs- und Testablaufs zu beseitigen und somit eine wirtschaftliche Fertigung von SoCs zu gewährleisten. Darüber hinaus war die Einbeziehung von Universitäten und Forschungseinrichtungen sehr wichtig, um neben der sehr erfolgreichen Zusammenarbeit mit der Industrie in diesem spezifischen Fachgebiet eine begleitende qualifizierte und praxisnahe Ausbildung von Elektrotechnik- und speziell Systemingenieuren sowie Informatikern gewährleisten zu können.

Ergebnisse

Im Einzelnen wurden folgende Ergebnisse in den Arbeitspaketen von den Partnern in Zusammenarbeit mit den Unterauftragnehmern erzielt.

In Zusammenarbeit mit der Universität Cottbus wurden intelligente Funktionen und Architekturen für den Selbsttest mit eigenem Testprozessor untersucht, welche den Funktional- und Strukturtest von außen vereinfachen. Dazu wurde ein Testprozessor entwickelt, welcher deterministische Testmuster mit Hilfe

von linear rückgekoppelten Schieberegisterstrukturen (LFSR) kompaktieren kann [5]. Die Effizienz dieser Strukturen hängt entscheidend von dem zu untersuchenden DUT und der Breite seines implementierten Testbusses ab. Die Testprozessor-Architektur ist konfigurierbar und kann flexibel auf das jeweilige DUT mit dem jeweils optimalen Kompressionsverfahren angepasst werden.

Im Arbeitspaket „Optimierte Scantest Architektur“ wurden neue Scanarchitekturen untersucht, welche bei gleicher Anzahl von Pins mehr Scanketten erlauben. Hierzu wurden die vom Tester angelegten Testmuster auf mehrere Scanketten verteilt bzw. die Testantworten on-Chip zusammengefasst. Diese Komprimierung der Scandaten verringert nicht nur den am Tester benötigten Vektorspeicher, sondern führt aufgrund der möglichen Reduktion der Scankettenlänge auch zu einer Verringerung der Testzeit um mindestens eine Größenordnung [6]. Die verschiedenen Möglichkeiten zur Reduktion der Testdatenmenge bzw. Testzeit, und der Einfluss auf den Designprozeß wurden verglichen. Auf Basis dieses Vergleichs wurde eine der erweiterten Scanarchitekturen ausgewählt, um im Rahmen eines repräsentativen Pilotprojektes aus der Automobiltechnik und Kommunikationstechnik eingehend analysiert zu werden. Neben der neuen Scanarchitektur wurden auch neue Typen von Scanzellen untersucht. Hierbei steht die Reduktion der Schaltungsaktivität und somit der Leistungsaufnahme während des Scantests im Vordergrund. Die neuen Scanzellen wurden im Hinblick auf die zusätzlich benötigte Fläche, auf ihren Einfluss auf die Schaltungsperformance und die Verwendbarkeit im gegebenen Designflow bewertet.

Zum Themenbereich „Extended Deterministic Logic BIST“ wurden effiziente Verfahren und Algorithmen für Stuck-At Fehler und Delay-Fehler analysiert und implementiert sowie ein Softwareprogramm zur Erzeugung der „Extended Deterministic Logic BIST“ Hardwaremodule entwickelt [7] [8]. Die Bearbeitung der Aufgaben fand in enger Zusammenarbeit von Philips mit der Universität Stuttgart statt. Die neuen Verfahren sind auf komplexe Multi-Million-Gate SoC-Module anwendbar, die erzielten Ergebnisse konnten sehr erfolgreich an einem Design demonstriert und validiert werden. Durch den entwickelten Ansatz kann zudem die Anzahl der benötigten Testvektoren praktisch gegen Null gehen. Die Testzeit wird dabei um Faktoren verringert.

Im Schwerpunkt „Testbench und Testvektorerzeugung für komplexe SOC“ wurden effiziente Verfahren und

Schlüsselworte:

ATPG <<
BIST <<
Delay-Test <<
DfT <<
Diagnose <<
IDDX <<
I/O <<
LBIST <<
Re-Use <<
Scan-Test <<
Signal-Integrity <<
SoC <<
Test <<

Dieser Artikel wurde aus redaktionellen Gründen gekürzt. Den vollständigen (zugangsgeschützten) Artikel finden Sie unter www.edacentrum.de/newsletter

Softwareprogramme zur Expandierung von IP-Tests entwickelt, beschrieben und implementiert sowie deren Umwandlung in effiziente Simulationstestbenches und Testsystemtestvektoren realisiert. Zur Erstellung von Simulationstestbenches wurde ein Verfahren entwickelt, das eine Kopplung aus seriellen und parallelen Testbenches möglich macht. Die Testbenches erlauben einen optimierten Wechsel der Waveformate und Testzykluslängen für die Unterstützung von effizienten Tests. Ebenfalls wurden die Testbenches um Mixed-Signal-Tests erweitert.

Im Arbeitspaket „DFT-Bibliothek Mixed-Signal-Module“ wurden die Rahmenbedingungen für den Einsatz und die Anforderungen an eine Testbibliothek definiert. Das Konzept der Bibliothek wurde bei Atmel realisiert und mit Inhalt gefüllt. Die Bibliothek ist das zentrale Kernstück für Re-Use beim Test von analogen und Mixed-Signal-Schaltkreisen. Sie enthält Re-Use-Blöcke und Informationen, die auf verschiedenen Gebieten der Testentwicklung genutzt werden können. Dies sind die Bereiche Erstellung von Prüfvorschriften, Entwurf von Loadboards für Labor- und Produktionsmesstechnik, Labormesstechnik sowie Produktionsmesstechnik. Die Daten der Bibliothek setzen sich aus verschiedenen unterschiedlichen Formaten zusammen: Excel-Tabellen, Schaltbilder, Module für LabView (vi) und Quellcode von Funktionen für verschiedene Testsysteme (ATE). Zur Erläuterung der in der Bibliothek angebotenen Funktionen enthält jeder Datensatz eine aussagekräftige Beschreibung, auf die auch bei der Suche nach einer geeigneten Funktion zurückgegriffen wird. Die Praxistauglichkeit des Konzepts wurde anhand von Demonstratoren überprüft.

Im Arbeitspaket „AD/DA-Converter DFT“ wurde eine für die Zukunft tragfähige wirtschaftliche und technische Lösung für den hochvolumigen Produktionstest von SOC-Bausteinen mit Mixed-Signal Anteil erarbeitet. Es wurde eine Methode zum Test von Analog-to-Digital-Konvertern entwickelt, die ausschließlich mit digitalen Testerressourcen arbeitet, was zum einen den Übergang auf kostengünstigere Digitaltester ermöglicht und zum anderen eine größere Unabhängigkeit von Testerplattformen bietet [9]. Das Testverfahren ist derart gestaltet, dass es sich als universelles Testmodul für eine sehr breite Palette von Mixed-Signal-Bausteinen einsetzen lässt.

Im Themenkomplex „Diagnoseverfahren unter Einbeziehung von Signaturen“ ist die Beschreibung, Erfassung sowie Behandlung von Bridging-Fehlern und Interconnect-Delay-Fehlern durchgeführt worden. Algorithmen und Methoden wurden entwickelt, die eine Erzeugung von Testmustern und einer Fehlerbibliothek erlauben, mit denen eine Fehlererkennung auf Grundlage von Bridges im Layout und von Interconnect-Delay-Fehlern ermöglicht wird. Dabei wurde besonders den neuen Entwurfsmethoden Rechnung getragen, die verstärkt auf die Bereitstellung von

Modulen und IPs und deren Wiederverwendung setzen sowie die Komplexität und Heterogenität von SOC berücksichtigen. Dabei konnten außerdem die Laufzeiten für die Fehlersimulation um mehr als einen Faktor 8 reduziert werden.

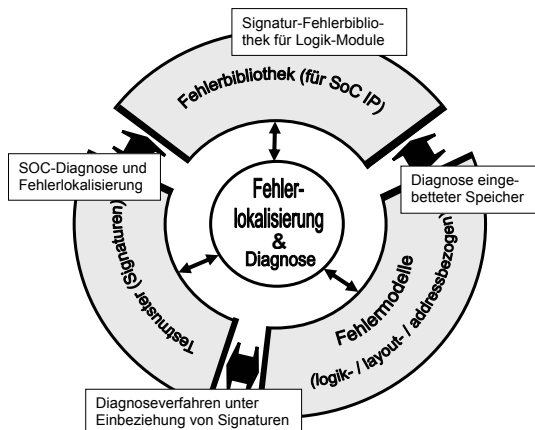


Abbildung 1.07

Ergänzend ist ein Diagnose- und Lokalisierungssystem zur Unterstützung der neuen Entwurfsmethoden (SoC aus IPs) konzeptioniert und implementiert worden [10]. Die Diagnose und Lokalisierung von Fehlern wird hierfür in zwei Stufen durchgeführt, wobei erst eine Identifizierung der Module und dann eine Diagnose und Lokalisierung der Fehler (Delay-Fehler, Bridging-Fehler, Hot-Spots (Häufung von Fehlern)) in den Modulen erfolgt. Letzteres kann zur Identifizierung von Layoutschwächen dienen und somit zur Ausbeuteverbesserung beitragen.

Im Arbeitspaket „BIST Diagnose Interfaces eingebetteter Speicher“ wurden die gängigen Diagnose-Interfaces von Speicher-Built-In-Self-Test-Kontrollern (MBIST Kontrollern) nach deren Tauglichkeit für die Fehlerdiagnose und in Zusammenhang mit den heute verfügbaren Testsystemen untersucht. Die Testprogramme wurden dabei auf bei Infineon verfügbaren Testsystemen implementiert, und die Testzeiten und Kosten bewertet. Es wurde ein Benchmark mit 7 Testsystemen der neuesten Generation von 7 unterschiedlichen Testerherstellern durchgeführt [11].

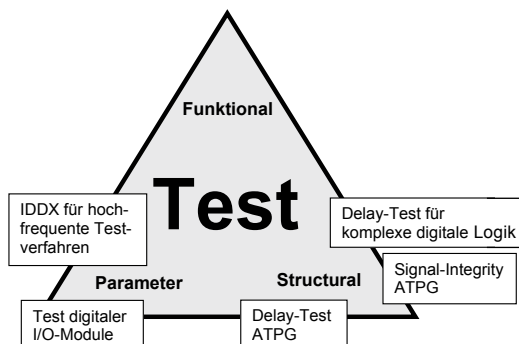


Abbildung 1.08

Kont@kt:
 Dr. Sebastian Sattler
 Infineon Technologies AG
 Postfach 80 09 49
 81609 München
 fon: 089 234-22394
 sebastian.sattler@infineon.com

Abbildung 1.07:
 Diagnose und Fehlerlokalisierung

Abbildung 1.08:
 Timing- und Performance-Tests bei hohen Betriebsfrequenzen

Literatur

- [1] P. Muhmenthaler, Cost Effective Testing of Systems on Silicon Areas for Optimization, European Test Workshop (ETW), 1999, pp. 142-143
- [2] S. Schwarz, R. Solbach, F. Hapke, Fehlerdiagnose beim computerunterstützten Testen, 13th Workshop on Testmethods and Reliability of Circuits and Systems (ITG), 2001
- [3] J. Alt, Embedded Memory Test for System-on-Chip, ITG 2001
- [4] S. Sattler, D. Oberle, J. Eckmüller, PLL Built-In Self-Test Jitter Measurement Integration into 0.18u CMOS Technology, ITG 2001
- [5] U. Gätzschmann, C. Galke, M. Kaibel, U. Gläser, H. T. Vierhaus, Ein flexibler Ansatz für den Scan-Test von SoCs, ITG 2005

[6] F. Pöhl et al., *Industrial Experience with Adoption of EDT for Low-Cost Test without Concessions*, International Test Conference (ITC), 2003, pp. 1211-1220

[7] A. W. Hakmi, H.-J. Wunderlich, V. Gherman, M. Garbers, J. Schloeffel, *Implementing a Scheme for External Deterministic Self-Test*, VLSI Test Symposium (VTS), 2005

[8] V. Gherman, H.-J. Wunderlich, M. Garbers, J. Schloeffel, *DLBIST for Delay Testing*, ITG 2005

[9] H. Mattes, S. Sattler, C. Dworski, *Controlled Sine Wave Fitting for ADC Test*, ITC 2004

[10] A.K. Majhi, G. Gronthoud, V. Meyer, A. Sticht, J. Schloeffel, *Improving Diagnostic Resolution of Delay Faults using Path Delay Fault Model*, ITG 2003

[11] R. Arnold, A. Leininger, *Evaluating ATE-Equipment for Volume Diagnosis*, ITC 2005

Im Arbeitspaket „Diagnoseverfahren unter Einbeziehung von Signaturen“ wurden in Zusammenarbeit mit der Universität Potsdam Lösungen zur verbesserten Fehlerdiagnose unter Verwendung des eindimensionalen Outputs des Signaturregisters untersucht und an realen Produkten verifiziert [12]. Unter der Annahme, dass neben der Signatur des MISR auch der eindimensionale Output des MISR zur Verfügung steht, wurden Möglichkeiten der Verbesserung der funktionellen Diagnose untersucht. Neben den Testvektoren, welche zu fehlerhaften Testantworten führen, erlauben sie auch mit großer Wahrscheinlichkeit die Speicherelemente der verschiedenen Scanpfade zu identifizieren, die mit fehlerhaften Daten belegt sind.

Im Themenkomplex „Timing-/Performance-Test bei hohen Betriebsfrequenzen“ wurden entgegen der ursprünglichen Planung keine speziellen Scanelemente entwickelt, da gezeigt werden konnte, dass auch unter Anwendung von herkömmlichen Scanarchitekturen ein Delay-Test effizient durchführbar ist. Details zu den Untersuchungen, die Vor- und Nachteile von speziellen Scanelementen abwägen, wurden ebenso berichtet wie Einzelheiten zu der Schaltung zur schnellen Testtaktgenerierung auf dem Baustein. Mit Hilfe der im Rahmen des Projektes entwickelten Infrastruktur zur automatischen Testmustererzeugung können erfolgreich Tests sowohl für Transition-Faults als auch für Path-Delay-Faults generiert werden. Die

Verifikation der generierten Testmuster am Tester verlief weitgehend problemlos. Untersuchungen zum Einsatz von Delay-Test im Produktionstest haben gezeigt, dass Tests von Verzögerungsfehlern in der Lage sind, Produktionsfehler zu erkennen, die von den bisherigen Standardtestverfahren nicht erkannt werden.

Im Schwerpunkt „Delay Test ATPG“ wurden ATPG-Algorithmen für Timing- und Performance-Tests entwickelt und implementiert. Dazu wurde mit der Universität Bremen eng zusammengearbeitet. Die neuen Verfahren sind nun auf komplexe/große SOC-Module anwendbar und unterstützen die Erzeugung von Gate-Delay Testmustern zur Nutzung in Logic BIST-Modulen. Zusätzlich wurden ATPG-Algorithmen für Path-Delay Tests untersucht und implementiert. Mit Hilfe der entwickelten Software ist es nun möglich, in einem digitalen Design viele kritische Pfade gleichzeitig und automatisch zu aktivieren und in einer Simulation zu überprüfen. In der Produktion sollen diese Testmuster zur Klassifizierung der ICs in Bezug auf ihre Performance genutzt werden.

In dem Arbeitsgebiet „Signal-Integrity“ wurden ATPG-Algorithmen für Signal-Integrity-Tests entwickelt [13] [14]. Auf Grundlage der Untersuchungen für At-Speed Gate-Delay- und Path-Delay-Testmustererzeugung der Universität Bremen und Philips Semiconductors GmbH wurden ATPG-Algorithmen für einen layoutba-

2 Neues aus dem edacentrum

☀ Publikationen

www.edacentrum.de/pressespiegel/

In der Zeitschrift „Elektronik“ erschien in Ausgabe 26 vom 27. Dezember 2005 eine zusammenfassende Darstellung der ersten Business-Session des edaForum04. Der Beitrag trägt den Titel „Kostengünstigere und schnellere Entwürfe auf Kosten der Qualität?“. (Pp)

Ansprechpartner zu Publikationen: Ralf Popp, 0511 762-19697, popp@edacentrum.de.

☀ Eine Broschüre über EDA für den Heimgebrauch

www.edacentrum.de/aktuell/

Im Herbst 2005 hat das edacentrum im Auftrag des Bundesministeriums für Bildung und Forschung (BMBF) gemeinsam mit dem VDI-Technologiezentrum in Düsseldorf eine Broschüre mit dem Titel „EDA – Von der Idee zum Chip“ erstellt. Leider wurde aufgrund des Regierungswechsels ihre bei einer Pressekonferenz zum edaForum05 geplante Veröffentlichung durch Frau Bundesministerin Edelgard Bulmahn verhindert, so dass die Broschüre erst im Jahr 2006 das Licht

der Öffentlichkeit erblickt. Die neue Bundesministerin Frau Dr. Annette Schavan wird am Eröffnungstag der diesjährigen CeBIT in Hannover die Broschüre im Rahmen einer Veranstaltung zum Jahr der Informatik der Öffentlichkeit präsentieren. Dann wird es Ihnen, liebe Leser, endlich möglich sein Ihren Eltern und Kindern zu erzählen, was Sie im Beruf den ganzen Tag so treiben. Einige wenige Exemplare hält das edacentrum für Sie auf unserem Stand bei Magma Design Automation (C6) in der DATE-Ausstellung bereit. Besuchen Sie uns, wer zuerst kommt, mahlt zuerst. (Pp)

Ansprechpartner zur BMBF-Broschüre: Ralf Popp, 0511 762-19697, popp@edacentrum.de.



Die Broschüre kann auch beim BMBF bestellt werden und ist in Kürze online unter www.bmbf.de/publikationen/2697.php als PDF verfügbar.

unter www.edacentrum.de/newsletter/ finden Sie im Internet weitere Informationen

sierten Signal-Integrity-Test implementiert. Die neuen Verfahren sind auf hochkomplexe SoC Logik-Module anwendbar.

Im Arbeitspaket „Test Digitaler I/O-Module“ wurden Methoden zur Reduktion von Testsystemressourcen untersucht, mit deren Hilfe die Front-End- und Back-End-Testkosten erheblich verringert werden können. Beim Front-End-Test werden nur die Pads einer zu testenden Halbleiterschaltung mit dem Testsystem verbunden, die zwingend für den Scantest des Schaltungskerns erforderlich sind. Leckstrom und dynamische Eigenschaften der restlichen bidirektionalen Pads konnten kontaktlos getestet werden [15]. Damit lässt sich die Anzahl der gleichzeitig testbaren Systeme erhöhen. Tests, die nicht kontaktlos durchgeführt werden können, werden ins Back-End verlagert, sie erfordern lediglich einen Widerstand pro Pad und eine gemeinsame programmierbare Spannungsversorgung.

Im Arbeitspaket „IDDX für hochfrequente Testverfahren“ wurde untersucht, inwieweit sich versorgungsstrombasierte Messverfahren (IDDX) aus dem niederfrequenten Bereich auf hochfrequente Applikationen anwenden lassen. Aufgrund der hohen Anforderungen hinsichtlich Qualität und Zuverlässigkeit bei Automotive-Anwendungen ist es erforderlich, Temperaturtests in der Serie durchzuführen. Dies verursacht insbesondere bei HF-Produkten einen enorm

hohen Hardwareaufwand, bei dem vor allem durch die Kontaktierung im Temperaturhandler die Performance reduziert und die Messung von HF-Parametern stark erschwert wird. Wie die Untersuchungen an verschiedenen Automotive HF-Produkten zeigten, war es nicht möglich, niederfrequente versorgungsstrombasierte Messverfahren (IDDQ, IDDT), die bei digitalen CMOS-Schaltungen Stand der Technik sind, auf analoge HF-Schaltungen zu übertragen. Daher wurde beschlossen, einen Stromsensor in einen Demonstrator zu integrieren. Dieser Sensor wurde in die Versorgungsleitung eines einzelnen Schaltungsblockes, des XTO, eingebaut, um gezielt die Stromaufnahme eines Schaltungsteiles beobachten zu können. Ein Nachteil des Verfahrens besteht darin, dass mindestens ein zusätzliches Pad oder ein zusätzlicher Pin zur Beobachtung des Stromes benötigt wird. Da bei Schaltkreisen im Gehäuse in der Regel immer alle Pins belegt sind, muss die Beobachtung des Versorgungsstromes bereits auf dem Wafer erfolgen. Das zusätzliche Pad kann dabei in den Sägerahmen gelegt werden und anschließend beim Sägen des Wafers wieder automatisch abgetrennt werden. Untersuchungen zeigten, dass durch die Beobachtung der Stromaufnahme eines Schaltungsblocks detaillierte Aussagen über dessen Verhalten und Eigenschaften gemacht werden können.

[12] A. Leininger, M. Goessel, P. Muhmenthaler, Diagnosis of Scan-Chains by Use of a Configurable Signature Register and Error-Correcting Codes, Design Automation and Test (DATE), 2004, pp.1302-1307

[13] A. K. Palit, V. Meyer, K. K. Duganapalli, W. Anheier, J. Schöffel, Test Pattern Generation Based on Predicted Signal Integrity Loss through Reduced Order Interconnect Model, ITG 2004

[14] V. Meyer, W. Anheier, J. Schöffel, A. Sticht, Produktionstest im Zeitalter der Nano-technologien: Verzögerungsfehlertests und ihre Nachfolger, Fachtagung Mikroelektronik, Oktober 2003, Wien, Österreich

[15] M. Kaibel, F.-U. Faber, R. Arnold, Automatisierter Design Flow für den IOBIST Einbau, Verifikation und Test, ITG 2005

[16] S. Sattler et. al., Applikationsspezifische Testmethodik für hochkomplexe Systeme der Kommunikations- und Kraftfahrzeugtechnik, newsletter edacentrum 02 2004



Abbildung 2.01

☀ Mitarbeiterzahl im edacentrum wächst

www.edacentrum.de/mitarbeiter.html

Wir freuen uns, dass wir Diplom-Informatiker Kurt Liebermann als neuen Mitarbeiter gewinnen konnten. Seit Anfang des Jahres unterstützt Herr Liebermann mit seiner fast 10-jährigen EDA-Erfahrung unsere Beratungstätigkeiten. Zuvor arbeitete er als Informatiker an der Universität Dortmund am Lehrstuhl für Informatik LS1 und verfügt über Industrieerfahrung im Bereich analog/mixed-signal Layout-Anwendungen. (NM)

Ansprechpartner: Kurt Liebermann, 0511 762-19688, liebermann@edacentrum.de.

☀ Noch ein Platz an der Sonne frei! – Stellenangebot für Vertrieb

www.edacentrum.de/stellenangebot

Das edacentrum sucht ab sofort eine Mitarbeiterin oder einen Mitarbeiter für die Akquise seiner Beratungs- und Managementtätigkeiten im deutschsprachigen Raum. Vorausgesetzt wird ein Abschluss in einem betriebswirtschaftlichen oder ingenieurwissenschaftlichen Studienfach und im besten Fall auch erste Erfahrungen im Vertrieb von Dienstleistungs-Produkten. Eine ausführliche Stellenbeschreibung finden Sie im Internet. Wir freuen uns auf Ihre Bewerbung! (Haa)

Ansprechpartner zum Stellenangebot: Dr. Jürgen Haase, 0511 762-19698, haase@edacentrum.de.



Abbildung 2.01:

Seit Januar beim edacentrum, Dipl.-Inf. Kurt Liebermann