

EDA – Wirtschaftsfaktor oder Highend-Informatik?

Mit EDA-Werkzeugen werden die Aufgaben in der Design-technologie gemeistert und die Wirtschaftlichkeit des Entwurfs gesteigert. Zur Unterstützung dieser Maxime veranstaltet das edacentrum e.V. jedes Jahr das edaForum.

In der Keynote mit dem Titel „Quo Vadis, EDA? – Reasoning about the Trends and Challenges of Engineering Design Automation“ zum Auftakt des edaForums 2005 (www.edacentrum.de) in Hannover kam mit Alberto Sangiovanni-Vincentelli aus Berkeley einer der „EDA-Granden“ zu Wort. Er begann seine Ausführungen mit der bereits auf der DAC 2003 vorgestellten – bei dem Rechtsphilosophen Giovanni Battista Vico entlehnten – These, die EDA-Geschichte verlaufe in historischen Zyklen. Danach habe EDA das Zeitalter der Wahrnehmung (Age of Gods), das Zeitalter der Ideenfindung (Age of Heroes) und das Zeitalter des Verstandes (Age of Men) durchlaufen. Damit steht EDA heute an einem Wendepunkt, der u.a. folgende Frage aufwerfe: Liegt die EDA-Branche richtig, wenn sie sich den aus der gestiegenen Komplexität der Systeme gewachsenen Problemen durch Ideenreichtum stellt? Oder hatte Vico recht, und die EDA-Branche sollte getreu dieses Zyklusses es zunächst wieder mit der Wahrnehmung versuchen? Sangiovanni-Vincentelli ließ die Frage zwar unbeantwortet, übernahm aber stehenden Fußes die Wahrnehmung und lieferte Lösungsansätze. Dabei fielen Schlagworte wie „Umgestaltung der Ent-

wurfskette“, DfM oder Plattform-Design und vieles mehr.

Spezielles Anforderungsprofil der Mobilkommunikation

In der zweiten Keynote gab Christoph Kutter, Senior Vice President bei Infineon Technologies, einen Einblick in die „Design Challenges for Mobile Devices“. In diesem Markt, so Kutter, ist Geschwindigkeit entscheidend, und Marktfenster geradezu allmächtig, insbesondere in Bezug auf Erfolg. Die Hürden auf dem Weg dorthin sind die dramatisch gestiegenen Entwicklungskosten und die gewachsene Komplexität, die durch die Zahl der Komponenten (Systemkomplexität) und die Vielzahl der darin zu berücksichtigenden Effekte (Siliziumkomplexität) verursacht werde. Er stellte vier Ansätze vor – IP-Reuse & Plattformen, Virtuelles Prototyping, „First Time Right“-Verifikation und „System on Chip“ bzw. „System in Package“ –, die seiner Meinung nach erfolgreich sind.

Die Vorträge im technischen Teil der Sessions waren nicht nur an Fachleute gerichtet, sondern gaben den Entscheidungsträgern wertvolle Hinweise für deren strategische Weichenstellungen. Der ökonomische Teil lieferte wertvolle Argumente, um das höhere Management vom Sinn der EDA-Investitionen zu überzeugen.

Die erste der beiden technischen Sessions trug den Titel „The Power of Low Power Design“. Thema war dabei die Herausforderung, das richtige Gleichgewicht zwischen der Leistungsaufnahme bzw. der Verlustleistung (Power) und der Leistungsfähigkeit (Performance) eines Chips zu finden. Dabei wurden die Aspekte Temperaturver-

teilung, statische und dynamische Verlustleistung, Leckströme und Design von hochperformanten Mikroprozessoren und mobilen Anwendungen betrachtet. Die Referenten stellten verschiedene Lösungsgedanken vor: Die kritischen Effekte müssen auf allen Ebenen und bei allen Schritten des Entwurfs mit verschiedenen, dem Entwurfsziel angepassten Methoden berücksichtigt werden. Daraus ist ein Optimierungspotential abzuleiten, wobei verschiedene Technologien und Anwendungen in Betracht zu ziehen und vor allem die gegenseitigen Abhängigkeiten der Effekte nicht zu vernachlässigen sind. Darüber hinaus gelte es, die Architekturen bezüglich ihrer Verlustleistung zu optimieren und ein „On-Chip“-Management von Performance und Power zu realisieren. Mittels integrierter Hardware-Software-Lösungen könne die Komplexität der Hardware und damit die Verlustleistung reduziert werden. Besonders innovativ war der dargestellte Ansatz, durch eine die Schalt-Aktivität auf dem Chip minimierende Software Verlustleistung einzusparen.

In der zweiten technischen Session zum Thema „Designing Robust Systems under Uncertain Conditions“ ging es um die Herausforderung, robuste Systeme unter Berücksichtigung statistischer Entwurfs- und Fertigungseinflüsse zu realisieren. Die Referenten waren sich einig, dass die Natur (und damit auch jede Schaltungsrealisierung) statistischen Einflüssen unterliegt und dass diese in Zeiten schrumpfender Strukturbreiten immer wichtiger würden. Problematisch werde es in diesem Zusammenhang, wenn den statistischen Realitäten bei den Entwurfsmethoden zu wenig Bedeutung beigegeben werde. So seien übliche Methoden wie Corner- oder Worst-Case-Analyse sowie die lokale Optimierung einzelner Variablen zukünftig im Chipentwurf nicht mehr adäquat. Vielmehr stellen statistische Methoden, Empfindlichkeits- und Korrelationsanalysen sowie die gleichzeitige globale Optimierung mehrerer Variablen die Methoden der Zukunft dar. Darüber hinaus könne man mit anpassungsfähigen oder rekonfigurierbaren Architek-

turen für Flexibilität nach dem Entwurf sorgen. Besonders wichtig sei es, zwischen Fertigung, Messung, Charakterisierung und Entwurf eine engere Zusammenarbeit herzustellen.

In der ersten „Business-Session“ mit dem Titel „Chip Design is a Management Problem“ ging es um die besonderen Fragen des Chip-Designs, mit denen sich das Management oft allein gelassen fühlt. Man war sich einig, dass sich die Anforderungen, mehr Funktionalität bei steigender Komplexität und sinkenden Kosten bei höchster Zuverlässigkeit zu erzielen, nicht kompromisslos erfüllen lassen. Zudem bestehen Entwurfsteams oft aus Hunderten über die Welt verteilten Entwicklern unterschiedlicher Kulturen. Um hier zu optimieren, gelte es, sämtliche Geschäfts- und Management-Prozesse zu durchleuchten, neu aufgekommene Entwurfstile, wie etwa plattformbasiertes Design, IP-Reuse und DfM, zu finden, zu verbessern und zu kultivieren. Darüber hinaus müsse die Kommunikation zwischen Teams verbessert werden.

Unter dem Titel „Wise Men Buy EDA – Real Men Build Fabs“ wurde in der zweiten „Business-Session“ das altbekannte Thema der Wichtigkeit von EDA behandelt. Alle Referenten wiesen eingangs auf die enormen Herausforderungen im Halbleitergeschäft hin, da die Entwurfs- und Herstellungskosten steigen, die Komplexität und die Stückzahlen wachsen, sich die „Time-to-Market“ verkürzt und die Differenzierung in IDMs, Fabless Companies und Foundries fortschreitet. Auch war man sich einig, dass EDA einerseits der Schlüssel zur Bewältigung der Herausforderung ist, aber andererseits auch zum Flaschenhals werde. Dennoch wurde – von jedem auf seine Weise – Optimismus verbreitet, indem konstruktive Lösungsvorschläge zur Verbesserung der Situation unterbreitet wurden. Dazu gehört an erster Stelle die Verbesserung der Zusammenarbeit und Kommunikation zwischen den beteiligten Gliedern der Herstellungskette und zwischen Regionen und Kulturen. Ein anderer Lösungs-

kerngedanke war die Weiterentwicklung neuer, an neue Technologien, Anwendungen und Gegebenheiten angepasster Methoden beim Entwurf. In diesem Zusammenhang war von den üblichen Buzz-Words wie ESL, IP-Reuse, Plattform-Design, aber auch von Aus- und Weiterbildung die Rede. Im Vorfeld der Vorträge präsentierten sich die edacentrum-Mitglieder Synopsys, Cadence Design Systems, Mentor Graphics und Magma Design

Automation, die nacheinander von ihren neuesten Entwicklungen im Bereich EDA berichteten. Gelegenheit, diese und andere Themen zu vertiefen, bot die im Vorjahr erfolgreich eingeführte „EDA-Lounge“. Dort fand in entspannter, ruhiger Atmosphäre ein reger Informationsaustausch innerhalb der Vortragspausen statt.

Soweit ein allgemeiner Rückblick – in den nächsten Folgen geht es mehr um die Inhalte der Sessions. *Ralf Popp/go*