

Elektronische Designautomation:

## Kostengünstigere und schnellere Entwürfe auf Kosten der Qualität?

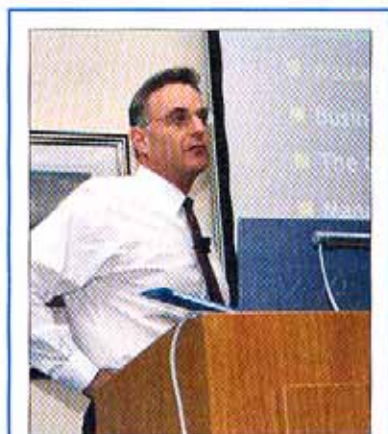
**Immer wenn es darum geht, mit geringem finanziellen Aufwand verhältnismäßig schnell zu einem Ergebnis zu gelangen, steht die Qualität auf dem Spiel. In Zeiten, in denen Kosten und Time-to-Market einen wesentlichen Teil des Chipentwurfs bestimmen, liegt hier die Gefahr. In der Business-Session „Time Warp – Design on Time and Budget“ des edaForums war viel von den Möglichkeiten für ihre Überwindung die Rede.**

Ronald Collett, Gründer und Geschäftsführer von Numetrics Management Systems, Inc., eröffnete die Session mit einem fesselnden Vortrag zum Thema „Slashing R&D Waste – Best Practices in IC Lifecycle Management, from Concept to Volume Production“. Er hob in seinem Vortrag darauf ab, dass 86 Prozent aller Chip-Entwicklungsprojekte (insbesondere ASSP) den ursprünglichen Zeitplan mit durchschnittlich 47 Prozent der Laufzeit überzogen, weil Milliarden von Dollar in F&E-Investitionen durch Abbruch oder Neuformierung von Projekten verschwendet würden. Es sei daher zum einen erforderlich, eine realistischere Projektplanung sicherzustellen, zum anderen aber auch zum Scheitern verurteilte Projekte so schnell wie möglich zu identifizieren und abzubrechen. Dies gelte insbesondere dort, wo die Gesamtauslastung einer Abteilung oder Firma dazu führe, dass „todgeweihte“ Projekte die Durchführung anderer, erfolgversprechender Vorhaben gefährdeten.

Die Bottom-up durchgeführte Projektplanung sollte durch eine unabhängige Top-down-Planung ergänzt werden. Dafür stellte Collett ein Verfahren vor, das auf einer Komplexitätsabschätzung von Chip-Designs sowie auf Erfahrungswerten über die Entwicklungsproduktivität in früheren Projekten beruht. Die Produktivitätsmessung von Entwicklern ist über normierte, erfassbare Größen messbar. Die Analyse dieser Abschätzungen wird durch eine Untersuchung der Entwicklungs-Pipeline ergänzt, welche alle Projekte und die zur Verfügung stehende Mitarbeiterkapazität berücksichtigt. Grundlage für alle Abschätzungen und Analysen sei allerdings ein gut definierter und gut vermessener Entwurfsprozess.

Laut Collett führt eine solche Top-down-Planung zu einem Projektmanagement, welches die Kalkulation von Aufwand, Zeitplan und Risiken bereits in der Projektplanung erlaubt und die Kontrolle dieser Größen während der Durchführung ermöglicht. Zudem könnten

damit die zu verbessernden, weniger produktiven Teile des Entwurfsprozesses identifiziert werden. Schließlich könne das Management die Entwurfsproduktivität von Design-Gruppen und Mitarbeitern „benchmarken“. Er ergänzte, dass dieser Ansatz durchaus eine genaue Analyse der Auswirkungen von Spezifikationsänderungen ermögliche, die in dem heutigen



**Ronald Collett, Gründer und Geschäftsführer von Numetrics Management Systems, ging in seinem Vortrag während des edaForums u.a. darauf ein, dass heute Milliarden von Dollar in F&E-Investitionen durch Abbruch oder Neuformierung von Projekten verschwendet würden.**

Geschäftsumfeld unvermeidlich sind. Dabei sei auch zu berücksichtigen, dass eine erhöhte Entwurfskomplexität bzw. das Aufrechterhalten von ursprünglich geplanten Terminen nicht beliebig durch eine Vergrößerung des Entwicklungsteams aufgefangen werden könne. Schließlich sinke die Produktivität des Einzelnen in größeren Teams durch den steigenden Aufwand für Koordination und Zusammenarbeit. Abschließend fasste er die wesentlichen Faktoren zusammen, die das Return on Investment verbesserten.

### Entwicklungsprojekte outsourcen

Martin Botteck, Research-Manager für Validierungs- und Testtechnologien bei der Nokia GmbH, referierte zum Thema „From Home-Made to Tailor-Made: R&D Support for Sourcing Bluetooth Silicon Components“. Dabei ging er auf die Problematik des „Outsourcens“ der Entwicklung von Hardware-Komponenten in HW/SW-System-Projekten am Beispiel eines komplexen Bluetooth-Systems ein. Botteck betonte zunächst, dass die Prozessdefinition und deren Einhaltung beim Zukauf von Hardware-Komponenten noch viel wichtiger sind als bei firmeninternen Entwicklungen. Zudem sollte die übliche Sicht auf Chip-Entwurfsprozesse in Form linearer Abläufe als eine stark vereinfachte Betrachtung anerkannt werden, da in der Praxis mit zahlreichen Iterationen gerechnet werden muss. Dennoch sei es wichtig, diese Iterationen durchzuführen, wobei jedoch ihre Notwendigkeit frühzeitig erkannt werden sollte. Er berichtete, dass in dem vorgestellten Projekt ein Hardware- und ein Software-Validierungsteam aufgestellt wurden („wenn man outsourced, muss man kontrollieren“). Etwa 15 Mitarbeiter arbeiteten daran, die Prozesse des Lieferanten und seine Liefergüter zu analysieren und zu testen. Der Personaleinsatz und -aufwand für die Validierung war damit etwa so hoch wie der Personaleinsatz für die Entwicklung beim Lieferanten. Daraus schlussfolgerte Botteck, dass der durch „Outsourcing“ erzielbare Ressourcen- und Zeitgewinn komplexer Komponenten weit hinter den Erwartungen zurückbleibt. Dennoch ergäben sich Vorteile durch die Möglichkeit, auf neuere oder andere Technologien als die eigenen zurückgreifen zu können. Außerdem werde die Denkweise der Mitarbeiter durch diese Vorgehensweise bei der Entwicklung flexibilisiert, wodurch eine Grundlage für mehr und erweitertes Outsourcing geschaffen werde, was langfristig Verbesserungen der Entwicklungsprozesse erwarten lasse.

### Entwicklungsprozesse kontrollieren

In seinem Vortrag „Model Based Improvement of Development Processes“ widmete sich Willy Reiss, Manager in der zentralen Forschungsabteilung der Robert Bosch GmbH, der Entwicklung eines komplexen Kontrollmechanismus für Entwicklungsprozesse im Automotive-Umfeld. Die Motivation dafür

besteht in der Komplexität der Elektronik für heutige Autos sowie in der Notwendigkeit, die enge Zusammenarbeit mit Kunden mit Hilfe sauber definierter Prozesse zu organisieren. Er wies zunächst darauf hin, dass insbesondere das Management der Software-Entwicklung in solchen Prozessen sehr anspruchsvoll im Hinblick auf Qualität, Kosten und Time-to-Market ist.

Als eine Lösung für die Bewältigung dieser Aufgabe stellte er ein bei Bosch im Einsatz befindliches Modell, das CMMi (Capability Maturity Model, integrated) vor. Dabei handelt es sich um eine in fünf Maturity-Ebenen unterteilte Beschreibung, die einen kontrollierbaren Prozess für Manager und Ingenieure entstehen lasse. Eine auf diese Weise ermöglichte Prozessverbesserung bedeute eine Veränderung der Entwicklungsorganisation und ermöglicht klarer definierte Projektvereinbarungen, ein tragfähiges Veränderungs- und Risiko-Management sowie definierte Schnittstellen zwischen Entwicklergruppen und dem Kunden.

Nach dem Überblick über das CMMi ging Reiss auf Erfahrungen und einige Herausforderungen ein, die sich im Zusammenhang mit der CMMi-Einführung im Bereich der Software-Entwicklung ergeben haben. Dazu gehört die kom-

plette Organisation, durch die viele Personen mit jahrelang ausgeübten individuellen Vorgehensweisen beim Entwurf sich an eine neue, gemeinsame Vorgehensweise anpassen und diese akzeptieren mussten. Reiss berichtete, dass die Einführung des CMMi in einer Abteilung, die ca. 100 Entwickler umfasst, etwa fünf Mitarbeiter erfordere und dass das Erreichen des jeweils nächsthöheren CMMi-Level sehr zeitaufwendig sei. Laut CMMi sind dafür zwar 15 bis 18 Monate anzusetzen; nach Reiss' Erfahrung erfordert dieser Qualitätssprung aber etwa zwei Jahre. Das Standard-CMMi-Manual, das etwa 600 Seiten umfasst, müsste in „mundgerechte“, auf die konkreten Aufgabengebiete einzelner Mitarbeiter(gruppen) zugeschnittene Teile aufgeteilt werden. Abschließend quantifizierte er den erzielten Erfolg: Die Zahl der termingerecht abgeschlossenen Projekte sei um 15 Prozent, der Anteil des „First Pass Yield“ um 10 Prozent gestiegen, während die Zahl der Fehler im Entwurf um den Faktor 10 reduziert werden konnte. Insgesamt, so schloss Reiss, sei das CMMi-Prinzip zur Nachahmung empfohlen – nicht nur im Software-Bereich.

Die Session des edaForums ([www.edacentrum.de](http://www.edacentrum.de)) zeigte, dass Fragen des ter-

mintreuen und kostengünstigen Entwurfs keinesfalls „mal eben so“ gelöst werden können, dass es aber Rezepte gibt, deren Anwendung zumindest Verbesserungen erwarten lässt.

Ralf Popp/go

## EDA News

Synopsys ([www.synopsys.com](http://www.synopsys.com)) hat Anfang Dezember 2005 die Übernahme der Firma HPL abgeschlossen. Diese verfügt über Expertise in Sachen Yield-Optimierung bei der Halbleiterfertigung. Dies stärkt die Aktivitäten von Synopsys, die mit der Übernahme von Avant ihr Software-Portfolio in Sachen Backend-Lösungen stark ausgeweitet hatten.

Xilinx ([www.xilinx.com](http://www.xilinx.com)) baut seine Entwicklungsabteilungen weiter aus, indem sie ihren indischen Standort in Hyderabad mit zusätzlichem Fachpersonal aufstockt. Das Team soll sich um die Weiterentwicklung der bestehenden Entwicklungswerkzeuge und das aktuelle IP-Software-Angebot kümmern.

Die Firmen Summit ([www.sd.com](http://www.sd.com)) und Forte ([www.forteds.com](http://www.forteds.com)) kooperieren bei der Entwicklung eines gemeinsamen Design-Flows, in den die beiden Designpakete „Vista SystemC“ und „Cynthesizer SystemC“ einfließen werden. Für den Anwender ergeben sich dadurch Vorteile, da die Software-Schnittstellen optimal aufeinander abgestimmt werden. go