

edaForum04:

Argumente für vorausschauenden Chip-Entwurf – in den Wind geblasen?

Immer wieder wird den Test- und Verifikationsingenieuren vorgeworfen, sie vergeudeteten Zeit und damit Geld durch zu aufwendige Verfahren. Zudem hätten sie es nicht geschafft, die Test- und Verifikationskosten deutlich zu reduzieren. Es bläst also ein „heftiger Gegenwind“, wenn versucht wird, die Wichtigkeit von Test und Verifikation zu verdeutlichen. Dennoch stellten sich die geladenen Experten dieser Naturgewalt, in zwar im Rahmen der zweiten technischen Session des edaForum04 in Dresden.

Unter dem Titel „Blowin' in the wind – Design for Verification and Test“ brachen sie die Lanze für modernere Design-Methodik, die den Problemen von Verifikation und Test Rechnung trägt. Allen voran tat dies Tom W. Williams, Fellow und Direktor der Forschungs- und Entwicklungsabteilung im Bereich Test bei Synopsys. Er eröffnete die Session in einer humorvollen Art. In seiner Keynote „Design for Testability:

Tom W. Williams, Fellow und Direktor der Forschungs- und Entwicklungsabteilung im Bereich Test bei Synopsys: „Design for Manufacturing (DfM) und Design for Yield (DfY) sind nichts anderes als die Vorstufe des Testens.“

The Path to Deep Submicron“ stellte er die These auf, dass Design for Manufacturing (DfM) und Design for Yield (DfY) nichts anderes als die Vorstufe des Testens seien. Er begründete diese Aussage damit, dass es gerade bei den kleineren Technologien wie 65 nm oder 45 nm erforderlich sei, genaue Modelle von Layout und Fertigung zu definieren, die dann beim Test zur Bestimmung der Referenz eingesetzt werden können. Bisherige Testverfahren beruhen meistens auf dem Stuck-at-Fehlermodell, das aber für zukünftige Testanforderungen nicht mehr genüge, da es keinerlei Layout-Information beinhalte. Der Wunsch nach „At-Speed-Testing“, also dem Test bei Betriebsfrequenz, zehe zusätzlich parasitäre Signal-Integritätsprobleme wie Crosstalk und Delay nach sich, die in den bisher eingesetzten Fehlermodellen auch nur ungenügend berücksichtigt würden. Zur Veranschaulichung seiner Argumentation präsentierte Williams Unter-

suchungen, die im Rahmen seiner Tätigkeit an der Universität Hannover durchgeführt wurden. Dabei war eindrucksvoll zu sehen, wie sich die Signale auf parallel geführten Bussystemen auf Chips gegenseitig beeinflussen. Somit sei nicht nur die durch Leitungskapazitäten und Widerstände bedingte Signal-Verzögerung entscheidend, sondern auch die durch Übersprechen auf andere Leitungen zusätzlich entstehende Beeinflussung der Signale untereinander. Aber speziell diese Tatsache sei den meisten Chipentwicklern immer noch nicht richtig bewusst. Hinzu komme, dass zukünftig die Laufzeit eines Signals durch einen Pfad immer weniger durch die Gatterlaufzeit als vielmehr durch die Leitungslaufzeit bestimmt werde. Verzögerungstests („Delay-Test“) seien daher zwingend notwendig. Obwohl die spezifische Leitfähigkeit durch die Verwendung von Kupfer an Stelle von Aluminium als Leitungsmaterial nahezu verdoppelt werden könnte, steige der Widerstandsbelag wegen der immer weiter zunehmenden Miniaturisierung der Leiterquerschnitte in den zukünftigen Technologien nahezu exponentiell an. Aus diesem Grund sei der Test von Leitungen mit Hilfe von Verzögerungsfehlermodellen unbedingt notwendig.

Schließlich widmete Williams sich noch dem Verhältnis zwischen Ausbeute und Test- und Entwurfskosten. Danach seien die Kosten zur Erhöhung der Ausbeute um 2 Prozent kleiner als die Investition für einen neuen Tester. Daher forderte Williams für die Zukunft die Entwicklung exzellenter Diagnose-Werkzeuge mit neuen Delay-Test-Methoden sowie leistungsstarker DfM- und DfY-Tools, die mit guten DfT-Tools (Design for Testability) zusammenarbeiten müssten. So könne nicht nur die Ausbeute, sondern auch die Qualität bei zukünftigen Entwicklungen verbessert werden.

„Es ist tödlich, fehlerhafte Chips an Kunden auszuliefern!“

Ähnlich argumentierte Peter Muhmenthaler, Direktor Test Solutions bei Infineon, in seinem Vortrag „Revolutionary Solutions for Manufacturing Test Required“. Seiner Meinung nach ist eine hohe Ausbeute einzig und allein das Ergebnis einer guten Anwendung von Design for Testability (DfT), was Hersteller grundsätzlich mit hoher Qualität zu leisten hätten. „Es ist tödlich, fehlerhafte Chips an Kunden auszuliefern“, so Muhmenthaler. Er bestätigte die zuvor von Williams getroffene Aussage, dass der Verzögerungstest (Delay-Test) zukünftig an Bedeutung gewinnen werde und dass der At-Speed-Test nur mit geeigneten Fehlermodellen möglich sein werde. Trotz dieser notwendigen funktionalen Erweiterung seien die Testkosten deutlich zu reduzieren, was er anhand einer von Pat Gelsinger von Intel vorgestellten Untersuchung aus dem Jahr 2004 belegte: Danach seien zwar die Herstellungskosten pro Chip in den letzten Jahren deutlich reduziert worden, die Kosten für den Test jedoch konstant geblieben. Die Reduktion der Testkosten ist nach Muhmenthaler insbesondere deswegen problematisch, weil bei bisherigen Testverfahren jeder Signal-Pin eines Chips an einem Testerkanal angeschlossen sei und sich somit die Kosten der Testausrüstung proportional zur Anzahl der Kanäle verhielten. Zur Kostenreduktion schlug er daher die Einführung eines „massiv-parallelen“ Tests vor. Dabei würden zwischen den zu untersuchenden Chip (Device under Test (DUT)) und den Tester intelligente Loadboards geschaltet, die in der Lage seien, Stimuli und Antworten zu verteilen und wieder zusammenzufassen. Das Ganze beruhe auf einem ähnlichen Prinzip wie das des Testkomparators beim Selbsttest. Die Kosten des Testers seien dabei nur noch von der Leistungsfähigkeit der Spannungsversorgung für diese Boards abhängig. Ein weiterer Ansatz zur Kostenreduktion sei die Erweiterung des bestehenden Scantests im Produktionstest. Durch erweiterte Diagnose-Werkzeuge zur Kompaktierung und die damit gewonnenen Beobachtungspunkte an speziell definierten Bereichen auf dem Chip könne eine deutliche Verkürzung der Testzeit erreicht werden.

In seinem Vortrag „Synergies to Enable a Designer-Driven Assertion-Based Verification Methodology“ widmete sich Wolfgang Roesner von der Verifika-

tionsgruppe bei IBM in Texas der nötigen Modernisierung von Verifikation. Er motivierte die Notwendigkeit dieser Modernisierung anhand von komplexen IBM-High-End-Servern, die mit mehr als 1,5 Millionen Zeilen RTL-Code beschrieben seien. Solche Komplexitäten seien nicht mehr nur durch simulationsbasierte Methoden zu verifizieren, es gelte, skalierbare formalisierte Verfahren einzusetzen, bei denen Entwurf und Verifikation enger verzahnt sein müssten. Dabei seien insbesondere die wenig formalen und unvollständigen Spezifikationen der Designs problematisch, die parallel zum erstellten RTL-Code an die Verifikationsteams transferiert würden. Dieses von Roesner als „Spezifikationslücke“ bezeichnete Problem sei insbesondere deshalb schwierig zu lösen, weil Designer derzeit im Spannungsfeld der Optimierung von Performance, Funktion und Implementierung („Designer's Triangle“) gefangen seien und zusätzlich noch die ökonomischen Anforderungen zu erfüllen hätten. Eine Lösung für dieses Dilemma ist für Roesner die Assertion-basierte Verifikation, die allerdings ohne eine Verbesserung der Spezifikation nicht realisierbar sei. In diesem Zusammenhang wies Roesner darauf hin, dass neue Methoden unter Ausnutzung möglichst vieler Synergieeffekte in die Designflows der Entwurfsteams integriert werden müssten. Er warb dafür, diese Einführung als evolutionären Prozess zu sehen, der fünf Kriterien erfüllen sollte: „Kein Zwang durch das Management“,

„Veränderung in kleinen Schritten“, „Ausbalancierte Optimierung bezüglich aller Aspekte im Chipdesign“, „Ausnutzen von Synergien“ und „Anpassung an Industrie-Standards“. Roesner betonte, dass das Aufkommen verschiedener Standardisierungen zur Konvergenz bei den Methoden führe, durch die Design- & Verifikationsteams besser zusammenarbeiten könnten. Abschließend wies er darauf hin, dass eine solche methodische Evolution für die Einführung von Assertion-basierter Verifikation nur realisierbar sei, wenn man die Designer vom Nutzen einer neuen Methodik überzeugt habe. Der liege auf der Hand, weil die verbesserte Spezifikation die Dokumentation verbessere, die Methode die Überprüfung der funktionalen Korrektheit ermögliche und eine bessere Verifikationsabdeckung bewirke.

Automatische Assertion-Überprüfung wird immer wichtiger

In seinem Vortrag „The Answer is Formal Verification – What was the Question?“ stellte Mark Croft von Mentor Graphics vier Verifikationsarten vor, die nach seiner Meinung die zukünftigen Säulen der Verifikation bilden. Dazu gehörten die automatische Assertion-Überprüfung, die statische und die dynamische formale Verifikation sowie die Simulation mit Assertions. Die automatische Assertion-Überprüfung setze vor der Überprüfung des RTL-Codes auf Blockebene an und sei gerichtet auf die Bereiche von Semantik und Netzliste,

die nicht durch eine Simulation erfasst werden. Die statische formale Verifikation sei dagegen direkt auf Blockebene einzusetzen, um die Kontroll-Logik verifizieren zu können. Sie führe zur frühzeitigen Fehlererkennung und Sorge für deren Robustheit, was eine Integration dieser Blöcke in einen veränderten Gesamtzusammenhang erleichtere. Bei der Simulation mit Assertions ginge es darum, Assertions auf Chip-Ebene auszuführen, wodurch spezielle Teilbereiche eines Designs verifiziert werden könnten; dies führe zur Erhöhung der Verifikations-Abdeckung. Die dynamische formale Verifikation schließlich erlaube es, verschiedene Blöcke gleichzeitig für viele Interaktionen parallel zu verifizieren, wobei die Verifikation versteckter Corner-Cases auch in der Chip-Level-Simulation ermöglicht werde. Croft betonte die Wichtigkeit von Metriken in den Bereichen der Code-, Fehler- und der strukturellen Abdeckung sowie der Assertion-Dichte. Dabei gelte es, einige Hürden zu überwinden, die er mit neuen Sprachen, neuen Designflows, neuen Simulatoren, verbesserten Testbenches, der Verfügbarkeit von IP sowie mit Debugging-Problemen benannte. Die Session zeigte, dass sowohl beim Testen als auch bei der Verifikation noch erhebliche Verbesserungsmöglichkeiten bestehen, die allerdings mit teilweise massiven Problemen einhergehen. Der Wind bläst also weiterhin stark, aber mit den geäußerten Ideen kann man sich sicher auch ein Stück weit gegen ihn behaupten. *Ralf Popp/go*

■ Buchbesprechung – Magnetismus

Anlässlich der electronica 2004 stellte die „maxon academy“ das Buch „Magnetismus“ von Dr. Otto Stemme vor. Der fast 70-jährige Stemme hat in Erfurt das Licht der Welt erblickt, er studierte Physik, machte in Jena Diplom und promovierte in München. Als junger Doktor der Physik begann er seine Laufbahn am Institut für Magnetische Werkstoffe in Jena und bei der Arbeitsgruppe Speichertechnik der Deutschen Akademie der Wissenschaft in Berlin. Weitere Stationen seiner Tätigkeit waren das Forschungsinstitut der AEG-Telefunken in Ulm, die Maxon AG im schweizerischen

Sachseln und die Fotoindustrie (Rollei und Agfa-Gevaert). Zuletzt war er als allein verantwortlicher Geschäftsführer bei der Durst Phototechnik GmbH in Bozen tätig. Auch nach seiner Pensionierung gibt Otto Stemme sein umfassendes Wissen weiter, zum Beispiel in dem Buch „Magnetismus“.



Das Buch arbeitet mit einfachen Modellen, Abschätzungen und Näherungen. Ziel ist, das grundsätzliche Verständnis zu fördern und eine Hilfestellung für Machbarkeits-Überlegungen und -Berechnungen zu bieten. Das Buch stellt die Grundlagen, die Wirkungsweise und Anwendungen des Magnetismus dar. Es ist in insgesamt 11 Kapitel gegliedert. Der Autor streift Historisches und erläutert Grundlagen und Begriffe. Dann widmet er sich der Theorie des Magnetismus und spannt den Bogen von der magnetischen Energie über die atomistische Beschreibung des magnetischen Verhaltens der Stoffe, magnetische

Kreise bis hin zum Magnetisierungsverhalten. Aufgrund der Nähe zur Antriebstechnik werden die magnetischen Kräfte ausführlich behandelt, aber auch die Magnetfeldsensoren, Supraleitung und natürliche Magnetfelder. Schließlich findet die physiologische Wirkung magnetischer Felder ihre Berücksichtigung.

Dr. Otto Stemme: *Magnetismus*, maxon academy, 2004. ISBN 3-9520143-3-8, Euro 35,00.

