

Bei dem plattformbasierten Entwurf wird früh die Funktionsimplementierung in Hardware oder Software festgelegt

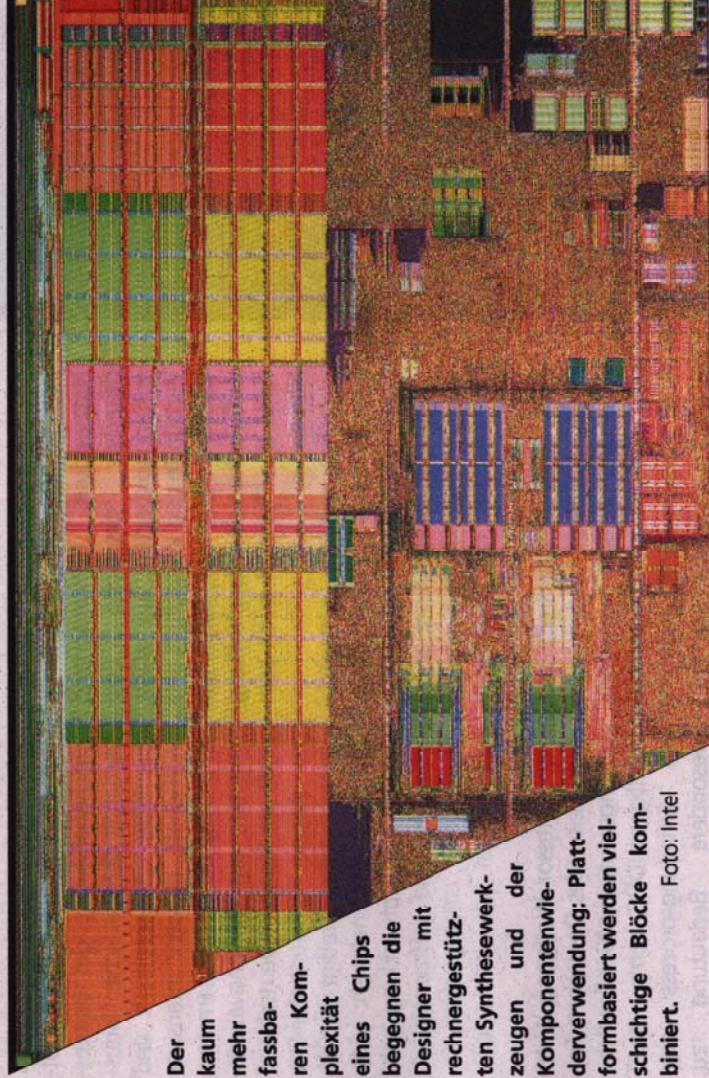
Chipdesign auf höchster Abstraktion hält Kosten und Komplexität im Griff

Die Entwurfskosten gelten laut International Technology Roadmap for Semiconductors (ITRS) als das größte Hemmnis für die Entwicklung der Mikroelektronik. Der Ausweg: Ein komplexer System-on-Chip (SoC) wird auf höchster Abstraktionsniveau entworfen: der Systemebene. Entwurfskosten hochintegrierter Schaltkreise betragen nicht selten zig Millionen Euro, und sie multiplizieren sich durch Fehler, die einen erneuten Arbeitsdurchlauf erfordern. Die schnelle Fortentwicklung verkürzt die Produktlebenszyklen, wodurch schnelle Marktreife zu einem immer kritischeren Faktor für die Kunden der Mikroelektronik-Industrie wird – daher nennt die Chipindustrie-Roadmap ITRS (<http://public.itrs.net>) das Design Productivity Gap als besonders kritisch. Obwohl die Investitionen in die Herstellungstechnologie nach wie vor um ein Vielfaches höher sind als die in die Entwurfstechnologie, sind auch in letzterer trotz schlechterer Unterstützung erhebliche Fortschritte zu verzeichnen: Nach der ITRS betragen 2001 die Entwurfskosten eines repräsentativen komplexen PDA-Chipdesigns etwa 15 Millionen Dollar – ohne Fortschritte im Bereich der Ent-

wurfstechnologie wären es über 340 Millionen gewesen. Die Steigerung der Produktivität ist im Wesentlichen dadurch erzielt worden, dass immer dann, wenn die Komplexität auf einer bestimmten Abstraktionsebene zu groß geworden ist, der Entwurf auf einer höheren Abstraktionsebene erfolgt.

Funktionsblöcke werden kombiniert

Die wichtigsten Abstraktionsschritte stellen dabei der Übergang von der Transistor- auf die Gatter-Ebene, von der Gatter- auf die Register-Transfer-Ebene und schließlich in den letzten Jahren von der Ebene des Register-Transfer-Entwurfs auf den so genannten plattformbasierten Entwurf dar, bei dem Hardware- und Softwareentwurf gemeinsam betrachtet werden. Jeweils wurden Werkzeuge entwickelt, die den Übergang rechnergestützt ermöglichten (Electronic Design Automation, EDA). Der nunmehr übliche plattformbasierte Entwurf basiert entscheidend auf der Idee einer sehr weitgehenden Wiederverwendung von so genannten IP-Komponenten (Intellectual Property): Der Entwurf wird aus komplexen Blöcken zusammengesetzt, beispielsweise aus



Der kaum mehr fassbaren Komplexität eines Chips begegnen die Designer mit rechnergestützten Synthesewerkzeugen und der Komponentenwiederverwendung: Plattformbasiert werden vielschichtige Blöcke kombiniert. Foto: Intel

kompletten Mikroprozessoren, digitalen Signalprozessoren, Speicherblöcken oder Codier-/Decodier-Funktionen – selbst analoge Blöcke werden auf demselben Chip wie die digitalen untergebracht. Der plattformbasierte Entwurf bietet auch neue Freiheitsgrade bezüglich der Implementierung einer Funktion in Hardware oder Software – unterschieden wird aufgrund der Anforderungen an Performanz, Herstellungs-kosten und Verlustleistung. In

den nächsten Jahren wird das Electronic-System-Level-Design die Entwurfsproduktivität steigern und Kosten reduzieren. Ein SoC wird auf höchster Abstraktionsebene entworfen, es wird festgelegt, welche Funktionen in Hardware oder Software implementiert werden, welche IP-Komponenten eingesetzt und über welche Strukturen sie verbunden werden. Die dafür einsetzbare Methodik System-C (siehe Kästen) besteht im Wesentlichen aus einer erwei-

terten C++-Klassenbibliothek, damit auch Hardware und die hardwaretypische Kommunikation mit C++ beschreibbar sind. Da die Funktion eines SoC und seine Hardwarekomponenten in der gleichen Sprache beschrieben und modelliert sind, lässt sich eine in System-C spezifizierte Software auf einer SoC-Plattform simulieren und bewerten. Und: Sie kann bereits entwickelt und getestet werden, bevor die Hardware zur Verfügung steht.

Methodik spart Geld

Die Herausforderung beim Electronic System Level Design besteht darin, den Entwurf einer Chiparchitektur sehr frühzeitig zu bewerten – Entwurfszeit und Budget reichen nur für eine einzige Variante. Die zahlreichen Implementierungsvarianten müssen also auf Systemebene hinsichtlich Fläche, Leistungsverbrauch und Geschwindigkeit bewertet werden – so gewinnt man Zeit für die Umsetzung in die konkrete Hard- und Softwarelösung. Mit System-C hat sich eine Entwurfsmethodik für die Bewertung auf Systemebene etabliert, die auch die Brücke von der Hardware zur Software schlägt. Informationen: www.systemc.org; Usergroup: www-ti.informatik.uni-tuebingen.de/systemc; OpenSystem-C-Initiative: www.greensocs.com.

Wolfgang Rosenstiel/rr

Die System-C-basierte Entwicklungsumgebung des Karlsruher Forschungszentrums Informatik und der Universität Tübingen verfügt über ein System-C-Frontend samt Eclipse-Plugin, Visualisierungswerkzeuge und eine Analyseumgebung für SoC-Architekturen. Auch die Simulation von Betriebssystemfunktionalität wird unterstützt (Rubrik Tools unter www.fzi.de/sim). Professor Wolfgang Rosenstiel, Universität Tübingen, Vorstand Edacentrum (Verein für EDA)/rr