

EDA – IP und Re-use:

Mühsamer Weg zur Steigerung der Entwurfsproduktivität

Am 25. April 2005 fand der dritte vom edacentrum organisierte Standardisierungsworkshop statt. In diesem Jahr fokussierten sich die Referenten auf Intellectual-Property-Themen (IP) – z.B. auf den Standardisierungsbedarf und bereits existierende Standards für die Wiederverwendung von Analog-Modellen, den SPIRIT-Standard für werkzeugunterstützten Transfer sowie die im Rahmen der VSIA standardisierte IP-Qualitätsmetrik.

Dr. Ralf Sommer von Infineon Technologies widmete sich in seinem Vortrag unter dem Titel „Re-use aus der Sicht eines systematischen Analogentwurfs – Standardisierungsbedarf für die Wiederverwendung von Analog-Modellen“ den analogen IP-Aspekten. Er begann seine Ausführungen mit einer Gegenüberstellung der „Kulturen“ im Analog- und im Digital-Design, wobei er auf das auch für Analog-Designer besonders „exotische“ Hochfrequenz-Design hinwies.



Dr. Ralf Sommer von Infineon Technologies widmete sich in seinem Vortrag während des Standardisierungsworkshops den analogen Intellectual-Property-Aspekten. Er wies u.a. darauf hin, dass zahlreiche im digitalen Entwurf selbstverständliche Entwurfsschritte und Denkweisen im Analogdesign kein adäquates Pendant besitzen.

Dabei stellte er heraus, dass zahlreiche im digitalen Entwurf selbstverständliche Entwurfsschritte und Denkweisen kein Pendant im Analog-Design haben. Dies führe dazu, dass viele im digitalen Entwurf bewährte Herangehensweisen für analoge Blöcke (noch) nicht existieren. In diesem Zusammenhang wies er darauf hin, dass analoges IP-Re-use mehr sei als das bloße Wiederverwenden eines bereits entwickelten Funktionsblocks, zumal die durch Technologie und den analogen Designflow vorgegebenen Randbedingungen nicht ohne Anpassungen übertragbar sind. Daraus leitete Sommer ab, dass die Anwendung des klassischen manuellen Analog-Designstils durch Analog-IP keine Verbesserungen erfahren werde, sondern vielmehr der Erfolg von Analog-IP von

(innovativer) EDA abhängen. Die in dieser Hinsicht bereits erfolgten ersten Schritte belegte er anhand der im Rahmen von EDA-Forschungsprojekten – z.B. ANASTASIA+ (Analog Enhancements for a System to Silicon Automated Design) – entwickelten, vielversprechenden Ansätze für Analog-IP. Gleichzeitig müsse aber insbesondere noch an der Standardisierung (Charakterisierungssprache, Constraints) gearbeitet werden. Im Hinblick auf den digitalen

Entwurf prophezeite Sommer neue Herausforderungen für IP und Wiederverwendung, die durch die wachsende Bedeutung analoger Effekte bedingt werden. Alle seine Aussagen belegte er mit Evaluierungsergebnissen, die für unternehmensinternes Analog-IP mit großer Sicherheit einen kommerziellen Nutzen erwarten lassen. Demgegenüber sei aber nicht damit zu rechnen, dass sich ein dem digitalen IP vergleichbarer, kommerzieller Nutzen für Analog-IP am Markt einstellen werde. Der Misserfolg von Barcelona Design sei dafür warnendes Beispiel genug.

In dem Vortrag „Enabling usage of IP in SoC platform automation tools“ gab Anne Debras von Mentor Graphics Einblicke in die Arbeit des Standardisierungskonsortiums SPIRIT, was für „Structure for Packaging, Integrating and Re-using IP within Tool-Flows“ steht. Durch die Spezifikation, die aktuell in der Version 1.0 im Internet (www.spiritconsortium.com) frei verfügbar ist, wird das SPIRIT-Format als XML-Format spezifiziert. Das SPIRIT-Konsortium schlägt damit ein einheitliches und maschinenlesbares „Datenblatt“ vor, welches die IP-Auslieferung begleitet und die Integration und die Wiederverwendung von IP-Komponenten in einem SoC-Entwurf und den dazugehörigen Tool-Flows wesentlich erleichtern soll. Zum Auslieferungsumfang der Spezifikation

gehören die XML-Schema-Beschreibungen für Busse, IP-Komponenten, SoC-Entwurf (die Verbindung der IP-Komponenten) und die so genannte Generatoren-API. Eine Dokumentation und zwei Beispiele, eine UART-Beschreibung und eine AMBA-Busdefinition, ergänzen die SPIRIT Spezifikation. SPIRIT sieht den verschiedenen Compliance-Ebenen entsprechende Parse-, Beschreibungs- und semantische Compliance vor. Auf dieser Basis können IP-Komponenten und -Tools SPIRIT-compliant deklariert werden. Der momentane Stand von SPIRIT ermöglicht im Wesentlichen eine Beschreibung auf Register-Transfer-Ebene und einen lose gekoppelten Tool-Flow. Das bedeutet, dass Tools innerhalb des Design-Flows über das SPIRIT-Format kommunizieren.

In der Version 2.0, die für Ende des Jahres angekündigt ist, sollen eine engere Kommunikation zwischen den Werkzeugen über eine Tool-API möglich sein und Unterstützung zur Beschreibung und Konstruktion der Verifikationsumgebung geboten werden. Zudem ist die Hard- und Software-Modellierung auf den verschiedenen Transaktionsebenen geplant. Zur DAC im Juni 2005 ist die Zwischenversion 1.1 angekündigt, die die Beschreibung von Timing Constraints ermöglicht. Die SPIRIT-Spezifikationen werden zunächst innerhalb des Konsortiums vorangetrieben und sollen später bei einer offiziellen Standardisierungsorganisation (z.B. IEEE) eingereicht werden.

Verschiedene Verifikationssprachen haben ihre spezifischen „Stärken“

In dem Vortrag „Standards für die Verifikation von SoC-Plattformen“ zeigte Jens Stapelfeldt von Doulos die Anwendungsbereiche von verschiedenen Standards für die Systemverifikation auf. Demnach ermöglicht SystemVerilog im simulativen Verifikationsbereich das Transaction Level Modeling (TLM), die Testbench-Automatisierung sowie die Verifikation anhand von Assertions. Der geeignete Einsatzbereich der Sprache „e“ ist im Wesentlichen die Testbench-Automatisierung, wobei TLM und Assertion-basierte Verifikation teilweise unterstützt werden. Die innerhalb von Accellera standardisierte „Property Specification Language“ (PSL) basiert auf der ursprünglich von IBM entwickelten Sprache „Sugar“. PSL deckt im Bereich der formalen Verifikationsmethoden den Bereich des Property Checking, der dynamischen, formalen Methoden und

ebenfalls die Assertion-basierte Verifikation ab.

Für die Verifikation kompletter Systeme ist eine Beschreibung auf abstrakteren Ebenen (Transaktionsebene) unerlässlich. Stapelfeldt nannte den Electronic System Level (ESL) als Möglichkeit, sowohl Soft- als auch Hardware auf hoher Abstraktionsebene zu spezifizieren, zu entwerfen und zu implementieren. Hierfür stehen sich gegenseitig ergänzende Standards wie SystemC, das „Open Core Protocol“ (OCP) und SPIRIT zur Verfügung. OCP spezifiziert eine abstrakte Standard-Schnittstelle für IP-Komponenten, um diese einfach an verschiedene, konkrete On-Chip-Busse anzuschließen. Dadurch werden deren Wiederverwendung erhöht und der Verifikationsaufwand reduziert. Am Beispiel von SystemC und der SystemC-Verifikationsbibliothek (SCV) wurde den Anwesenden die Eignung von SystemC für die Transaction-Level-Modellierung und als „Wrapper“ für vorhandene Soft- und Hardware-Sprachen zur Systemmodellierung und -verifikation dargestellt. Aufgrund der abstrakteren Beschreibungsmöglichkeit kann auf Transaktionsebene, nach Schätzung des Vortragenden, eine 100fache Simulationsbeschleunigung gegenüber einer pin-akkuraten – jedes Event simulierenden – Methode erreicht werden. Der erforderliche TLM-Schnittstellen-Standard wird innerhalb der Open SystemC Initiative (OSCI) vorangetrieben.

Industriestandards der Virtual Socket Interface Alliance

Andreas Vörg von der edacentrum GmbH informierte in seinem Vortrag „Anwendung der IP-Qualitätsmetrik der VSIA“ über den aktuellen Stand des „Quality IP“-Industriestandards (QIP) der Virtual Socket Interface Alliance (VSIA, www.vsla.org). Das QIP definiert Qualitätskriterien für verschiedene Arten von IP-Komponenten (digitales Soft-IP, digitales Verifikations-IP, Analog- und Software-IP sowie Mixed-Signal-IP) und eine darauf beruhende Qualitätsmetrik. Während einer QIP-Qualifizierung müssen die als Fragen formulierten Kriterien beantwortet werden. Aus dem Grad der Erfüllung der einzelnen gewichteten Kriterien wird ein Maß für die IP abgeleitet. Je höher die Anzahl der berücksichtigten Kriterien ist und je mehr Punkte eine IP-Komponente in der Gesamtbewertung erhält, desto besser ist die Qualität des IP. Bessere Qualität führt zu

geringerem Integrationsrisiko, weniger Integrationsaufwand und geringeren Integrationskosten. Durch eine QIP-Bewertung können daher kritische Qualitätsmängel aufgedeckt werden.

Eine Bewertung unterstützt sowohl den IP-Anbieter bei der Entwicklung qualitativ hochwertiger IP-Komponenten als auch den IP-Nutzer bei der Auswahl geeigneter IP-Komponenten, beim Risikomanagement und bei der Ressourcenplanung eines Integrationsprojekts. Aufgrund des großen Firmeninteresses und der großen Firmenbeteiligung ist QIP

der Industriestandard für die quantitative Qualifizierung von IP-Komponenten. Durch die Standardisierung der Qualitätskriterien wird der Qualitätsbegriff für IP-Komponenten definiert und muss nicht bei jedem IP-Kauf zwischen den Vertragspartnern neu definiert werden. VSIA-Mitglieder können die QIP-Metrik und die begleitende Dokumentation im Internet-Mitgliedsbereich der VSIA herunterladen. Aktuell ist die Version 1.16 verfügbar. Zur Design Automation Conference (DAC) 2005 ist eine neue QIP-Version angekündigt. *Ralf Popp/go*