

zeit kleiner als ein Viertel der Ende-zu-Ende-Laufzeit in Hin- und Rückrichtung (Round-Trip-Propagation Delay) zwischen zwei Netzknoten ist, verhält sich diese Verbindungsleitung wie ein Wellenleiter (Transmission Line) und die Bezeichnung „Hochgeschwindigkeit“ trifft zu. Bei Anstiegszeiten von 1 ns verhalten sich bereits Leiterbahnen mit einer Länge größer als 7 cm wie Wellenleiter. Durch die Miniaturisierung sind auch die Transistoren deutlich schneller geworden, so dass selbst „langsame“ Logikbausteine mit Taktfrequenzen im Bereich weniger Megahertz steile Signalfanken erzeugen. Der Designer muss bei Hochgeschwindigkeits-Signalen besonders auf Reflexionen (Überschwinger), das Erreichen der Schwellwerte und Signal-Oszillation achten. Als weitere neue Anforderung an den Lagenaufbau einer Platine kommt durch Hochgeschwindigkeits-Signale neben der Beachtung von Impedanzen für Leiterbahnen – sowohl Signalleiterbahnen als auch Versorgungs-Leiterbahnen und Masseflächen – auch die Schirmung von Leiterzügen und Flächen hinzu. Entscheidend für ein erfolgreiches Hochgeschwindigkeits-Lay-

out ist auch die Kommunikation zwischen Entwickler und Designer. Verständliche und eindeutige Vorgaben über limitierende Kriterien von Leiterbahnlängen oder zur Platzierung von Abschlusswiderständen zum Beispiel können dem Designer auch Freiräume für das Entflechten bzw. Platzieren lassen. Verfügten die Leiterplatten-CAD-Programme über eine Kennzeichnung von Ein- und Ausgängen der Bausteine bzw. würden sie beim Routen zwischen Ein- und Ausgängen unterscheiden, so wäre dies eine deutliche Arbeiterleichterung beim Layout-Entwurf: Abschlusswiderstände ließen sich stets am „elektrischen“ Ende der Leiterbahn platzieren. Mit den Hochgeschwindigkeits-Signalen wird sich der Leiterplatten-Layouter zukünftig mehr und mehr mit Design-Regeln, deren Programmierung und deren Anpassung beschäftigen als mit der klassischen Entflechtung und Leiterbahnführung.

Ohne Blei

Bleifreies Löten war nicht nur in Workshops ein Thema. Der Lötprozess – Reflow, Welle – stand eindeutig im Vor-

dergrund, aber auch erste Erfahrungsberichte mit dem Zinn-Kupfer-Nickel-Lot von Balver Zinn wurden präsentiert. Die Abschlussveranstaltung, der „Fahrplan Bleifrei“ von Dr.-Ing. Gundolf Reichelt (TechnoLab GmbH, Berlin), verzeichnete über 200 Zuhörer. Der Fachkreis Blei-Freie-Elektronik hat diesen „Fahrplan“ mit 14 Stationen erarbeitet: beginnend mit der konzeptionellen Phase, dem Festlegen von Verantwortlichkeiten, der Aktions- und Terminplanung über Fertigungsversuche und Prozessanpassung bis hin zur Mitarbeiterschulung. Dieser „Fahrplan Bleifrei“ benennt die einzelnen Schritte und gibt auch die Reihenfolge für einen erfolgreichen Umstieg auf eine Elektronikfertigung mit bleifreien Lötungen vor. Als Stufen-Plan – angepasst an die Bedürfnisse von Herstellern (OEM, Original Equipment Manufacturer) und Auftragsfertigern (CEM, Contract Equipment Manufacturer) – erleichtert er den Unternehmen die Vorgehensweise. Das Resümee des Vortrages gipfelte in der Aussage: Niemand liefert den Unternehmen eine fertige Bleifrei-Komplettlösung. Es bleibt nur eines: die notwendigen Arbeitspakete definieren und abarbeiten, ab sofort. *hs*

Elektronische Designautomation:

Dem Analog-Entwickler das Leben erleichtern

Analog-Entwickler gelten oft als Außenseiter, deren Probleme nicht verstanden werden: Nicht nur deshalb fühlen sie sich als „Künstler“, sondern auch, weil sie Lösungen finden (müssen), wo eine Automatisierung nicht möglich erscheint. Die Teilnehmer einer vom edacentrum mit organisierten Podiumsdiskussion auf der FDL 2003 nahmen sich dieser Themenstellung an und diskutierten über Möglichkeiten zur rechnergestützten Struktursynthese analoger Schaltungen.

In diesem Jahr gab es neben den vier Workshops eine zentrale Podiumsdiskussion zum Thema „Let's have a look at the crystal ball – how will the design languages in 2010 look like?“, außerdem fünf Tutorials, diverse Treffen von Standardisierungsgremien und drei spezielle Sessions zu aktuellen Themen – beispielsweise zur Hardware-Beschreibungssprache SystemVerilog, zu Methoden und Modellen für Automotive-Software-Engineering und zu neuen Ansätzen zur rechnergestützten Analog-Synthese. Die folgenden Ausführungen fassen nun die Inhalte der zuletzt genannten Session unter dem Titel „Specification and Modeling of Analog Circuits: What Are the Needs of a Synthesis Driven Approach“ zusammen. Die zu diesem Thema veranstaltete Podiumsdiskussion wurde vom edacentrum in Zusammenarbeit mit dem Konsortium des in der Genehmigungsphase befindlichen ersten EDA-Basisforschungsprojektes organisiert. Dieses Forschungsprojekt mit dem Namen „Struktursynthese von analogen und Mixed-Signal-Schaltungen“ – Kurztitel SAMS – hat das Ziel, Verfahren zur Automatisierung der

strukturellen Synthese analoger Schaltungen auf verschiedenen Abstraktionsebenen in enger Zusammenarbeit mit industriellen Partnern zu erforschen, die Entwurfsmethoden zu verbinden und zu validieren. Das Projektkonsortium will dabei, ausgehend von unterschiedlichen Ansätzen zur Verfeinerung und Modellierung analoger Schaltungen, einen neuen Weg der Schaltungssynthese von der Systemebene bis zur elektrischen Ebene aufzeigen.

Analog-Experten unter sich

Auf Einladung von Dr. Volker Schöber vom edacentrum und Dr. Peter Schwarz vom Fraunhofer-Institut IIS EAS kamen mehr als 30 Analog-Experten zusammen. Im Wesentlichen ging es dabei um die Herausforderungen und einige neue EDA-Forschungsergebnisse für die Modellierung im Hinblick auf die Synthese analoger Schaltungen. Die eingeladenen Experten Prof. Dr. Lars Hedrich von der Universität Hannover, Prof. Dr. Sorin Huss von der Technischen Universität Darmstadt und Dr. Tom Kazmierski von der Universität Southampton sprachen auch darüber, wie ihrer Meinung nach der „Automatisierungs-Alptraum“ der Synthese analoger Schaltungen zu überwinden sei.



Dr. Peter Schwarz, Fraunhofer-Institut IIS EAS: „Die Synthese von Analog- und Mixed-Signal-Schaltungen ist noch weit von einer vollständigen Automatisierung entfernt.“

Dr. Schwarz führte die Hörer in Anforderungen und Herausforderungen der modernen Schaltungsmodellierung für die Analog-Synthese ein. Er stellte fest, dass die Synthese von Analog- und Mixed-Signal-Schaltungen weit von einer vollständigen Automatisierung entfernt sei. Statt dessen würden freie Kombinationen von aktuellen Designmethoden angewandt. Als Beispiele nannte er Bottom-up-Design, Wiederverwendung, rechnergestützte Layout-Generierung und Parameter-Anpassung, Parameter-Optimierung zur Ausbeute-Verbesserung sowie Transistor-Level-Simulationen zur Verifikation und Fehlersimulation. Die seit einigen Jahren intensiv untersuchte Top-down-Designmethodik

igkeitskriterien optimale Schaltung zu erzeugen. Anhand von Beispielen für HF-Anwendungen (integrierte Hochfrequenz-Verstärker und -Filter) präsentierte er abschließend Ergebnisse aus verschiedenen Optimierungs- und Simulationsdurchläufen. „Eine gemeinsame Standardsprache wie VHDL-AMS kann die Synthese-Umgebung für Analog-Schaltungen unterstützen“, betonte Kazmierski während der nachfolgenden Diskussion. Der Markt von VHDL-AMS-Werkzeugen werde nach seiner Meinung durch Synthese-Anforderungen getrieben.

Hedrich schließlich präsentierte ein neues Verfahren zur strukturellen Synthese auf Transistor-Ebene, das innovative

Mixed-Signal-Blöcken und angebundenen Testbenches basiert. Dabei verwendet er VHDL-AMS als Sprache für konservative und nichtkonservative Schaltungen. Zur Modell-Code-Umwandlung während des Verfeinerungsprozesses stellte Huss eine Umstrukturierungsmethode vor, deren Idee darauf beruht, gegenwärtige Beschreibungen eines Moduls zu ersetzen, ohne dabei das Ausgangsverhalten zu verändern. Er wies darauf hin, dass eine ausführbare Spezifikation für den Verfeinerungsprozess zur Verfügung stehe. Huss ergänzte, dass zur Bewältigung der Komplexität bei der Synthese von Mixed-Signal-Schaltungen mittels strukturierter Design-Techniken der Partitionierungsprozess eine zentrale Rolle spiele. Spezifikationen der Systemfunktionalität seien zunächst in einer nicht formalen Repräsentation eingebunden und würden während des Syntheseprozesses zu einer geordneten Kombination von Subsystemfunktionalitäten überführt. Das vorgeschlagene Verfahren wurde an einem Beispiel für ein Top-down-Design eines Delta-Sigma-A/D-Wandlers demonstriert. Huss fügte hinzu, dass der Syntheseprozess im jetzigen Stadium ein interaktives Verfahren sei, in dem jeder Verfeinerungsschritt kontrolliert werden müsse, dass das Verfahren jedoch automatisiert werde.

■ Europäisches Forum zum Erfahrungsaustausch

Das FDL – Forum on specification & Design Languages – ist ein europäisches Forum zum Erfahrungsaustausch über neue Trends bei der Anwendung von Sprachen und Modellen für Spezifikation und Modellierung von elektronischen oder heterogenen Systemen. Es beinhaltet im Wesentlichen vier zentrale Workshops und bietet darüber hinaus die Gelegenheit, thematisch assoziierte Sessions oder Treffen in seinem Rahmen abzuhalten. In diesem Jahr fand die von der „Euro-

pean Electronic Chips & Systems Design Initiative“ (ECSI, www.ecsi.org) organisierte Veranstaltung vom 22. bis 26. September in Frankfurt statt. Dort kamen mehr als 150 Teilnehmer aus verschiedenen Ländern zusammen, um Sessions der teilweise parallel ablaufenden Workshops zu besuchen, welche die Themen UML, C-basierter Systementwurf (CSD), Sprachen für formale Methoden (LFM) und Analog- und Mixed-Signal-Systeme (AMS) behandelten.

habe bisher nur für die Layout-Synthese zu ersten praktischen Ergebnissen geführt, während die Synthese vom System zur Netzliste weiterhin eine ungelöste Frage sei. Er stellte einen prinzipiellen Synthese-Flow für Analog-Schaltungen von der System- zur Bauelemente-ebene zur Diskussion, welcher auf schrittweise durchgeführte Verfeinerungen in Verbindung mit genauer und effizienter Modellierungs-Methodik aufbaut.

Kazmierski beschrieb eine VHDL-AMS-basierte Architektur-Synthese-Strategie für hochfrequente Analog-Schaltungen. Darin wurden auf VHDL-AMS-Beschreibungen basierende Methoden zur Architektur-Synthese und Optimierung von hochfrequenten Analog-Schaltungen diskutiert. Besondere Aufmerksamkeit widmete Kazmierski einer Synthese-Methode, die VHDL-AMS-Parse-Bäume als eine zwischenzeitliche System-Repräsentation verwendet. Kazmierski wies auch darauf hin, dass in der Analog-Synthese auch solche Arten der Architektur- und Parameter-Optimierung wichtig seien, die an einer Auswahl von Bibliothekszellen arbeiteten, um so eine in Bezug auf benutzerdefinierte Genau-

Analyse- und Modellierungsverfahren der jüngsten EDA-Forschung verwendet. Basierend auf Transistoren und einer Reihe von erprobten Schaltungsstrukturen werden dabei Netzlisten durch ein Werkzeug mit Transistoren erweitert, um ein spezifiziertes, neues Schaltungsverhalten zu erhalten. Neue Makrozellen können dabei erzeugt und durch leistungsstarke Werkzeuge analysiert werden. Die Leistungsfähigkeit des Verfahrens führte Hedrich anhand von Beispielen vor. Er verglich anschließend die verwendeten Analyse-Methoden mit neuen Ansätzen in der symbolischen Analyse und wies darauf hin, dass die symbolische Analyse innerhalb des Verfahrens auch dazu verwendet werde, die Transistoren nach Größen zu ordnen. Im Anschluss an seinen Vortrag kam es zu einer Reihe von Fragen, wie in einer Analog-Synthese-Umgebung angemessen modelliert und spezifiziert werden solle.

Huss präsentierte ein neues Verfahren zur Mixed-Signal-Modell-Verfeinerung durch Code-Refactoring-Methoden. Er erläuterte dazu einen neuen EDA-Flow, der auf einer Verfeinerungsmethodik für Verhaltensmodelle von funktionalen

Basis für eine tiefgreifende Diskussion

Mit den in den Vorträgen aufgezeigten Möglichkeiten zur Schaffung einer strukturellen Top-down-Synthese für analoge Schaltungen von der System-Spezifikation zur Netzliste war eine gute Basis für eine tiefgreifende Diskussion geschaffen. Darin war ein großes Interesse an der wissenschaftlichen Arbeit erkennbar, das anhand der Bedürfnisse der Industrie im Bereich der Synthese analoger Schaltungen begründet werden kann. Eine wesentliche Frage gegen Ende der Podiumsdiskussion war die Frage nach dem größten Nutzen der automatisierten Synthese analoger Schaltungen. Darauf wurden die Sicherstellung eines reproduzierbaren Design-Flows, das Ersetzen von Analog-Experten durch nicht erfahrene Designer, die Reduzierung der Kosten für die Entwicklung, die Erhöhung der Qualität des Schaltungs-Designs, die Befreiung der Experten von alltäglichen Aufgaben und die wachsende Transparenz von Designs als nützliche Aspekte genannt. Dass dabei keine Priorisierung gelang zeigt, dass alle Ziele wichtig zu sein scheinen. Lediglich das ehrenhafteste Ziel, dem Analog-Designer das Leben einfacher zu machen, einte alle Beteiligten. Das lässt sicherlich das Beste von dem noch in diesem Jahr startenden Projekt SAMS erwarten. *Ralf Popp/go*