www.elektroniknet.de

Elektronik

FACHZEITSCHRIFT FÜR INDUSTRIELLE A[illegible]ER UND ENTWICKLER

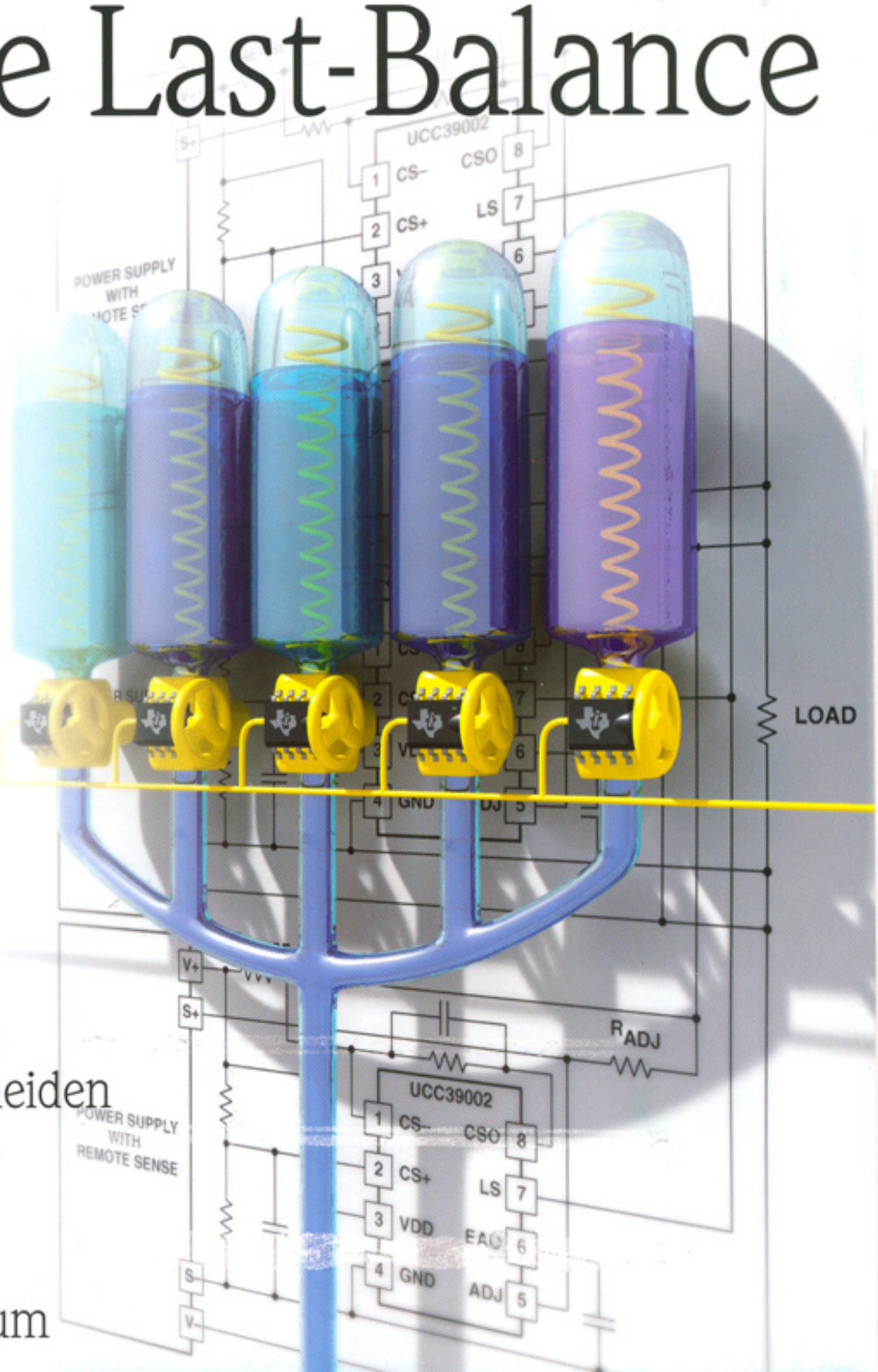
50 Jahre Elektronik Zukunft live

17. September 2002 | 19 | 4,90 € 9.- sfr.

$54

Ausfallsichere und zuverlässige Stromversorgung: Ein spezielles IC sorgt für die ideale Lastaufteilung in parallelgeschalteten Stromversorgungsmodulen.

Geregelte Last-Balance



$44

Polymerelektronik

Erste Plastikchips von der Rolle

$62

Hochleistungs-Prozessoren

Zuverlässige Funktion nur bei spezifizierter Stromversorgung

$70

Photovoltaik

Eine Branche im Boom - wie lange noch?

$94

Embedded-Software

Wie Sie die Nachteile des On-Chip-Debugging vermeiden

$106

Chip- und Schaltungsentwurf

F&E-Projekte im deutschen EDA-Zentrum

Neuer Schwung für EDA in Deutschland

Vom BMBF eingerichtete F&E-Projekte im Überblick

System-on-Chip und Nanometertechnologien sind derzeit die zwei großen Herausforderungen für den zukünftigen Schaltungs-Entwurf. Mit dem Ziel, die Wettbewerbsfähigkeit der deutschen Mikroelektronik-Industrie deutlich zu steigern, werden in dem vom BMBF eingerichteten EkompaSS-Komplex F&E-Projekte gefördert, die sich mit applikationsspezifischen Entwurfsplattformen, neuen Entwurfsmethoden und der Erschließung neuer Technologien für den Entwurf beschäftigen. Zur Unterstützung und Koordination wurde das edacentrum e.V. als deutsches EDA-Zentrum gegründet.

Von Dieter Treytnar und Dr. Jürgen Haase

Alle, die sich mit Mikroelektronik beschäftigen, bewegen die Fragen: „Wie geht es weiter – können wir das exponentielle Wachstum, das seit mehr als 30 Jahren anhält, fortsetzen?" und „Was ist das größte Problem auf dem Weg zu den Super-Chips der Zukunft?"

Deutlich zu sehen ist, dass weitere Fortschritte in der Fertigungstechnologie den bisher Jahr für Jahr erreichten Komplexitätsanstieg von mehr als 50 % für weitere 15 Jahre möglich machen werden. Vielfach übersehen wird dabei allerdings, dass es zum Markterfolg nicht ausreicht, allein die Fertigungstechnologie bereitzustellen. Chips müssen, bevor sie gefertigt werden können, entworfen werden und dies – im Zeichen immer kürzer werdender Produktlebenszyklen – immer schneller.

Eine Erhöhung des Arbeitseinsatzes, also größere Entwicklungsteams, kann schon aus wirtschaftlichen Gründen nicht zum Erfolg führen. Zudem ist dieser Ansatz mit erheblichen Risiken für den Entwicklungserfolg verbunden. Zunehmend liegt auch die größte Wertschöpfung eines Chips im Entwurf: Ein Mikroprozessor hat z.B. einen wesentlich höheren Wert als ein auf der gleichen Linie gefertigter Chip gleicher Größe mit einfachen logischen Schaltkreisen oder gar ein Speicherchip. Die Frage stellt sich, ob der Entwurf mit der rasanten Entwicklung der Fertigungstechnik Schritt halten kann oder möglicherweise ein Punkt erreicht wird, an dem gesagt werden muss: Wir können unsere Super-Chips zwar fertigen, aber in akzeptabler Zeit entwerfen können wir sie leider nicht.

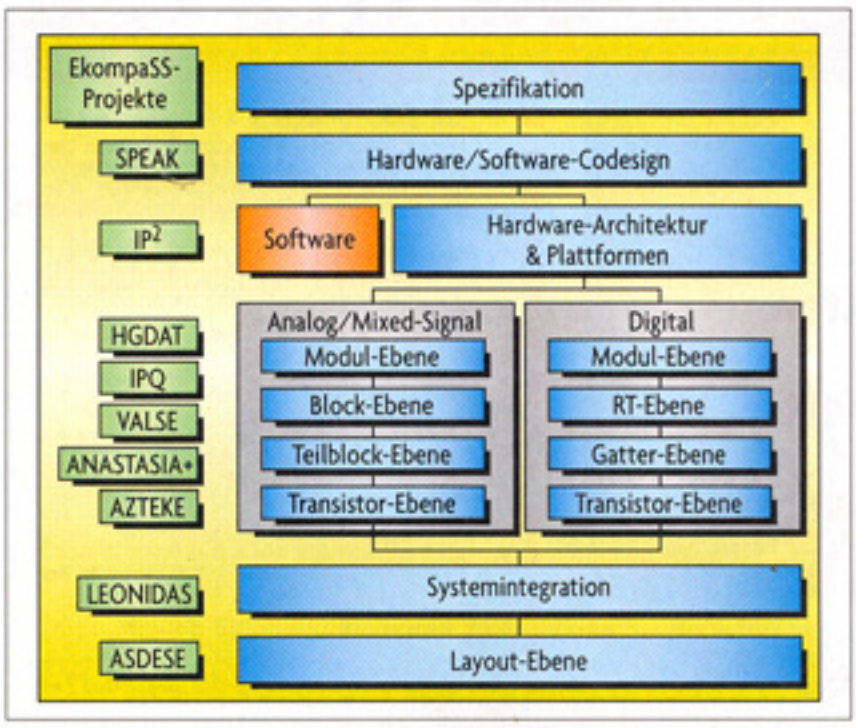


Bild 1. Die verschiedenen Entwurfsebenen beim Schaltungsentwurf. Die Grafik zeigt auch, welche Schwerpunkte von den jeweiligen EkompaSS-Projekten bearbeitet werden.

Eine Lösung des Problems, das auch als Entwurfslücke (Design-Gap) bezeichnet wird, kann nur durch eine drastische Steigerung der Entwurfseffizienz gelingen. Dies bedeutet, dass noch stärkere Investitionen in die Entwurfsautomatisierung erfolgen müssen als bisher, um die Entwicklung angepasster Entwurfsmethoden und -werkzeuge (Software) zur Automatisierung des Entwurfs (EDA, Electronic Design Automation) voranzutreiben. EDA ist der entscheidende Schlüssel zur Zukunft der Mikroelektronik. Nur durch EDA wird es gelingen, die Schaltungskomplexität zu bewältigen, die Entwurfsproduktivität im erforderlichen Maße zu steigern und die Entwurfsqualität zu verbessern.

Die deutsche Mikroelektronik-Industrie hat dies erkannt und arbeitet in gemeinsamen Projekten an geeigneten Entwurfsverfahren und deren Automatisierung. Zur Stimulation von EDA-Forschungsaktivitäten hat das Bundesministerium für Bildung und Forschung (BMBF) den Förderkomplex „Entwurfsplattformen für komplexe angewandte Systeme und Schaltungen der Mikroelektronik" (EkompaSS) eingerichtet. Durch diese Maßnahme will das BMBF in erster Linie dazu beitragen, die einer starken internationalen Konkurrenz ausgesetzten Arbeitsplätze in der Systemindustrie und im EDA-Umfeld zu erhalten und auszubauen. In gemeinsamen Projekten arbeiten die deutschen Mikroelektronik-Unternehmen, die EDA-Anbieter und die Forschungseinrichtungen an einer Lösung der geschilderten Probleme.

Als gemeinsame Initiative aller Beteiligten wurde im September 2001 das edacentrum e.V. mit Sitz in Hannover als zentrale deutsche Einrichtung gegründet. Diese Einrichtung soll ein schlagkräftiges EDA-Netzwerk aufbauen, vorhandene Kompetenzen zusammenführen und neue aufbauen, wozu insbesondere die Initiierung und Abstimmung längerfristiger Forschungsaufgaben gehört. Zu den weiteren Aufgaben gehören die thematic-

sche Ausrichtung und Abstimmung mittelfristiger Projekte, aber auch die Koordination mit Verbänden, Gremien und Fördergebern. Darüber hinaus ist die repräsentative Darstellung der Forschungsergebnisse, ihres wirtschaftlichen Nutzens und ihrer wissenschaftlichen Tragfähigkeit mit einer breiten Wirkung in der Öffentlichkeit von besonderer Bedeutung.

Projekte des EkompaSS-Komplexes

Vom edacentrum organisiert, konnten sich mehr als 100 Experten beim ersten EkompaSS-Workshop einen Überblick über die bereits laufenden und geplanten Projekte verschaffen, die nahezu alle Ebenen des Schaltungsentwurfes behandeln. *Bild 1* gibt in diesem Zusammenhang einen allgemeinen Überblick über die Projekte des EkompaSS-Komplexes und dokumentiert, auf welchen Ebenen des Entwurfs sie ansetzen. Es zeigt die verschiedenen Entwurfsebenen beim Schaltungsentwurf und welche Schwerpunkte von den jeweiligen EkompaSS-Projekten bearbeitet werden. Der Fokus wird auf solche Themen gelegt, denen für die Wettbewerbsfähigkeit der deutschen Industrie die größte Bedeutung zukommt.

Entwurfs- und Designmethoden für System-on-Chip

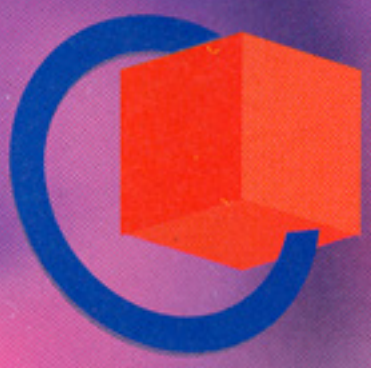
Der zunehmende Trend zu einer Integration kompletter Systeme mit komplexer Funktionalität auf einem einzigen Chip (SoC) erfordert neue Spezifikations- und Entwurfsmethoden, die sich nicht auf den Entwurf von Einzelkomponenten beschränken, sondern den Entwurf zusammenhängender, heterogen beschriebener Gesamtsysteme unterstützen. Dabei ist zu berücksichtigen, dass der Entwurf zukünftig nur noch dann kosteneffizient durchführbar sein wird, wenn nur ein sehr geringer Teil der Hard- und Software-Komponenten neu entworfen werden muss und der weitaus größte Teil auf Basis einer vorgegebenen Plattform wiederverwendet wird (IP-Reuse).

Dieses Entwurfs-Paradigma ist durch den Begriff plattformbasierter Entwurf gekennzeichnet und stellt den zentralen Themenkomplex im *SPEAK*-Projekt („Spezifikationsbasierte Hardware/Software-Entwurfsmethodik für hochkomplexe Anwendungen der Automobil- und Kommunikationstechnik") dar. Ziel ist die Entwicklung von Algorithmen, Verfahren und Methoden zur Bewertung und Auswahl von Architekturplattformen hochkomplexer digitaler Systeme. Dabei setzt das Projekt darauf, dass die Produktivität mit Methoden auf höherer Abstraktionsebene erheblich gesteigert werden kann. Im Zusammenspiel mit weiteren Maßnahmen (*Bild 2*) soll diese Lücke geschlossen werden.

Beim plattformbasierten Entwurf werden der Funktionsumfang sowie die – Plattform repräsentierende – Ar-

...it's a smarter world...

Nürnberg, Germany 18.–20. Februar



embedded world 2003
Exhibition & Conference
Nürnberg

www.embedded-world-2003.de

Tel +49 (0) 9 11.86 06-89 00
b.seipt@nuernbergmesse.de

Jetzt Messestand buchen!

Veranstalter Fachmesse
NürnbergMesse
b.seipt@nuernbergmesse.de

Veranstalter Kongress
DESIGN & ELEKTRONIK
cgrote@design-elektronik.de

NÜRNBERG MESSE

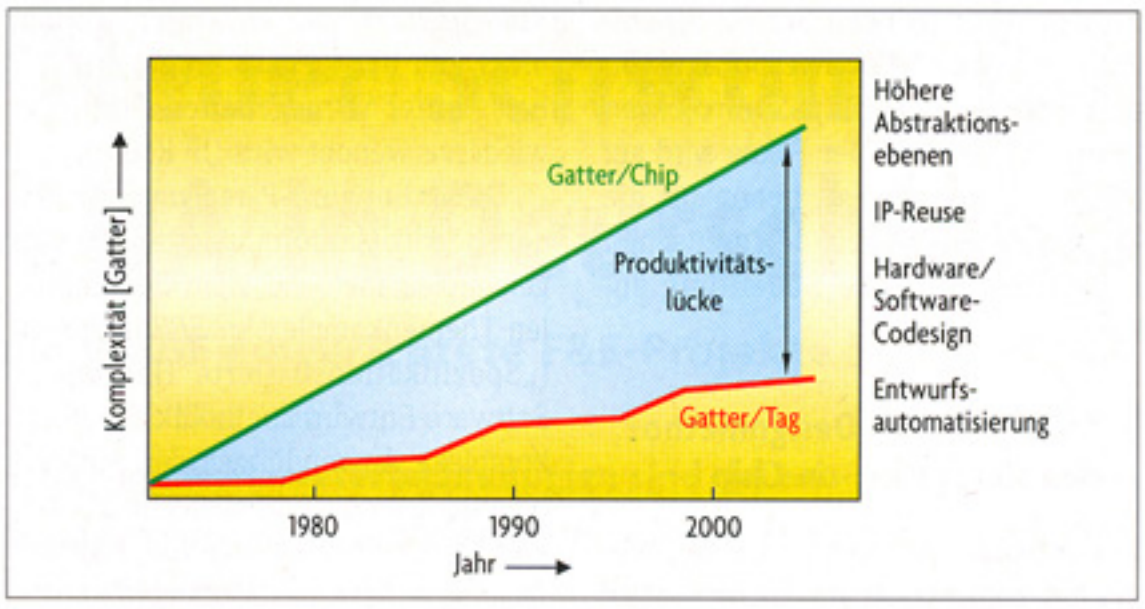


Bild 2. Die Produktivitätslücke der Designer muss mit einem Bündel von Maßnahmen reduziert werden. (Quelle: MEDEA Design Automation Roadmap 1999)

chitektur eines Systems parallel spezifiziert; anschließend folgt die Abbildung der Funktionsblöcke auf Architekturkomponenten. Die Einführung des plattformbasierten Entwurfs erfordert zunächst neue Methoden für die Spezifikation. Spezifikationsmethoden, die eine Vereinfachung der Integration von IP-Modulen in ein Gesamtsystem auf Systemebene erlauben, und die Entwicklung eines architekturgenauen Prototypingsystems zur Emulation und Simulation führten bei ersten firmeninternen Anwendungen im System-Level-Entwurfsablauf bereits zu hohen Zeitersparnissen.

Mit der Entwicklung von sehr innovativen Algorithmen, Methoden und Verfahren zur formalen Verifikation von digitalen und Mixed-Signal-Systemen sowie Methoden der Fehleremulation beschäftigt sich das Projekt *VALSE* („Hochautomatisierte, zertifizierende und skalierende Validierung von System-on-Chip-Entwürfen"). Beim SoC-Entwurf ist es entscheidend, dass die Verfügbarkeit qualitativ hochwertiger Blöcke mit einer Fehlerwahrscheinlichkeit unterhalb des Promillebereichs sichergestellt ist. Dieses Qualitätsniveau kann nur mit ausgeklügelten, hochautomatisierten mathematischen Beweisverfahren, so genannten formalen Methoden, garantiert werden.

Das VALSE-Projekt konnte bereits nach kürzester Laufzeit erste herausragende Ergebnisse verbuchen: beispielsweise im Rahmen der Weiterentwicklung eines Kommunikationssystems, für das zwei ASICs mit je 4 Mio. Gattern zu entwickeln waren. Das Design dieser Bausteine gelang so gut, dass man den Durchsatz des Gesamtsystems um den Faktor 5 steigern konnte. Und dies trotz extrem hoher Qualitäts- und Terminanforderungen, die sich nur dadurch realisieren ließen, dass man die Gesamtsimulation durch formale Blockverifikation entlastete. Dies galt für 80 % aller Blöcke; außerdem konnten mit dieser Verifikationsmethode ca. 60 % der spezifizierten Systemtests vorverlagert werden. Es fanden sich mehr als 40 Fehler, die simulativ kaum gefunden worden wären. Erfahrungsgemäß kann man sagen, dass sich dadurch die Re-Design-Wahrscheinlichkeit halbierte. Erfreulicherweise fiel aber auch der Aufwand für die formale Analyse (in Personentagen) um ca. 40 % geringer aus, als man erfahrungsgemäß für ein konventionelles, simulationsbasiertes Vorgehen hätte einplanen müssen. In einem anderen Design zeigte die Qualitätssicherung der Engineering Samples verschiedene Fehler auf, deren Behebung durch Maskenänderungen 250 000 Euro kostete. Die neuen Methoden der formalen Blockverifikation reduzierten diese Kosten auf einen Arbeitsaufwand von einem Personenmonat.

Analoge und digitale IP-Wiederverwendung

Die Entwurfsautomatisierung im Bereich der Analogschaltungen gewinnt massiv an Bedeutung, da demnächst in 70 % der SoCs Analogkomponenten enthalten sein werden. Obwohl auf diesen SoCs nur ca. 10 % der Fläche aus analogen Komponenten bestehen, beträgt der Designaufwand für den analogen Teil ein Vielfaches des Aufwandes für den digitalen Teil.

Das Projekt *ANASTASIA+* („Methoden für den automatisierten Entwurf für Anwendungen im Mixed-Signal-Bereich") hat das Ziel, durchgängige Top-down-Entwurfsmethoden für integrierte analoge und Mixed-Signal-Systeme (A/MS-Systeme) zu entwickeln und deutliche Fortschritte in der Entwurfsautomatisierung auf Transistorebene sowie der Wiederverwendung von Schaltungsblöcken zu erzielen. Um dieser Forderung nachzukommen, entstehen im Rahmen von ANASTASIA+ neue Methoden und Werkzeuge, die sowohl den Top-down-Entwurf als auch die Bottom-up-Verifikation von A/MS-Systemen mit Hilfe von Mixed-Mode/Mixed-Level-Simulation in einer konsistenten Entwurfs- und Simulationsumgebung ermöglichen.

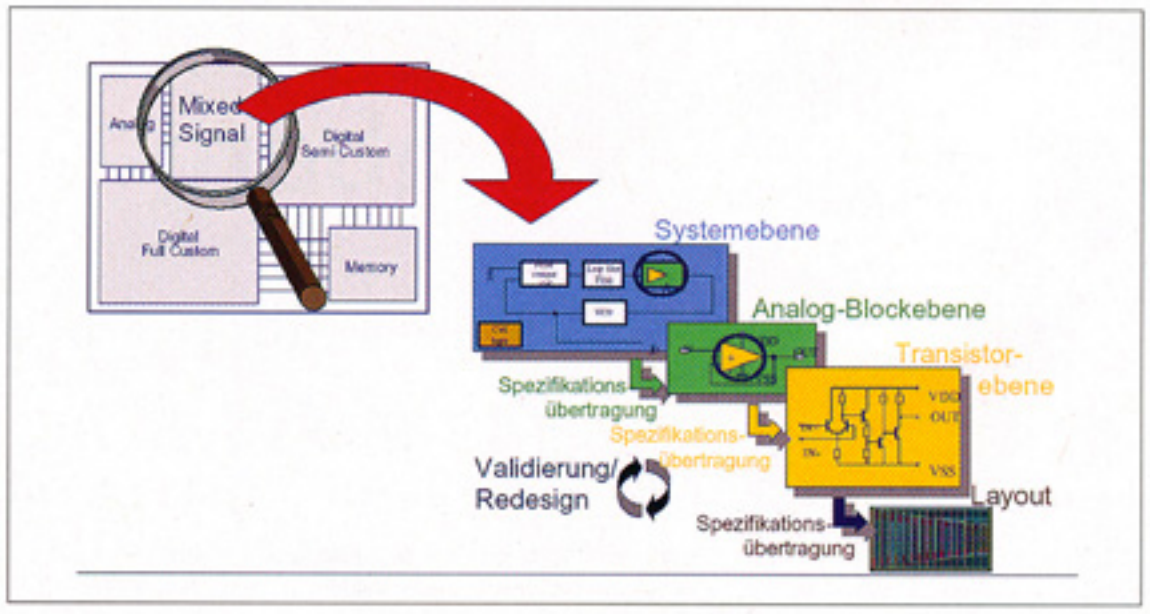


Bild 3. Top-down-Design-Flow von der Mixed-Signal-Spezifikation bis zum Layout. Dieser Flow ist so konzipiert, dass eine systematische Wiederverwendung bereits früher entwickelter Schaltungsblöcke ermöglicht wird.

sehr preiswert Entlöten
Preisvergleich: www.desolder.com
Lotsauglitze® extrem preiswert auf der 20 m Ecospule
No-clean flux
SPIRIG SWITZERLAND
DIPL.-ING. ERNEST SPIRIG
CH-8640 RAPPERSWIL
TEL (+41) 55 222 6900
FAX (+41) 55 222 6969
info@spirig.com

Arbiträr-Netzgeräte
mit beispielhafter Technik
TOELLNER®
www.toellner.de
Tel. 0 23 30 - 97 91 91
zertifiziert nach DIN EN ISO 9001

Functional Packs
z.B.: Komplette Netzteil-Lösung
Umfangreiches KIT "Plugs into the Wall"
mit entsprechenden Bauteilen:
- LDOs
- Supervisor
- PWM Controller
- MOSFET Drivers
- Switching Regulator
- Charge Pump DC/DC Converter
Seit 25 Jahren Ihr starker Partner!
info@weisbauer.de
www.weisbauer.de
weisbauer elektronik
MICROCHIP
Analoge IC's
- Temperatur Sensoren
- Detektoren
- Spannungsreferenzen
- CMOS-Spannungsregler
- Schaltregler
- DC/DC-Wandler
- PWM Controller
- MOSFET-Treiber
- Linear IC's
- Audio Verstärker
- A/D- & D/A-Wandler
- CAN- & IR-Bausteine
Ihr MICROCHIP-Distributor
weisbauer elektronik
Postfach 10 44 45
D-44044 Dortmund
Fon: 0231-55 73 02-0
Fax: 0231-55 76 02-0

Bild 3 zeigt den Top-down-Design-Flow von der Mixed-Signal-Spezifikation bis zum Layout. Dieser Flow ist so konzipiert, dass eine systematische Wiederverwendung bereits früher entwickelter Schaltungsblöcke (Intellectual Property-Cores, IP) ermöglicht wird. Erste Ergebnisse umfassen systematische Modellierungsverfahren auf verschiedenen Abstraktionsebenen und Konzepte zur hierarchischen Dimensionierung. Auf Blockebene wurden Verfahren zur Ausbeuteoptimierung und Mismatch-Analyse entwickelt. Bisher nicht lösbare Designprobleme waren mit Hilfe der symbolischen Analyse identifizierbar und ließen sich in kurzer Zeit beheben. Das dafür entwickelte Tool „Analog Insydes" erhielt mit dem Innovationspreis Rheinland-Pfalz 2001 bereits eine Auszeichnung.

Die zukünftigen Effizienzanforderungen können nur erfüllt werden, wenn die Entwurfsabläufe für den systematischen Einbau von wiederverwendbaren IP-Cores (IP-Reuse) ausgelegt werden. Dieses Ziel verfolgen die Projekte *IP²* („Anwendungsspezifische Entwurfsmethoden für flexible SoC in zukünftigen Mobilfunksystemen") und *IPQ* („Intellectual Property-Qualifikation für effizientes Systemdesign"). IP² zielt auf neuartige EDA-Methoden und Produkte für zukünftige Generationen von internetbasierten Mobilfunksystemen und damit auf eine tragende Säule der Informationsgesellschaft. Inhalte des Projektes sind die Erforschung anwendungsspezifischer EDA-Methoden mittels Einsatz von wiederverwendungsgerechten und parametrisierbaren IP-Blöcken (Intellectual Property) für Basisbandalgorithmen im zukünftigen Mobilfunkbereich. Dies beinhaltet die Entwicklung plattformbasierter Entwurfs- und Prototyping-Verfahren für adaptive Zielarchitekturen in Form von dynamisch rekonfigurierbaren Systems-on-Chip (SoC). Diese sollen in zukünftigen Internet-Protocol-basierten Mobilfunknetzen zum Einsatz kommen – mit dem Ziel, mobile Datenraten bis 50 Mbit/s zu erreichen.

IPQ befasst sich mit den Methoden zur Qualifikation von wiederverwendbaren Modulen (IP) für den Schaltkreisentwurf, um diese einfacher, schneller und effektiver verwenden und auswählen zu können. Der forcierte Einsatz formaler Methoden treibt dabei die IP-Verifikation maßgeblich voran; außerdem haben die Projektteilnehmer von IPQ für die Beschreibung parametrisierbarer IP-Module ein XML-basiertes Format entwickelt. Erste konkrete Ergebnisse kommen derzeit bei empolis in der Integration der semantik-orientierten IP-Retrieval-Technologie in neue Produkte und bei sci-worx beim Qualifizierungsablauf zukünftiger IP-Entwicklungen zur Umsetzung.

Der Erfolg am Markt der Mikroelektronik wird maßgeblich durch die Fähigkeit bestimmt, die internationalen Standardisierungsanstrengungen für den EDA-Entwurfsablauf selbst aktiv zu treiben. Das Vorantreiben insbesondere des europäischen Standardisierungsprozesses bei IP-basierten Entwicklungslösungen ist deshalb eine der zentralen Aufgaben der Projekte IP² und IPQ. Beispielsweise werden die Standardisierungsarbeiten der VSIA (Virtual Socket Interface Alliance) zum Thema IP-Qualität maßgeblich vom Projekt IPQ gesteuert.

Wie in *Bild 4* dargestellt, kümmert sich IP² um die Software-Entwicklung und den digitalen Teil von zukünftigen On-Chip-Datenübertragungssystemen. Auch für den Entwurf der analogen Komponenten dieser Systeme sind erhebliche Forschungsanstrengungen notwendig, diese bilden den Schwerpunkt des im nachfolgenden Abschnitt beschriebenen Projekts *HGDAT*.

Hochfrequenz-Designs

Hohe Mobilität, Zuverlässigkeit, Leistungsfähigkeit, niedrige Kosten und kurze Entwicklungszeiten gehören zu den notwendigen Hauptmerkmalen zukünftiger funkbasierter Hochgeschwindigkeits-Datenübertragungssysteme mit hohem Integrationsgrad. Mit den heute verfügbaren Entwurfstechnologien ist der Entwurf solcher Systeme unter der Beachtung aller Merkmale nur unzureichend möglich. Als besonders kritisch erweist sich der Bereich zum Entwurf eines eingebetteten HF-Front-Ends innerhalb des Gesamtsystems. Im Projekt HGDAT („Hochgeschwindigkeits-Datenübertragung") werden die aktuellen Probleme im Bereich der Entwurfstechnologie für zukünftige, hochintegrierte Hochgeschwindigkeits-Datenübertragungssysteme mit Schwerpunkt HF-Schaltungsentwurf adressiert. Als Lösungsansatz kommen dabei Methoden zum Entwurf, zur Verifikation und zur Handhabung von flexiblen, hochgenauen wiederverwendbaren Schaltungsblöcken in analogen, digitalen und Mixed-Signal-Bereichen der HF-Technik zum Einsatz.

Erste Ergebnisse zeigten die Verantwortlichen auf der ANALOG'02 in Bremen: Im Mittelpunkt standen dabei eine Architekturdefinition für Direct Conversion/Low-IF, Double Conversion und Superheterodyne – basierend auf den Systemspezifikationen von Hiperlan2 und IEEE 802.11a – sowie deren initiale Partitionierung. Den Abschluss bildete ein Praxistest vorhandener Ansätze für die Bereiche Entwurfsmethoden und Werkzeuge zur Systemkonzipierung und Systempartitionierung. Die so gewonnenen Erkenntnisse fließen derzeit in die Entwicklung einer WLAN-Systemsimulations-Plattform auf Basis von SPW/SpectreRF (Cadence Design Systems GmbH) und in eine Schnittstelle für die Einbettung eines 3D-Feldsimulators (CST GmbH) mit ein. Des weiteren entstehen geeignete Simulationsmodelle von Basiskomponenten mit hoher Modellierungsgenauigkeit der HF-Eigenschaften, sodass auf einfache Weise parametrisierbare Modelle übertragen werden können. Flexible, parametrisierbare HF-Modellschablonen für LNA, Mischer und PLL liegen ohnehin bereits fertig vor.

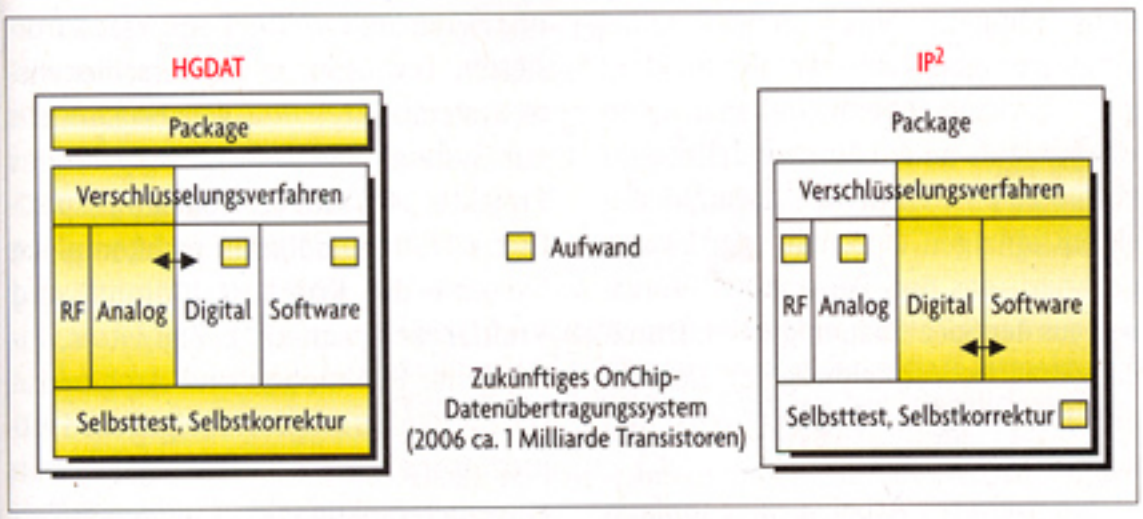


Bild 4. IP² kümmert sich um die Software-Entwicklung und den digitalen Teil von zukünftigen On-Chip-Datenübertragungssystemen. Auch für den Entwurf der analogen Komponenten dieser Systeme sind erhebliche Forschungsanstrengungen notwendig; diese bilden den Schwerpunkt des Projekts HGDAT.

Parasiten und Signalintegrität

Mit zunehmender Komplexität und Arbeitsgeschwindigkeit mikroelektronischer Systeme wird deren Verhalten immer mehr von Einflüssen dominiert, die in konventionellen Designprozessen bestenfalls ansatzweise berücksichtigt werden. Dazu treten bei einer weiteren Verkleinerung der Strukturen auf zukünftigen Chips auch schon bei relativ niedrigen GHz-Taktfrequenzen Effekte durch Kopplung auf, die die Signalintegrität negativ beeinflussen können. Das Projekt *ASDESE* („Anwendungsspezifischer Entwurf unter Berücksichtigung von elektrostatischen Entladungsvorgängen und Substrateffekten") bearbeitet als einen Schwerpunkt das Problem der

PXROS
Harte Echtzeit.

Echtzeit, Linux GNU ... PXROS

Die skalierbare Lösung für »Harte Echtzeit.«

- Entwicklungstools für 32- und 16-Bit Controller
- Echtzeitbetriebssystem mit embedded Kommunikations-Bibliotheken
- Echtzeit-Schnittstelle für original Linux-Treiber und Linux-Applikationen

HIGH TEC
HighTec EDV-Systeme GmbH
Vertriebszentrum Leonberg
Heidenheimer Straße 14
D-71229 Leonberg
Tel.: 07152 / 35413-0 Fax: -77
E-Mail: htc@hightec-rt.com
www.hightec-rt.com

elektrostatischen Aufladung von außen, die z.B. durch Berührung eines Menschen (Human Body Model) oder durch Kurzschlüsse über die Pins eines Chips auf leitenden Körpern (Charge Device Model) entstehen kann. Diese Entladungen können nicht nur zu einer Veränderung der Funktion, sondern auch zu einer vollständigen Zerstörung der mikroelektronischen Schaltung führen (*Bild 5*). Ziel des Projektes ist es, Schutzschaltungen gegen diese Einflüsse von außen zu entwickeln und somit die Robustheit eines Chips zu erhöhen.

Ein weiteres Arbeitsgebiet des Projektes ist die Entwicklung neuer Modelle zur Beschreibung von Substrateffekten. Aufgrund der kapazitiven Kopplung von Leitungen und Bauelementen gegenüber dem Substrat ist es gerade für die zukünftigen Technologien unerlässlich, die Einflüsse der Substratkopplung auf das Design schon beim Entwurf zu berücksichtigen. In ein gängiges Design Framework wird daher zur Berücksichtigung der Substrateffekte ein im Projekt entwickeltes Tool integriert, mit dessen Hilfe sich Fehler durch auftretende Substratkopplung und damit Redesigns vermeiden lassen.

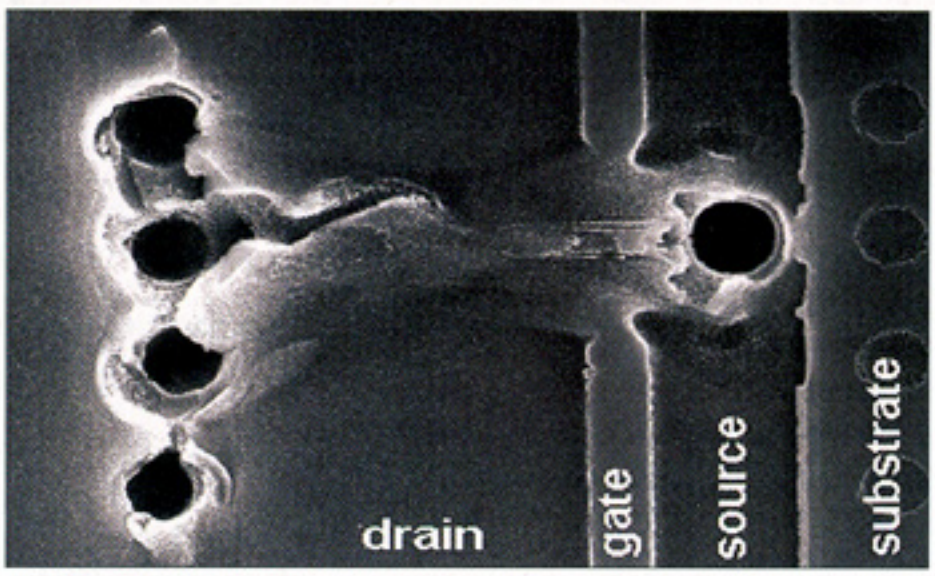
Die ähnlich gelagerte Problematik parasitärer Effekte auf Leitungen ist Gegenstand des Projektes *LEONIDAS* („Leitbahnorientiertes Design applikationsspezifischer Schaltungen"). Konnten die Einflüsse der Leitungen auf das dynamische Verhalten der mikroelektronischen Schaltung vor einigen Jahren noch nahezu vernachlässigt werden, so können sie bereits heute in vielen Anwendungen das Schaltungsverhalten dominieren. Dies führt zunehmend dazu, dass nach bestehenden Regeln funktional korrekt entworfene Schaltungen unter Umständen dennoch nicht funktionsfähig sind. Das Projekt setzt sich zum Ziel, die aus der Verdrahtung resultierenden parasitären Effekte bereits beim Entwurf einer Schaltung in hinreichendem Umfang zu berücksichtigen und somit eine vollkommen neue, leitbahnzentrierte Entwurfsmethodik zu schaffen. Dies erfordert neben der Verbesserung der Modellierung und Extraktion der notwendigen Leitbahnparameter (die überdies unter nunmehr völlig anderen Randbedingungen gewonnen werden müssen) auch an vielen anderen Stellen des Entwurfsablaufs neue Lösungen. Dies geht bis hin zu einem Entwurfsablauf, der in einem einzigen Durchlauf ein Layout generiert, das den Performance-Vorgaben aus der Spezifikation genügt. Durch die gänzliche Vermeidung von Iterationen lässt sich der Entwurf entscheidend beschleunigen.

Ein weiteres Arbeitsgebiet umfasst die Erweiterung von Werkzeugen zur Generierung von Testpattern um die Möglichkeit, detaillierte Informationen aus dem Layout der Leitbahnen mit zu berücksichtigen. Effizienz und Genauigkeit des Testens lassen sich damit dramatisch verbessern, da so erstmals die Informationen aus dem Layout zur Lokalisierung möglicher Fehlerquellen verwendbar sind. Aufbauend auf diesen Arbeiten entstehen Methoden, die den Designer zu einem „first-time-right"-Entwurf hinführen sollen: Zum einen vereinfachen sie Vorhersagen über spätere Layouteffekte, zum anderen das Erstellen von Layout-Constraints.

Test und Diagnose

Eine wesentliche Voraussetzung für die wirtschaftlich erfolgreiche Aktivität im Markt für SoC ist die Verfügbarkeit von effizienten Testmethoden, die den ständig steigenden Anforderungen an die Zuverlässigkeit und Fehlerfreiheit gerecht werden. Hierbei ist es besonders wichtig, dass die Testmethoden unter industriellen Randbedingungen bei der Produktentwicklung und Chipherstellung wirtschaftlich und einfach anzuwenden sind. Das Erarbeiten von qualifizierten und weitgehend standardisierten Testlösungen für verschiedenste Systemmakros und von Hilfsmitteln zur Systemintegration ist Aufgabe des Projektes *AZTEKE* („Applikationsspezifische Testmethodik für hochkomplexe Systeme der Kommunikations- und Kraftfahrzeugtechnik"). Ziel ist es, intelligente Funktionen und Architekturen für den Selbsttest mit eigenem Testprozessor auf SoCs zu entwickeln, welche einen funktionalen Test von außen weitestgehend ersetzen. Die noch benötigte, externe Testausrüstung lässt sich dann darauf reduzieren, parametrische Tests (z.B. Ruhestromaufnahme oder Signalpegel) durchzuführen.

Im Arbeitspaket „Modularer Test für komplexe Systems-on-Chip" stehen neue Testkonzepte und Testabläufe im Mittelpunkt, die bereits in einer frühen Phase des Schaltungsentwurfs eine Aussage über die Testbarkeit der Makros und des Systems erlauben. Weitere Punkte sind die Untersuchung und Implementierung neuer Diagnoseverfahren unter Einbeziehung von Signaturen, die Entwicklung von Algorithmen und Software zur Fehlerlokalisierung



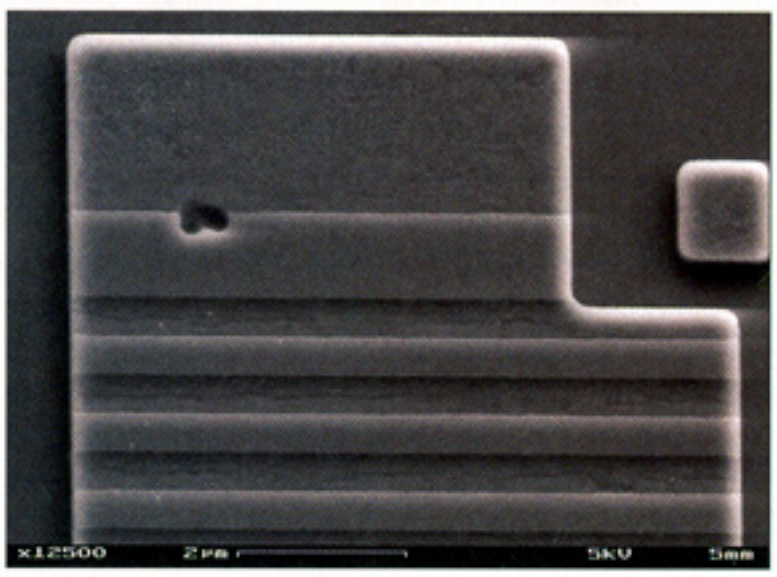


Bild 5. Fehler durch thermische Belastung (links) und Überspannung (rechts).

von Logik- und Memory-Fehlern sowie die Erzeugung von Testmustern zur Erkennung von Bridging-Fehlern in SoC-Designs und ihrer Lokalisierung unter Angabe der Layout-Koordinaten.

Mit steigenden Betriebsfrequenzen bei gleichzeitig abnehmenden Strukturgrößen gewinnt der Performance-Test für integrierte digitale Schaltungen im Rahmen des Produktionstests zunehmend an Bedeutung. Durch die hohen Betriebsfrequenzen sind negative Einflüsse hochfrequenter Signale auf internen und nach außen führenden Leitungen nicht mehr zu vernachlässigen, so dass für den Test der Schaltung ein At-Speed-Test unerlässlich ist. Dieser Test entsteht bislang fast ausschließlich in einem zeitaufwendigen Verfahren, und zwar manuell als funktionaler Test. Das Projekt will nun aber alternative Verfahren für Timing- und Performance-Tests ermitteln, die auf strombasierten Testverfahren beruhen. Gemeinsames technisches Ziel der Partner ist es, neue Test/Diagnose-Methoden und EDA-Werkzeuge zu entwickeln, mit denen sich applikationsspezifische IC-Tests erheblich effizienter und kostengünstiger durchführen lassen.

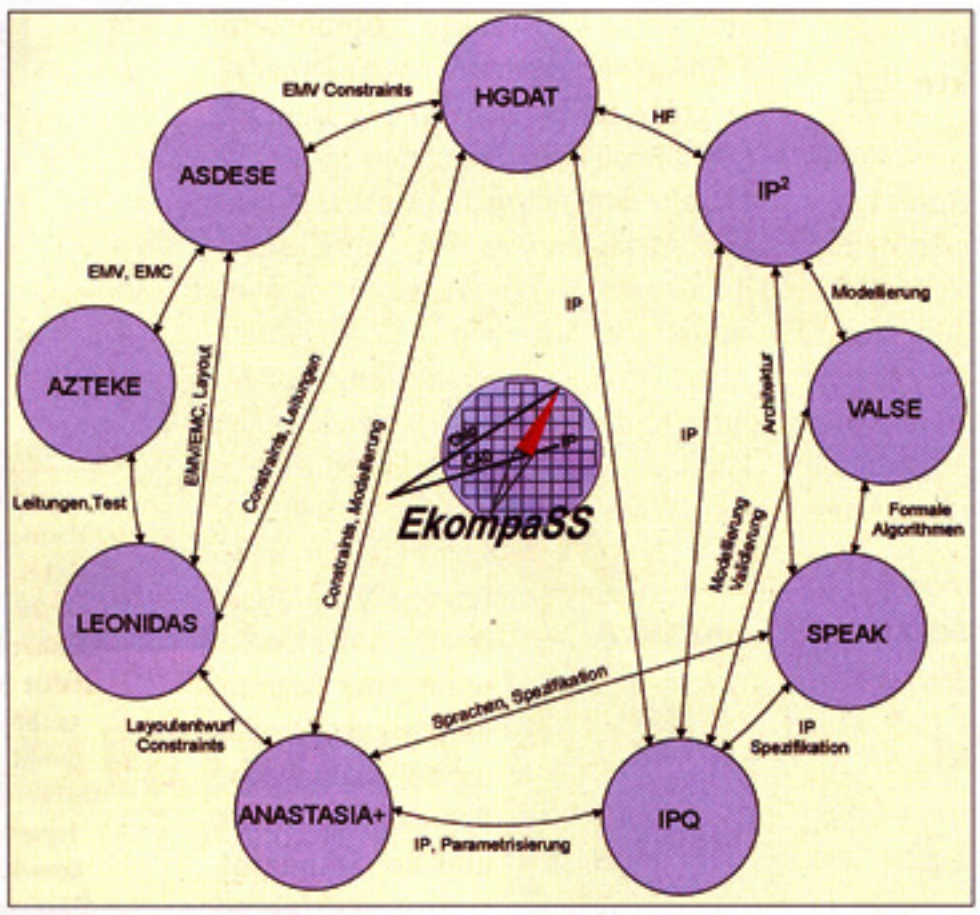


Bild 6. Dargestellt ist ein Überblick, bei welchen Arbeitsgebieten die Projekte miteinander kooperieren. Nur durch diese Interaktion können die beiden Visionen der Projekte erreicht werden: Ermöglichung eines durchgängigen Entwurfs von der Systembeschreibung bis zum Layout sowie die Beherrschung der neuen Anforderungen, die aus den Sub-100-nm-Technologien erwachsen.

Sie kümmert es nicht, ob Ihr SoC-Design auf Anhieb funktioniert hat

Dem Handy-Fan ist es egal, welche Hürden Sie überwinden mussten, um ihn mit der ganzen Welt zu verbinden. Er will einfach das ausgefeilteste Produkt, das je erdacht wurde. Und zwar sofort.
Ein Glück, daß SoC-Designer genau dies mit unseren hochmodernen EDA-Werkzeugen und -Verfahren erreichen können. Daher wandte sich ein weltweit führender Handyhersteller an uns, als er ein revolutionäres Produkt schneller und wirtschaftlicher als alle anderen auf den Markt bringen musste. Dies erklärt, warum Unternehmen weltweit mit innovativen Lösungen von Mentor, Top-Designs in neue Produkte umsetzen.
Weitere Angaben finden Sie im Web unter
www.mentor.com/germany

Mentor Graphics

DIE FAKTEN
> Neue CPU- und DSP-Cores
> IPs von Drittanbietern
> VHDL und Verilog
> Megabytes an Embedded-Code
> Echtzeit-Betriebssystem
> Testbenches zur Verifikation

... aber das erste weltweite Handy zu haben? Das wär's!

REAL TOOLS FOR THE REALLY HARD STUFF

Intensive Kooperation der genannten Projekte unverzichtbar

Da sich die einzelnen Entwurfsschritte eines SoC gegenseitig immer stärker beeinflussen, macht eine isolierte Betrachtungsweise keinen Sinn mehr. Dies hat massive Auswirkungen auf die Projekte zur Weiterentwicklung der Methodik und stellt hohe Anforderungen an die Zusammenarbeit auf verschiedensten Design-Ebenen. Eine intensive Kooperation der genannten Projekte ist unverzichtbar. Die Kooperation, die Diskussion, der Austausch und die Weiterentwicklung der Ergebnisse werden im EkompaSS-Programm durch das edacentrum organisiert und unterstützt.

Bild 6 gibt einen Überblick, bei welchen Arbeitsgebieten die Projekte miteinander kooperieren. Nur durch diese Interaktion können die beiden Visionen der Projekte erreicht werden: Ermöglichung eines durchgängigen Entwurfs von der Systembeschreibung bis zum Layout sowie die Beherrschung der neuen Anforderungen, die aus den Sub-100-nm-Technologien erwachsen. Mit seinen Projekten sowie der intensiven Kooperation dieser Projekte schafft EkompaSS die Voraussetzungen dafür, dass in Deutschland neue Maßstäbe für System-on-Chip-Entwürfe entstehen.

Das edacentrum wird die Verbreitung und Anwendung der Ergebnisse als Informations-Drehscheibe unterstützen sowie weitere ambitionierte Projekte vorbereiten. Es wird ferner alle Kräfte im Bereich EDA in Deutschland bündeln und zentrale Anlaufstelle für alle Fragen zu EDA sein. Bereits jetzt engagieren sich 21 Mitgliedsfirmen, zum Netzwerk gehören noch zahlreiche Partner in den Projekten. Allen Firmen und Forschungseinrichtungen, die an bereits laufenden oder künftigen EkompaSS-Projekten interessiert sind, steht das edacentrum als kompetenter Berater zur Verfügung. Auch bei der Vorbereitung der Beantragung neuer Projekte, der Bildung von Projektkonsortien und bei Standardisierungsverfahren wird Unterstützung gegeben. Die Liste der vertretenen Firmen umfasst bereits jetzt fast alle bedeutenden Firmen der deutschen Mikroelektronik-Branche (*Bild 7*). Weitere wichtige Firmen werden in Kürze dazustoßen. Ein entsprechendes Netzwerk mit Universitäten und Forschungseinrichtungen befindet sich ebenfalls im Aufbau.

Bild 7. Die Liste der im edacentrum vertretenen Firmen umfasst bereits jetzt fast alle bedeutenden Firmen der deutschen Mikroelektronik-Branche.

Detaillierte Information zu den bereits laufenden Projekten erhalten Interessierte auf den folgenden Veranstaltungen:

- IPQ Workshop, Marseille, Frankreich, 24. bis 27. 9. 2002
- ASDESE Workshop, Florenz, Italien, 27. 9. 2002
- MEDEA+ Konferenz, Stresa, Italien, 23. bis 25. 10. 2002

Auf dem VDE-Kongress Networlds 2002 in Dresden (21. bis 23. 10. 2002) und auf der electronica 2002 in München (12. bis 15. 11. 2002) ist das edacentrum als Aussteller vertreten. Weitere Informationen sind im Internet unter www.edacentrum.de, www.bmbf.de (Bundesministerium für Bildung und Forschung) und www.dlr.de/IT/ME/ ekompass.html (Bekanntmachung des Förderkomplexes EkompaSS) abrufbar. *go*

Dipl.-Ing. Dieter Treytnar

studierte an der Universität Hannover Elektrotechnik Fachrichtung Mikroelektronik. Von 1996 bis 2002 war er wissenschaftlicher Mitarbeiter am Institut für Theoretische Elektrotechnik in Hannover. Schwerpunkt seiner Arbeit waren die Untersuchung der Signalausbreitung auf Leitungen sowie die Entwicklung und der Test von Systems-on-a-Chip. Seine Promotion zum Thema „Einfluss parasitärer Effekte auf Leitungssysteme im Sub-Nanometer Bereich auf die Qualität von digitalen Testmustern" liegt demnächst vor. Seit Februar 2002 ist er im edacentrum Mitarbeiter für Öffentlichkeitsarbeit.

E-Mail: treytnar@edacentrum.de

Dr.-Ing Jürgen Haase

studierte in Stuttgart Elektrotechnik und promovierte 1989 über ein Thema der digitalen Signalverarbeitung. Danach hat er zunächst bei der Philips Kommunikations Industrie AG in der Entwicklung für Anwendungen der digitalen Videokommunikation und in der ASIC-Entwicklung gearbeitet. Anschließend war er in mehreren Positionen für die frühere Sican GmbH und jetzige Infineon-Tochter sci-worx GmbH tätig, zuletzt als Abteilungsleiter verantwortlich für Digitales ASIC Design und DesignObjects (IP-Module). Seit Januar 2002 ist er Office Director des edacentrum in Hannover.

E-Mail: haase@edacentrum.de