

**Kont@kt (ROBUST):**

Volker Schöber  
fon: (05 11) 7 62 – 1 96 88  
schoeber@edacentrum.de

**Zum Stand der Technik**

- [1] D. Rittman: *Nanometer Reliability*, [www.tayden.com/publications/nanometer\\_reliability.pdf](http://www.tayden.com/publications/nanometer_reliability.pdf), 2008.
- [2] D. Ernst et al: *Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation*, Intl. Symp. on Microarchitecture, 2003.
- [3] J. Tschanz et al: *Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage*, ISSCC 2002.

**Zur Definition**

- [4] Wikipedia, „Robustheit“, online: <http://de.wikipedia.org/wiki/Robustheit>, 11.3.2010.
- [5] Ackermann, J., Bartlett, A., Kaesbauer, D., „Robuste Regelung“, Springer-Verlag, 1993.

- [6] Highham, N.J. „Accuracy and Stability of Numerical Algorithms“, Society of Industrial and Applied Mathematics, 1996.
- [7] Huber, P.J., „Robust Statistics“, 2nd edition, Wiley, 2009.
- [8] SAE International Standard J1879, „Handbook for Robustness Validation of Semiconductor Devices in Automotive Applications“, April 2007.
- [9] Radetzki, M., Bringmann, O., Nebel, W., Olbrich, M., Salfelder, F., Schlichtmann, U., „Robustheit nanoelektronischer Schaltungen und Systeme“, in: *Zuverlässigkeit und Entwurf*, 4. GMM/GI/ITG-Fachtagung vom 13.–15. September 2010 in Wildbad Kreuth, VDE-Verlag, 2010.

## Europaweit dem Fehler auf der Spur

Das EU-Projekt DIAMOND im siebten Rahmenprogramm

**Das Verbundforschungsprojekt DIAMOND – Diagnosis, Error Modelling and Correction for Reliable Systems Design, Förderkennzeichen FP7-2009-IST-4-248613, wird von der Europäischen Union im 7. Rahmenprogramm gefördert. DIAMOND zielt auf die Verbesserung der Produktivität im Schaltkreis- und Systementwurf, sowie auf die Erhöhung der Verlässlichkeit der resultierenden Systeme ab. Dies soll durch eine integrierte Umgebung für Diagnose und Korrektur von Fehlern erreicht werden.**

**DIAMOND**

Förderkennzeichen:  
FP7-2009-IST-4-248613

**Projektkoordinator:**  
TU Tallinn (Estland)

**Projektkonsortium:**  
Ericsson AB (Schweden)  
IBM (Israel)  
TU Graz (Österreich)  
TU Tallinn (Estland)  
Testonica Lab (Estland)  
TransEDA Systems (Ungarn)  
U Bremen (Deutschland)  
U Linköping (Schweden)

**Webseite:**  
<http://fp7-diamond.eu>

**Motivation**

Steigende Entwurfskosten sind eine der wichtigsten Herausforderungen für die Halbleiter-Industrie. Dabei stellt die Absicherung der funktionalen Korrektheit des Entwurfes eines der größten Probleme dar. Während ausgereifte Werkzeuge zur Entdeckung eines Fehlers im Entwurf zur Verfügung stehen, ist das anschließende Debugging – die Lokalisierung und die Korrektur der Fehlerursache – nur unzureichend automatisiert. Hierzu existieren deutlich weniger Software-Werkzeuge und auch deutlich weniger wissenschaftliche Arbeiten. Abbildung 1.10 stellt den Anteil verschiedener Entwurfsschritte auf einer linearen Zeitskala dar. Es wird ersichtlich, dass etwa zwei Drittel der gesamten Entwurfszeit auf die Verifikation entfallen. Wiederum zwei Drittel der Verifikationsdauer werden durch Lokalisierung und Korrektur verursacht.



Abbildung 1.10: Zeitlicher Aufwand im Entwurf

Ein zusätzliches Problem für die weitere Entwicklung ist die rapide ansteigende Rate sogenannter Soft-Errors, die im Nanometer-Bereich auftreten. In Zukunft werden Soft-Errors in Logikkomponenten eine viel größere Rolle spielen als in Speicherbausteinen, bei denen sie schon heute berücksichtigt werden. Allerdings existieren auch in diesem Bereich noch keine adäquaten Entwurfswerkzeuge, die automatisch analysieren, welche Soft-Errors

die funktionale Korrektheit eines sequentiellen Schaltkreises beeinflussen bzw. stören können.

Das Projekt DIAMOND adressiert die oben genannten Herausforderungen durch eine systematische Vorgehensweise und eine integrierte Umgebung für Lokalisierung und Korrektur von Fehlern auf unterschiedlichen Abstraktionsebenen und aus verschiedenen Quellen.

**Zielsetzung**

Um Hindernisse, die der Fehlerlokalisierung und -korrektur während des Entwurfes sowie von Soft-Errors im Feld im Wege stehen, auszuräumen, werden in DIAMOND folgende Ziele adressiert:

- » Erarbeitung eines einheitlichen Diagnosemodells für Entwurfsfehler und Soft-Errors,
- » Automatisierung der Lokalisierung und der Korrektur basierend auf dem Diagnosemodell, sowohl während des Entwurfs (pre-silicon) als auch im produzierten Chip (post-silicon),

## newsletter edacentrum - Probeauszug

Bestellen Sie sich den kompletten Artikel über [newsletter@edacentrum.de](mailto:newsletter@edacentrum.de)

edacentrum, Hannover, Dezember 2010