



## HERKULES: Hardwareentwurfstechnik für Null-Fehler-Designs

**Ziel von HERKULES ist es, einen Großteil der bei der Verifikation der Kommunikationsstruktur anfallenden Aufgaben formal durchzuführen, höchste Qualität mit überlegener Produktivität zu koppeln und diese Qualität zu einem Produktvorteil zu machen. Für die Verifikation des Gesamtsystemkonzepts wird die simulationsbasierte Verifikation weiterhin benötigt werden. Sie wird aber durch HERKULES-Techniken von einer Fülle von Aufgaben der Codeverifikation entlastet, die so weit besser bewältigt werden können.**

Die in HERKULES entwickelten technischen Verfahren sollen methodisch so aufbereitet werden, dass sie sowohl für Anbieter von integrierten Schaltungen als auch deren Anwender bzw. Integratoren insbesondere unter dem hohen Qualitätserfordernis „Null-Fehler-Design“ einsetzbar werden. Dabei sollen verschiedene Sichtweisen auf die Verifikationsaufgabe berücksichtigt werden. Neben der rein technischen Betrachtung wird beschrieben werden, wie Verifikationsprojekte unter Einbeziehung von HERKULES-Technologie zu planen und zu überwachen sind.

### Durchbruch in der Entwurfstechnik

Im Rahmen des Projekts VALSE „Hochautomatisierte, zertifizierende und skalierende Validierung von System-on-Chip-Entwürfen“ wurde innerhalb von 4 Jahren Entwurfstechnik geschaffen (formale Modulverifikation), die das Gros der Fehler (sog. funktionale Fehler im Gegensatz etwa zu Produktionsfehlern) in Mikrocontrollern und vielen anderen Hardwarebausteinen zu eliminieren vermag. Während bei VALSE noch die Aufbereitung der formalen Basistechnik für die Anwendung auf industrielle Schaltungen im Vordergrund stand, verschob sich danach im Projekt VALSE-XT der Schwerpunkt der Arbeiten auf die systematische Beschaffung und Analyse einer verlässlichen formalen Spezifikation, die dann als Eingabe für formale Prüfverfahren diente. Im BMBF-Projekt VERISOFT wird diese Technik – ergänzt um weitere Beweisverfahren – eingesetzt, um in einem weit vorgeschrittenen, weltweit einmaligen Großversuch nachzuweisen, dass die Entwicklung eines modernen eingebetteten 32-bit-Mikrocontrollers ohne funktionale Fehler technisch machbar und wirtschaftlich ist.

Die neuen Verfahren zur Entwicklung korrekter Hardwarebausteine ermöglichen aber nicht nur die oben diskutierten Produktvorteile. Messdaten aus den VALSE-Projekten und VERISOFT zeigen, dass sich darüber hinaus höchste Qualität mit hoher Produktivität der neuen Verifikationstechnik paart.

### Der nächste Durchbruch – von korrekten Hardwarebausteinen zu korrekten Hardwaresystemen

Früher wurden Hardwaresysteme ausschließlich durch Verdrahtung von Chips auf einer Leiterplatte gebaut.

Mit heutiger Fertigungstechnologie kann die Funktionalität kompletter Leiterplatten auf einem einzigen Chip, einem so genannten System-on-Chip (SoC), integriert werden. So werden Verbesserungen bezüglich Fläche, Stromverbrauch und Robustheit möglich, die Produktinnovationen quer durch alle Branchen treiben.

Die Charakterisierung dieser SoC ist eine Ansammlung von Superlativen: Ein solcher Chip enthält bis zu einige Hundert Millionen Transistoren und wird von Hunderten von Entwicklern in ca. 18 Monaten entwickelt. Die Umsatzerwartungen liegen jenseits von 500 Millionen Euro. Auch die Fehlerrisiken sind spektakulär: Die Suche nach Designfehlern verschlingt über 60 % des FuE-Budgets. Schwere Fehler, die nur beim Test erster Chips gefunden werden, erfordern oft mehrere „Re-Spins“, die jeweils schon bald über 1 Million Euro kosten werden. Unterschätzte Verifikationsaufwände, die die Markteinführung um 3 Monate verzögern, können bis zu 25 % des erwarteten Umsatzes vernichten.

Selbst große Firmen können sich daher nur wenige solcher aufwändigen Entwicklungen zeitgleich leisten.

### Zusammensetzung des Projektkonsortiums:

#### Partner:

Concept Engineering GmbH  
Infineon Technologies AG  
Alcatel-Lucent  
Melexis GmbH  
OneSpin Solutions GmbH  
Robert Bosch GmbH

#### Unterauftragnehmer:

IMMS Ilmenau  
Technische Universität Chemnitz  
Technische Universität Kaiserslautern  
Universität Bremen  
Universität Duisburg-Essen  
Universität Karlsruhe

#### Laufzeit:

01.12.2006–30.11.2009

#### Förderkennzeichen:

01 M 3082

#### Homepage:

<http://www.edacentrum.de/herkules>

**Newsletter edacentrum Probeauszug**  
Bestellen Sie sich den kompletten Artikel  
über [newsletter@edacentrum.de](mailto:newsletter@edacentrum.de)

edacentrum, Hannover, April 2009