



MAYA – Neue Methoden für den Massiv-Paralleltest im Hochvolumen, Yield-Learning und beste Testqualität

Ein Bericht von den Erfolgen des zur Effektivitätssteigerung des Tests integrierter Schaltungen angetretenen Ekompas-Projekts nach zwei Jahren Projektlaufzeit

Der vorliegende Artikel stellt das Projekt MAYA [4, 14, 16] und den derzeitigen Stand der Ergebnisse vor. Die Arbeiten werden von Infineon Technologies AG (IFX) und NXP Semiconductors GmbH (NXP) in Zusammenarbeit mit Mentor Graphics Development GmbH (MGC), der Universität Potsdam (AG Fehler-tolerantes Rechnen), dem IIS-EAS Dresden (Institut für Integrierte Schaltungen), der RTG (Redemund und Thiede Datentechnik GmbH), der Universität Stuttgart (Institut für technische Informatik – ITI) und der Arbeitsgruppe Rechnerarchitektur (AGRA) der Universität Bremen durchgeführt.

Gesamtziel des Vorhabens

Moderne Schaltungen zeichnen sich durch zunehmend komplexere Leitungsstrukturen aus, die über eine große Anzahl von Metallebenen verlaufen. Auf diesen Leitungen, vom Treiber bis hin zu den verschiedenen Empfängern, können Haftfehler, Unterbrechungen, Verzögerungsfehler oder Kurzschlüsse auftreten. Schaltungsmodelle, die nur dem logischen Verhalten der realen Schaltung entsprechen und nicht spezielle Fehler auf diesen sehr komplexen Verdrahtungsstrukturen berücksichtigen, werden für die automatische Testgenerierung in Zukunft nicht mehr ausreichend sein. Um zukünftig die notwendige Qualität beim Produktionstest zu erreichen, müssen für neue Halbleitertechnologien zusätzliche Tests für neue Fehlermodelle bereitgestellt werden. Ziel ist es, Verfahren zu erforschen und zu entwickeln, die es ermöglichen, die notwendigen Testmuster für die Produktionsfehler an allen Leitungssegmenten in Nanotechnologien (< 100 nm) zu berechnen.

System-in-Package (SiP) Architekturen werden in Zukunft die Ansammlung verschiedenster klassischer Produkte in einem einzigen Gehäuse ermöglichen. Die immer weiter fortschreitende Reduzierung der Strukturbreiten in der Nanoelektronik ermöglicht dabei zum einen immer höhere Packungsdichten und verschiebt zum anderen die Grenzfrequenzen in immer höhere Bereiche. Um solche anspruchsvollen Module noch kostengünstig im Hochvolumen testen zu können, müssen Selbsttestlösungen für alle Mixed-Signal-Komponenten eines SoC (System On Chip) zur Verfügung stehen. Gelingt es, ausschließlich digitale Ressourcen auf dem Chip sowohl für die Erzeugung der analogen Testsignale als auch für die Erfassung und Weiterverarbeitung der Testantworten zu verwenden [29], können teure Analog und Mixed-Signal Tester durch kostengünstigere, übliche Digitaltester ersetzt werden. Durch den hochparallelen Test vieler Bausteine gleichzeitig wird ein signifikanter Beitrag zur Reduzierung der gesamten Testkosten geleistet.

Um den zukünftigen Qualitätsanforderungen, wie z. B. der Vorgabe, dass integrierte Bausteine im Sicherheits- und Automobilbereich nicht einen einzigen Fehler ent-

halten dürfen (Null Fehler Vorgabe), gerecht werden zu können, werden neue Methoden und Werkzeuge [12, 26, 27, 28] erforscht und entwickelt. Das Projekt MAYA will diesen Herausforderungen mit neuesten Techniken zur massiv parallelen Datenerfassung auf dem Chip in Kombination mit innovativen Lösungen für den Multi-Site-Test und die schnelle Datenübertragung off-Chip begegnen. Multi-Site steht hier für den Massiv-Paralleltest, bei dem möglichst viele Chips oder SiPs beim Testen parallel angesteuert und ausgelesen werden können. Durch deren Einsatz soll sowohl im schnellen Technologieanlauf als auch im Produktionstest die dringend gebotene Durchsatzsteigerung beim Hochvolumentest mit der geforderten Qualität erzielt werden.

Dieses Verbundvorhaben hat daher das Gesamtziel, Methoden und Verfahren des parallelen Tests vieler Bauteile im Design- und Produktionsumfeld zu erforschen und zu entwickeln, die – ohne Einschränkung in der Qualität – die Kosten für den Hochvolumentest integrierter Schaltungen um Faktoren reduzieren [25]. In Tabelle 1 sind die geplanten Ziele von MAYA zusammengefasst.

Newsletter edacentrum Probeauszug
Bestellen Sie sich den kompletten Artikel
über newsletter@edacentrum.de

edacentrum, Hannover, Oktober 2008