

Grund unter strenger Zeitbegrenzung. Dadurch ist auch die Zahl der zu messenden Größen und Zellen limitiert. Die gewonnenen Ergebnisse bilden die Basis für die darauf folgende Erstellung von Modellen zur Beschreibung der Variation und Alterung von Transistorparametern für Analog- und Mixed-Signal-Schaltungen. Als Alternative zu reinen Monitorstrukturen ist angedacht, das Produkt selbst als „Monitor“ zu verwenden und die Analysefähigkeit relevanter Strukturen im Produkt über zu erarbeitende Maßnahmen sicherzustellen.

Ein weiterer Beitrag liegt in der Analyse und Entwicklung von Modellierungsansätzen für die Beschreibung von Zuverlässigkeitseffekten komplexer digitaler

Schaltungen auf höherer Entwurfsebene. Dadurch wird eine „Zuverlässigkeits-Simulation“ auf Produktebene und damit auch eine Optimierung auf eine spezifische Produkthanforderung in sehr frühen Entwurfsphasen möglich. Dazu sollen die physikalischen Vorgänge von der Struktur- und Bauelementebene (Verdrahtung, Transistoren, etc.) auf die Schaltungs- und später auch auf die Architekturebene transferiert werden. Die Quantifizierung der Effekte und ihrer schaltungstechnischen und produktspezifischen Auswirkungen ist die Grundvoraussetzung, um in einer späteren Phase gezielte Erweiterungen in den Entwurfsprozess einzubringen. Sie dient auch als Basis zur Entwicklung von Monitorstrukturen.

The Verification Productivity Revolution: Intelligent Testbench Automation

By Mark Olen, Product Manager and Jay O'Donnell, Product Applications Engineer, Mentor Graphics Corporation

Unless you've just returned from a seven-year sabbatical trekking across the Himalayas, you've no doubt heard that the functional verification gap is one of the leading causes of design delays, project cost overruns, hardware respins, firmware patches, field returns, and sleepless nights for engineering managers.

There are nearly as many trends, data points, analyses, and postulates as there are PowerPoint™ slides presented by marketers to explain them all in painful detail. Designs are getting more complex. Larger RTL designs contain more errors. Each subsequent design generation contains more functional errors to detect and debug. Design automation and design productivity are outpacing functional verification. Enough already! Perhaps the most interesting phenomenon is that the ratio of designers to verification engineers has inverted. In the early 1990s, it was not uncommon for an engineering team to be staffed with one verification engineer for every two or three designers. Now the converse is more common than not. So why do semiconductor integration and design productivity continue to track Moore's Law, while functional verification seems to lag behind? You'd think advances in verification technology would enable functional testing to keep pace with design complexity. Or is there a difference between the ways design and verification have been automated. Let's take a closer look.

The Design Productivity Explosion

In the early 1990s, a discontinuity occurred in design creation methodology. While schematic capture technology continued to experience evolutionary improvements, the introduction of logic synthesis presented a revolutionary gain in design productivity of over 10X.

This discontinuity exhibited a combination of three attributes. It raised the level of abstraction in which designs could be expressed, from gates and netlists to RTL. It accomplished this in a standard language that was accessible to all hardware designers and tool

Newsletter edacentrum Probeauszug
Bestellen Sie sich den kompletten Artikel
über newsletter@edacentrum.de

edacentrum, Hannover, Oktober 2008