

# MAYA – Neue Methoden für den Massiv Paralleltest im Hochvolumen, Yield Learning und beste Testqualität

von Sebastian Sattler und Jürgen Schöffel

Der vorliegende Artikel stellt den derzeitigen Stand der Ergebnisse in MAYA ([1]) vor. Die Arbeiten werden von Infineon Technologies und NXP Semiconductors in Zusammenarbeit mit der Universität Potsdam (AG Fehlertolerantes Rechnen), dem IIS-EAS Dresden (Institut für Integrierte Schaltungen), der RTG (Redemund und Thiede Datentechnik GmbH), der Universität Stuttgart (Institut für Technische Informatik) und der Arbeitsgruppe Rechnerarchitektur (AGRA) der Universität Bremen durchgeführt.

## Testverfahren für die Datenerfassung beim Massiv-Paralleltest

Ausgangspunkt für die Weiterentwicklung der Methode der Datenkompression und On-Chip-Speicherung ist das Konzept des On-Chip-Vergleichs, bei dem die Testantworten auf dem Chip gespeichert werden ([2]). Im Berichtszeitraum wurden zwei verschiedene Varianten für die Speichereinheit entwickelt, bei denen mindestens 256 kompaktierte Diagnosedaten gleichzeitig auf dem Chip abgespeichert werden können. In der ersten Variante wird der absolute Wert des Zeitpunktes gemeinsam mit der kompaktierten Fehlerinformation in eine Speichereinheit geschrieben. Dabei wird – wie auch in der zweiten Variante – die Fehlerinformation maximal komprimiert, damit die auf dem Chip benötigte Fläche minimiert wird. Aus diesem Grund werden höchstens 2-Bit-Fehler zur Diagnose ausgewertet. Fehler mit mehreren fehlerhaften Bits werden nur als „fehlerhaft“ gekennzeichnet, aber nicht weiter analysiert. In der zweiten Variante wird jeweils die zeitliche Differenz zwischen zwei Fehlern gemeinsam mit der Fehlerinformation auf dem Chip gespeichert. Eine entsprechende Kontrollstruktur, welche einen optimalen Zwischenspeicher enthält, wird entworfen. Diese beiden Speichervarianten werden in ihrem Aufwand für verschiedene Technologien verglichen. Ebenso wurde untersucht, wie sich die Ersetzung eines Speichers mit voller Wortbreite durch zwei Speicher mit kleiner Wortbreite in den verschiedenen Speichertechnologien auf den Flächenbedarf auswirkt.

Als Alternative zur Implementierung auf dem Chip wird auch die Realisierung der Einheit zur Kompaktierung, Maskierung und Speicherung auf einem FPGA untersucht. Auf dem FPGA ist die Fläche nicht wesentlich beschränkt und eine so hohe Datenkomprimierung deshalb nicht nötig. Dadurch wird eine höhere Diagnoseauflösung ermöglicht. Auch ist es möglich, über die zunächst angedachten 256 fehlerhaften Testdaten hinaus weitere Fehlerinformation abzuspeichern, welche bei Bedarf nach dem Test ausgewertet werden können. Weiterhin wird die Kompaktierung eines X-

behafteten Datenstroms durch einen im Vergleich zum Testtakt (Makrotakt) beschleunigten Abtasttakt (Mikrotakt) eingeführt und untersucht. Es wird gezeigt, dass sich durch die Auswahl von 1–2 kompaktierten Testdaten pro Makrotakt durch den Tester die Toleranz von X-Werten erheblich verbessern lässt, ohne dass dazu wesentlich zusätzlicher Hardwareaufwand erforderlich ist. Ergebnisse dieser Arbeit sind in zwei Publikationen im Detail beschrieben ([3], [4]).

## Effiziente Übertragung von sehr großen Datenmengen

Im Anschluss an die grundlegenden Untersuchungen im Bereich der Datenerfassung am Tester (ATE – Automatic Test Equipment) wurde die weitergehende Verarbeitung der Diagnose-Daten untersucht. Es wurde ein Konzept entwickelt, welches die Erzeugung und Übertragung von Diagnosedaten so gezielt steuert, dass der Diagnoseflow bei der Speicherung der Daten nicht überlastet wird. Des Weiteren wurde ein Ansatz definiert, mit dem die korrekte Verarbeitung von Datenpaketen in dem Diagnoseflow kontrolliert und fehlerhafte Verarbeitungsschritte schnell identifiziert werden können. Dieser Ansatz erlaubt zudem eine flexible Parallelisierung der einzelnen Prozessschritte zur Erhöhung des Datendurchsatzes ([5]). Als Abschluss der Konzeptphase wurden eine erste Abschätzung des Rechen- und Speicherbedarfes zur Dimensionierung von Flow und Datenbank erstellt und die notwendigen Ressourcen zur

## Zusammensetzung des Projektkonsortiums:

### Partner:

» Infineon Technologies AG  
» NXP Semiconductors Germany GmbH

### Unterauftragnehmer:

» Fraunhofer-IIS, EAS  
» Redemund & Thiede Datentechnik GmbH  
» Universität Bremen  
» Universität Potsdam  
» Universität Stuttgart

### Förderkennzeichen

01 M 3172

### Laufzeit des Vorhabens:

01.06.2006 – 31.05.2009

## Newsletter edacentrum Probeauszug

Bestellen Sie sich den kompletten Artikel über [newsletter@edacentrum.de](mailto:newsletter@edacentrum.de)

edacentrum, Hannover, Dezember 2007