

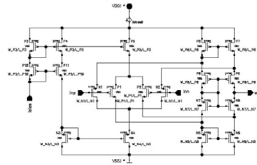
Systematischer Analog/Mixed-Signal-Entwurf und Designsicherheit

DfY / DfM – Design for Yield / Design for Manufacturability

Management der technologie-spezifischen Entwurfs-Empfindlichkeit und Stabilität gegenüber Einflüssen und Schwankungen im Herstellungsprozess

Beispiel:

Complementary-Folded-Cascode-Operational-Amplifier in 130nm-Technologie (verwendetes Tool: WiCkeD von MunEDA):



Einflussparameter auf die Charakteristik einer Schaltung:

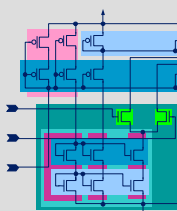
- Technologie
- Topologie
- Dimensionierung
- Spezifikationen

Schritt 1:

Automatische Strukturerkennung und Aufstellung der strukturellen Nebenbedingungen (Design Constraints)

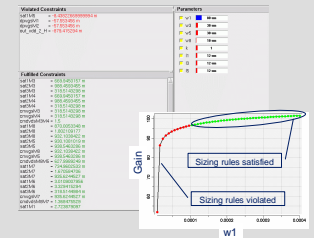
Ergebnis:

Große Zahl von Design Constraints, teilweise verletzt



- Current mirror
- Levelshifter
- Diff. pair
- 4-Transistor-Curr.mirr.
- Current mirror bank
- Levelshifter(-bank)
- Cascode Curr.mirr.
- Casc. Curr.mirr. bank
- Differential stage

Automatische Strukturerkennung (Sizing Rules)



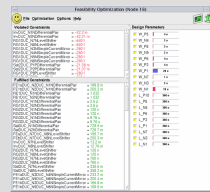
Schritt 2:

Feasibility-Optimierung

Optimierung der Schaltung auf Einhaltung der strukturellen Nebenbedingungen mit gewissem Sicherheitsabstand

Ergebnis:

Alle Design Constraints erfüllt



Einhaltung struktureller Nebenbedingungen

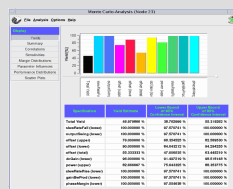
- Einhaltung garantiert funktionierende und robuste Schaltungen
- Nominal-Optimierung mit verletzten strukturellen Nebenbedingungen führt oft zu Fehlern bzw. nicht-robustem Schaltungsverhalten

Schritt 3:

Nominal-Optimierung

- Optimierung der Schaltung auf Einhaltung von Entwurfs-Spezifikationen z.B. bezüglich Verstärkung, Slew-Rate, etc.
- Nominal-Diagnose/Empfindlichkeits-Analyse
- Automatische Optimierung für Nominal-Parametersatz

Ergebnis: Parametrische Ausbeute 47%

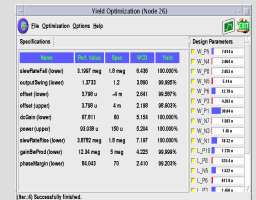


Schritt 4:

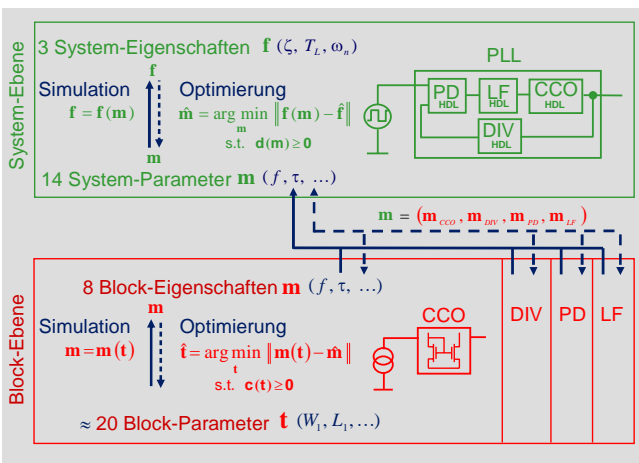
Design-Zentrierung inkl. Ausbeute-Optimierung

- Automatische Design-Zentrierung unter Berücksichtigung lokaler und globaler Prozessschwankungen sowie Betriebsschwankung

Ergebnis: Parametrische Ausbeute >99%



Analoger Systementwurf - Hierarchische Simulation und Optimierung



Hierarchische Systembeschreibung

- Partitionierung des Systems in funktionale Blöcke
- Beschreibung auf **Block-Ebene**: Transistor-Netzlisten
- Beschreibung auf **System-Ebene**: Verhaltensmodelle (z.B. VHDL-AMS)

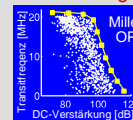
Hierarchische Simulation:

- Modell-Kalibrierung: **Bestimmung der Block-Eigenschaften** und Eichung der Modelle
- System-Simulation: **Schnelle Simulation** mit geeichten Verhaltensmodellen
- **Beschleunigung > 150-fach.**

Hierarchische Optimierung:

- Zentrale Bedeutung: Sizing rules $d(m)$ auf System-Ebene
- Pareto-Fronten beschreiben **Leistungsfähigkeit der Blöcke**

• Analyse der Leistungsfähigkeit



• Topologievergleich

