Leonidas

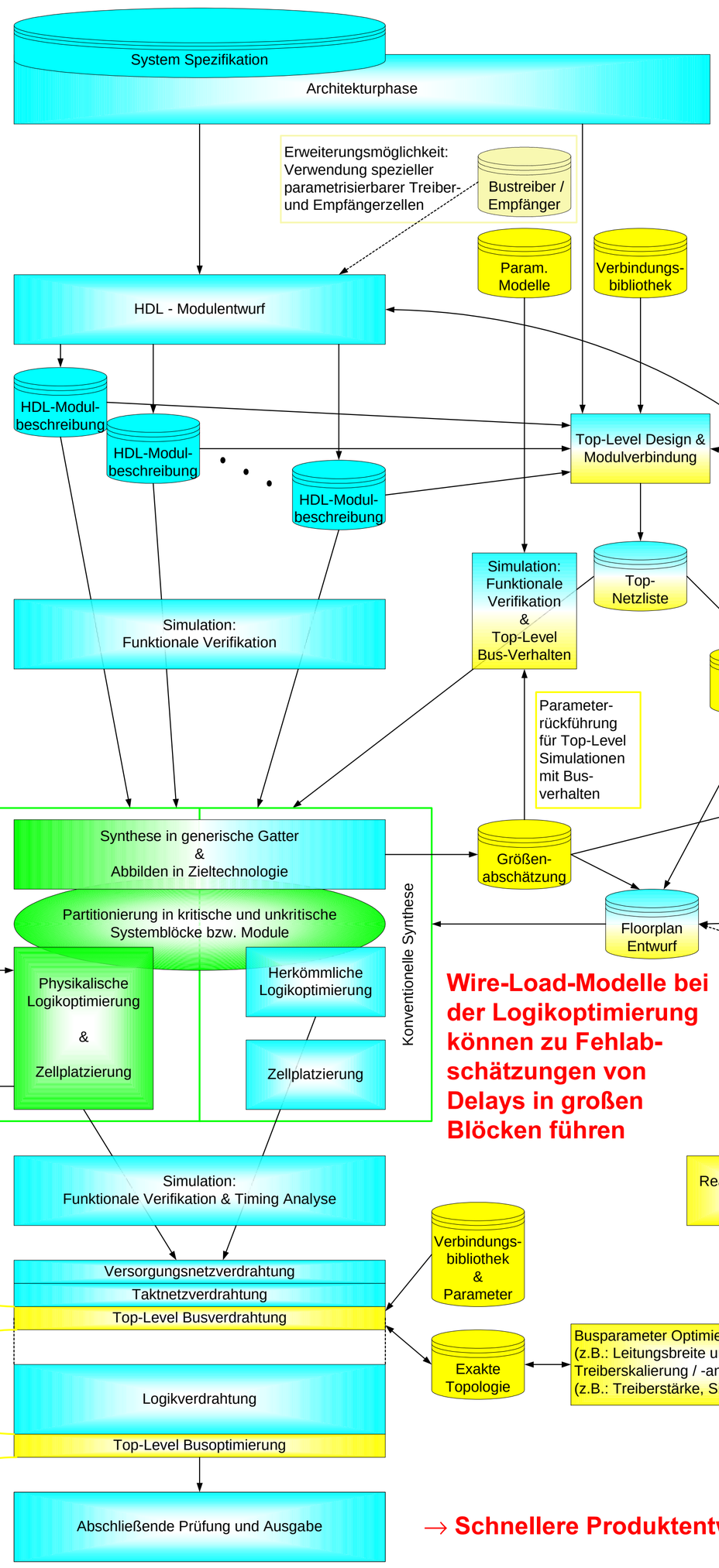
EkompaSS Workshop 2003 in Hannover, 30. April 2003

TP 3.1, Mixed Signal Design Flow unter Verdrahtungsaspekten für Broadcast Media Applications

Vorschlag zur Erweiterung der Vorgehensweise beim Entwurf digitaler integrierter Systeme

Atmel Germany GmbH, Universität Ulm

Bundesministerium für Bildung und Forschung



Ungenaue Delayabschätzungen in Verbindungsstrukturen können zu Iterationen bei der Produktentwicklung führen

Wird ein Bus mit herkömmlichen Verdrahtungs-werkzeugen automatisch verdrahtet, so wird jede Leitung oder jedes einzelne Netz eines Busses einzeln betrachtet. Das Ergebnis einer solchen Verdrahtung ist im Bild oben dargestellt. Die Leitungen, welche mit zunehmender Designgröße immer länger werden können, können dadurch vielen Störungen ausgesetzt sein und können selbst Störungen in ihrer direkten Umgebung verursachen. Außerdem ist eine solche Struktur sehr schlecht oder gar nicht vorhersagbar. Um die Vorhersagbarkeit zu erhöhen sollen derartige Strukturen in einem erweiterten Design-Flow vermieden werden. Es soll eine Bibliothek angelegt werden, welche Elemente globaler Verbindungsstrukturen in Abhängigkeit von gewissen Parametern wie Busbreite, Leitungsbreite, Schirmleitungen, Länge, Knicke, Vias, ..., enthalten. Durch eine Konstruktion der Verbindungsstrukturen aus einer Bibliothek, werden diese, bis auf einige wenige Parameter, vorhersagbar. Es können frühzeitig die Grenzen einiger Parameter für die Realisierbarkeit berechnet werden und ggf. bereits während der Schaltungsentwicklung auf eine andere Busstruktur oder ein anderes Datenübertragungsverfahren ausgewichen werden.
Eine Berücksichtigung von Optimierungs-algorithmen bei der Berechnung von Parametergrenzen sollte zu einer genügend genauen Abschätzung von Top-Level Verbindungsstrukturen während der Schaltungsentwicklung führen.

Die Kenntnis der Struktur und der Parameter von Top-Level Verbindungsstrukturen lässt frühzeitige Aussagen über deren Zeitverhalten zu. Dieses Zeitverhalten kann bereits während der Phase der Schaltungsentwicklung in Top-Level Simulationen einfließen.

Frühzeitige Problemerkennung und Möglichkeit zur schaltungstechnischen Problembehebung

Eine schnelle Iteration zur Parameteranpassung der Leitungsmodelle ohne zeitaufwendige Verifikationsschritte

Wire-Load-Modelle bei der Logikoptimierung können zu Fehlab-schätzungen von Delays in großen Blöcken führen

Frühzeitige Problemerkennung → Vermeidung von Iterationen

Iterationen aufgrund von Abgeschätzungsungenauigkeiten in globalen Verbindungsstrukturen sollten durch den erweiterten Flow vermieden oder wenigstens deren Anzahl reduziert werden

Konvergenz der Delayabschätzung → Weniger Synthesezyklen

Verwendung von vorde-finierten Busstrukturen aus einer Verbindungs-bibliothek. Die Verdrahtung erfolgt zunächst in den obersten Metallebenen

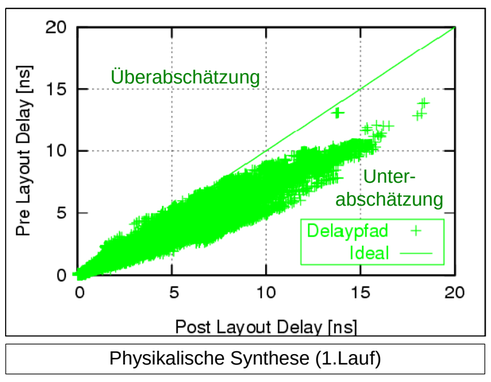
Falls möglich, nötig und sinnvoll können die Top-Level Verbindungs-strukturen in tiefere Metallebenen verlagert werden

→ Schnellere Produktentwicklung möglich

Legende

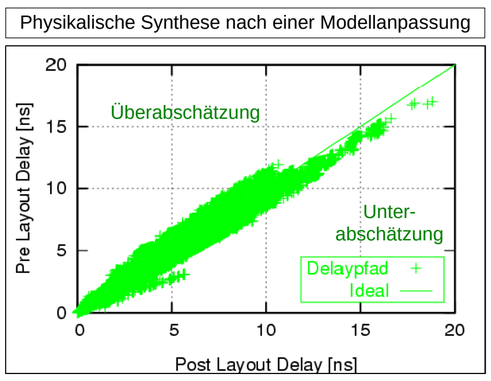
- Herkömmlicher Flow
- Einsatz physikalischer Synthese
- Betrachtung von Top-Level Verbindungs-strukturen

Vergleich von Pre- und Post-Layout-Delay unter Verwendung herkömmlicher bzw. physikalischer Synthese

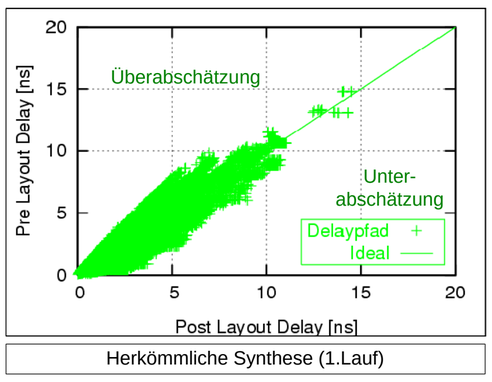


Physikalische Synthese (1.Lauf)

Physikalische Synthese nach einer Modellanpassung

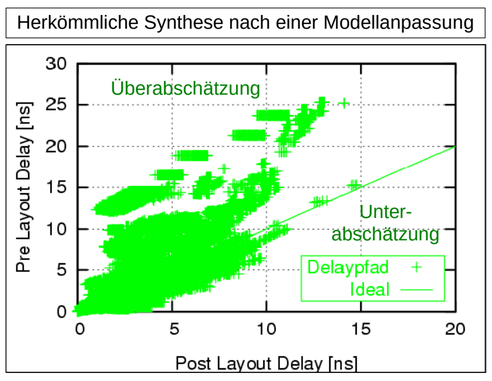


Bei neuen Methoden zur Berücksichtigung von Leitungslängen während der Synthese, der physikalischen Synthese, werden die Pfaddelays während der Logikoptimierung nicht mehr auf der Basis von Wire-Load-Modellen abgeschätzt, sondern es wird eine Standardzellplatzierung durchgeführt und die tatsächlichen Abstände zwischen den Zellen auf der Basis von Steiner-Routes zur Leitungsab-schätzung verwendet. In den Diagrammen links und rechts wurde die Abschätzung des Pfaddelays nach der Synthese mit dem tatsächlichen Pfaddelay nach der Verdrahtung verglichen. Im ersten Syntheseschritt zeigt sich ein gewisser systematischer Fehler bei der physikalischen Synthese (links oben). Dieser kann durch einen zweiten Lauf verringert werden, wodurch die abgeschätzten Pfaddelays gegen die tatsächlichen konvergieren und eine gute Delayabschätzung während der Synthese folgt (links unten). Die herkömmliche Synthese liefert bereits im ersten Durchlauf relativ gute Ergebnisse. Allerdings nehmen die Abweichungen vom tatsächlichen Delay mit der Designgröße zu. Ein zweiter Syntheselauf mit angepassten Modellen führt zu einer exzessiven Überabschätzung, wodurch das Design zwar möglicherweise realisierbar wird aber nicht optimiert ist.
Diese Untersuchungen führen zu einer Aufteilung der Synthese im Flow. Für kritische Designblöcke soll die physikalische Synthese mit einer schnellen Iteration zur Modellparameteranpassung verwendet werden, wohingegen für kleine und unkritische Designblöcke die herkömmliche Synthese verwendet werden soll da diese ausreichend gute Ergebnisse liefern kann und im Allgemeinen schneller ist.



Herkömmliche Synthese (1.Lauf)

Herkömmliche Synthese nach einer Modellanpassung



Diese Arbeit beruht auf Untersuchungen, welche im Rahmen des Förderprojekt Leonidas in enger Zusammenarbeit der Abteilung Allgemeine Elektrotechnik und Mikroelektronik der Universität Ulm und der Abteilung Digital Signal Processing / COM224 der Atmel Germany GmbH durchgeführt wurden. Dem Poster liegen außerdem folgende Veröffentlichungen zu Grunde.

Literatur

[1] International Technology Roadmap For Semiconductors, 2001 Edition

[2] International Technology Roadmap For Semiconductors, 2002 Update

[3] P. Gopalakrishnan, A.Odabasioglu, L. Pileggi, S.Raje. An Analysis of the Wire-Load Model Uncertainty Problem. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 21 : pp. 23-31, Jan. 2002.

Markus Tahedl
Allgemeine Elektrotechnik und Mikroelektronik
Universität Ulm
Albert-Einstein-Allee 43
89081 Ulm
markus.tahedl@e-technik.uni-ulm.de

Werner Brugger
Digital Signal Processing / COM224
Atmel Germany GmbH
Lise-Meitner-Straße 15
89081 Ulm
werner.brugger@hno.atmel.com

IMS
Institut für Mikroelektronische Systeme
Universität Hannover

ATMEL
BOSCH
cadence
Infineon technologies
PDF/SOLUTIONS aiss - DIVISION
PHILIPS Philips Semiconductors GmbH