

Im Rahmen des **IPQ**-Projekts wurden in enger Kooperation zwischen AMD Saxony und dem Fraunhofer IIS/EAS innerhalb von **AP3** drei Themen bearbeitet. In **AP3-T1** entstand ein *Analyse-Framework*, welches die Erstellung konfigurierbarer und generierbarer Coding Style Analyser ermöglicht. Arbeiten in **AP3-T2** umfassten die Erstellung einer *Regression Test-Suite*, auf deren Grundlage Werkzeuge zur Taktomänensynchronisation evaluiert wurden. Darauf aufbauend ist ein *statisches Verfahren zur Analyse von Synchronisationsstrukturen* entwickelt worden. Die Evaluierung *formaler Verifikationsmethoden* im praktischen Einsatz war Bestandteil der Arbeiten in **AP3-T3**.

Konfigurierbare und Generierbare Analyser

Framework-basierende Analyser

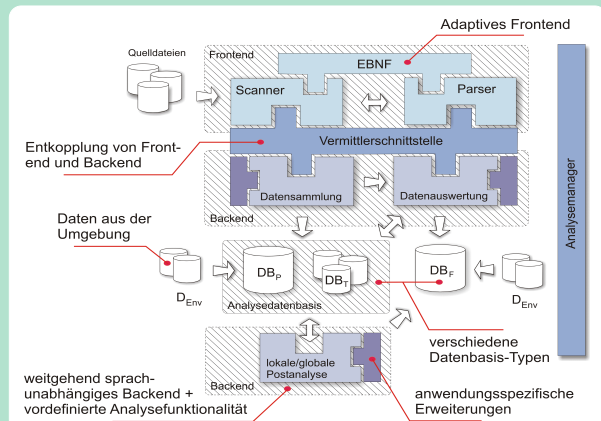
Probleme kommerzieller Analyser

- fehlende oder schlecht unterstützte Möglichkeit der Erweiterung um firmen- bzw. anwendungsspezifische Kodierrichtlinien
- verschiedene, sich ändernde und unterschiedliche Anforderungen an einen Analyser

Entwicklung eines Analyse-Framework mit folgenden Zielen

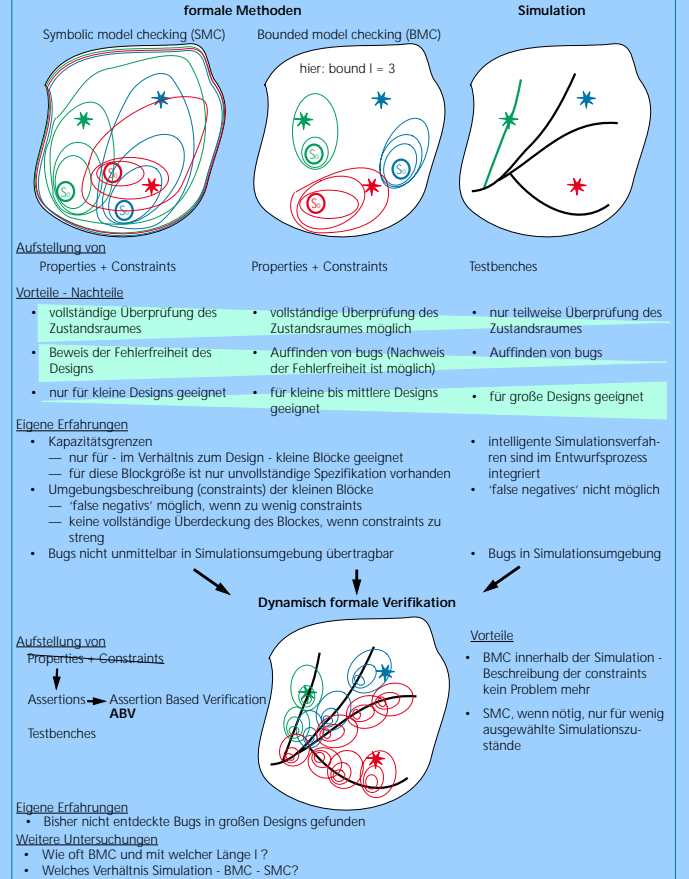
- **Flexibilität.** Gezielte Ergänzung kommerzieller Systeme, und damit flexibel gegenüber Änderungen der zu überprüfenden Kodierrichtlinien; außerdem schnell Analyser erstellbar, für die noch keine kommerziellen Tools existieren
- **Erweiterbarkeit.** Definiertes und einheitliches Design, um Framework leicht an zukünftige Aufgaben anpassen zu können
- **Einfachheit.** Schnelle und einfache Implementierung von Richtlinien auch für *Laien*
- **Benutzerfreundlichkeit.** Satz vordefinierter Analysefunktionalität zur schnellen Implementierung von Kodierrichtlinien
- **Effizienz.** Nicht signifikant langsamer als per Hand erstellte Systeme

Analyse-Framework Architekturüberblick



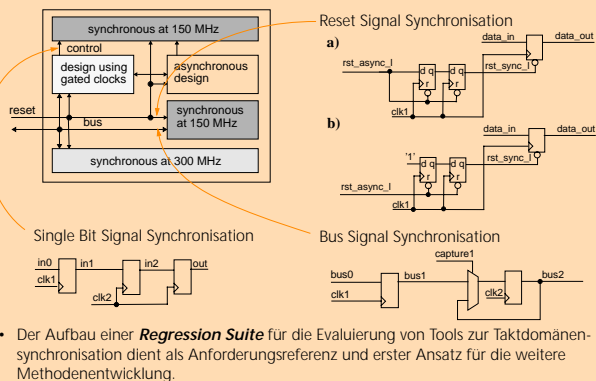
IP Verifikation durch formale Methoden

Kombination von Verifikationsmethoden



Integrationsfähigkeit von IP

Anforderungsanalyse zur Taktomänensynchronisation



Methoden- und Verfahrensentwicklung zur Bus-Synchronisations-Analyse

Problemstellung

- Hauptproblem bei der Verifikation komplexer Systeme nach korrekter Synchronisation zwischen Taktomänen ist, dass Busse und Single-Bits unterschiedliche Synchronisationsschaltungen erfordern

Extraktion von Bussen durch statische Analyse (Abb.)

- Ein erarbeiteter Ansatz zeigt, wie Busse aus komplexen HDL-Beschreibungen anhand der Schaltungsstruktur gefunden werden können.
- Der Ansatz wurde in einem SW-Prototypen umgesetzt und wird derzeit evaluiert.

