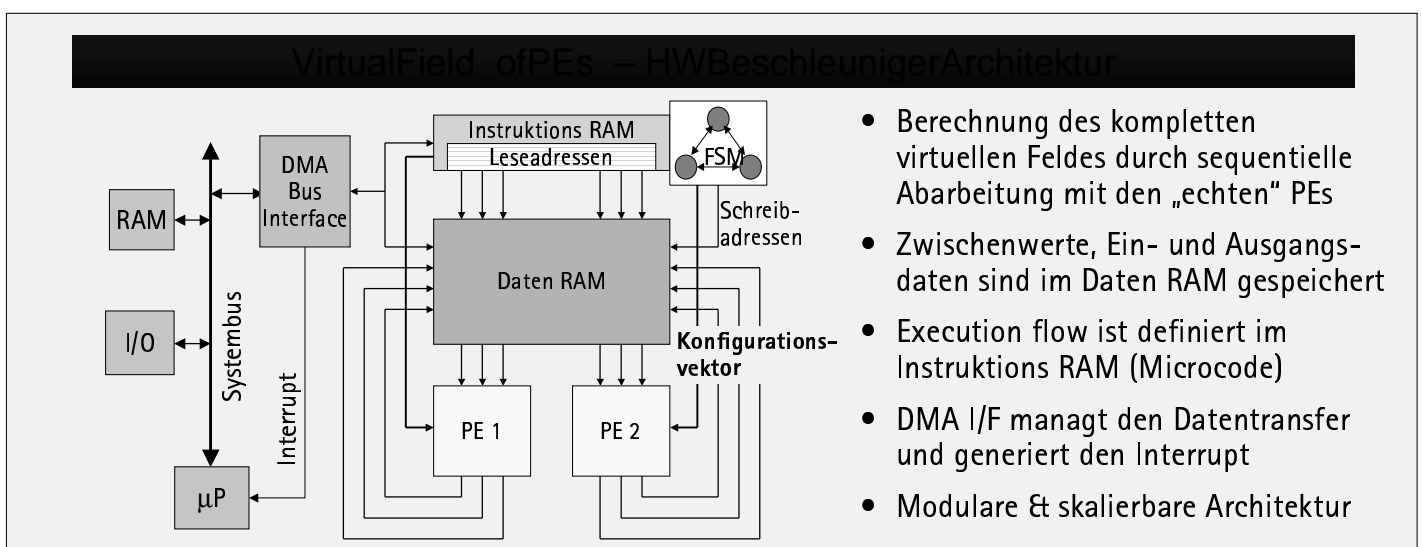
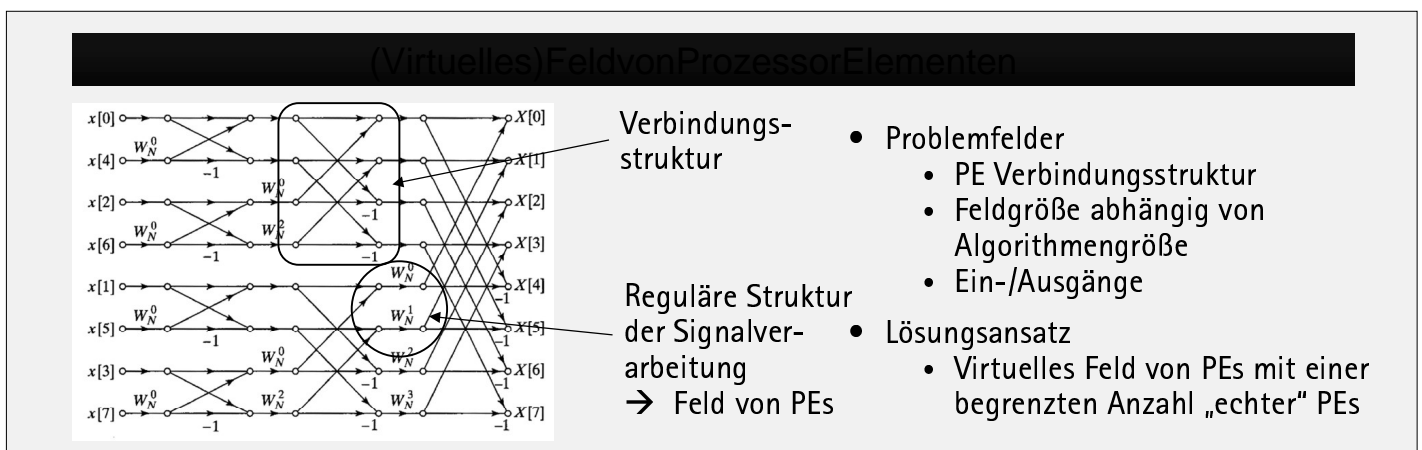
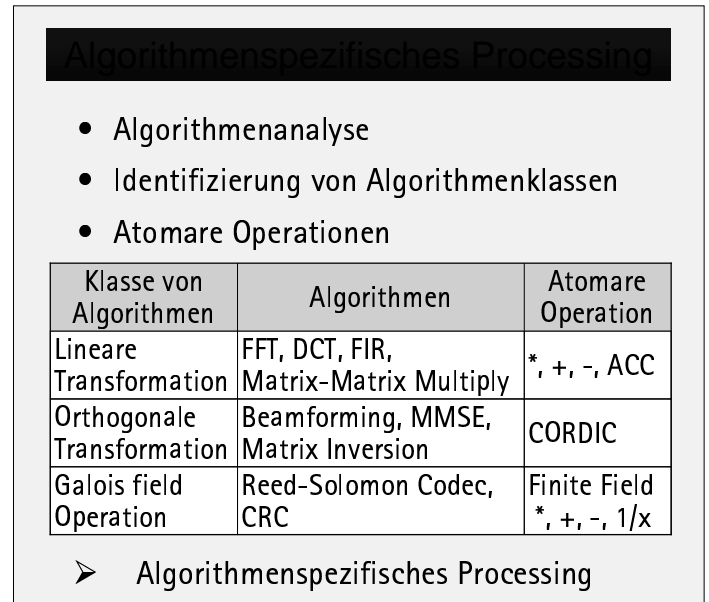
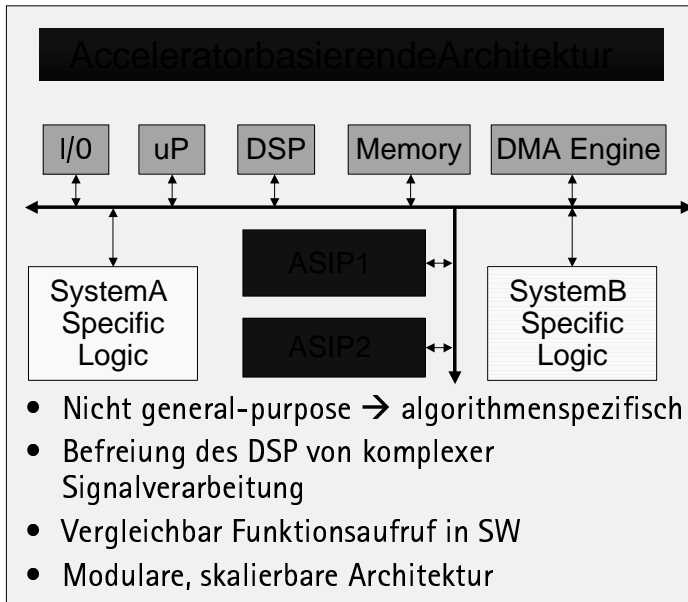


Rekonfigurierbare Hardwarebeschleuniger Architektur

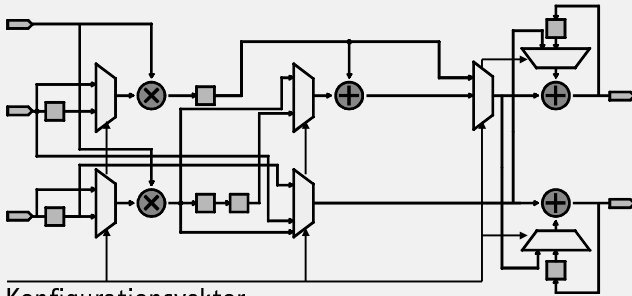


Autoren und Beitragende: Jörg Brakensiek, Martin Bucker, Axel Dröge, Bernhard Oelkrug, Dirk Uffmann, Nokia Research Center, Bochum

Rekonfigurierbare Hardwarebeschleuniger Architektur

Processing Element – Example

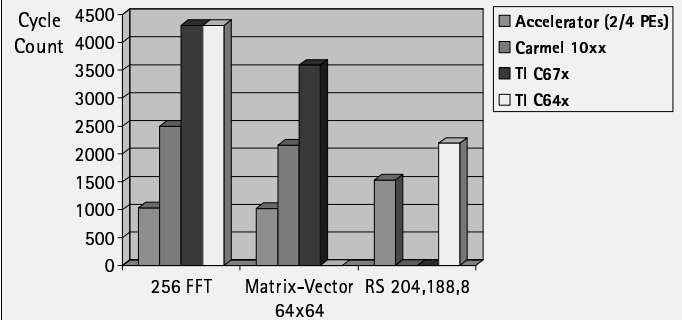
• Lineare Transformation PE



Konfigurationsvektor

- Weitere Prozessor Elemente
 - CORDIC
 - Galois Field

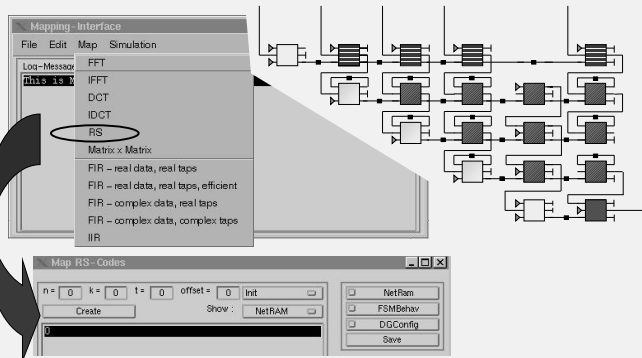
PerformanzVergleich



- Stall-free Signalverarbeitung möglich
- Kein Kontrollfluss Overhead
- Dramatischer Performanz Vorteil (Faktor von 2- 4)

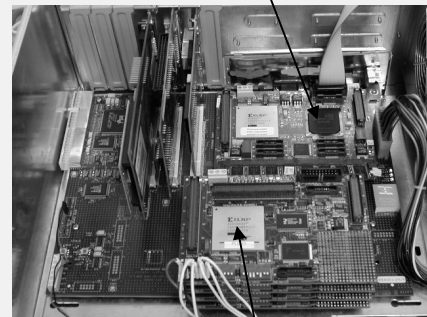
Design Flow

- Algorithmenmapping auf rekonfigurierbare Architektur
 - Bottom-up
 - Top-down



Demonstrator

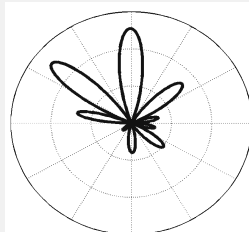
- Linux OS on ARM 920
- Applikation (GUI, Datengenerierung)



- Accelerator on FPGA
- Applikation (Datenverarbeitung)

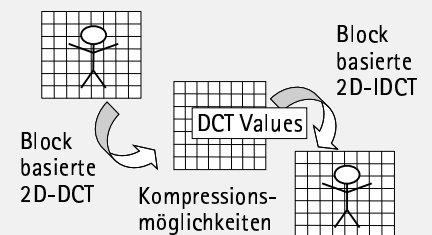
Demo1:Beamforming

- Nutzerdetektion und Störunterdrückung
- 4 Antennen im Quadrat
- QR-Dekomposition mit CORDIC Feld



Demo2:2D -DCT

- Bildkodierung (MPEG-2)
- 8x8 Pixel große Blöcke
- 2D-DCT mit RMAC Feld



Autoren und Beitragende: Jörg Brakensiek, Martin Bucker, Axel Dröge, Bernhard Oelkrug, Dirk Uffmann, Nokia Research Center, Bochum