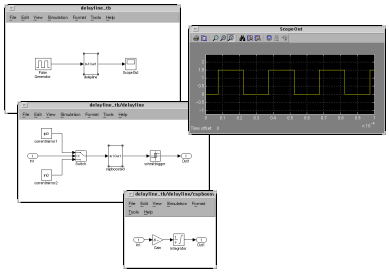
Von der Systemebene zum Layout
Teil 1: Systemenwurf und -verifikation

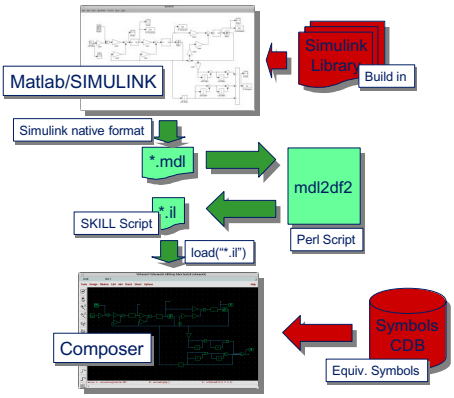
1.1 Einführung

- Top-Down-Entwurfsmethodik beginnt auf Systemebene
- Häufig verwendetes Werkzeug: *Matlab/Simulink*
- Beispiel: Verzögerungsleitung
- Transistorimplementierung erfolgt im Entwurfssystem, hier: *Cadence Design Framework*



1.2 Transfer der Schematic-Information

- Automatische Umsetzung in einen Schematic-View des Entwurfssystems
- Keine fehleranfälligen Handumsetzungen
- Topologieinformation steht inklusive Parametrisierung im Entwurfssystem zur Verfügung



- Keine rein sprachbasierten Gesamtmodelle oder Simulator-Koppelungen mit Matlab als Black-Box-Modell
- Voraussetzung: Nachbildung der Matlab/Simulink-Elementarblöcke im Entwurfssystem

1.3 Modellierung der Elementarblöcke

- Matlab/Simulink-kompatible Modell-Views notwendig
- Modellierung grundsätzlich in allen Hardware-Beschreibungssprachen, die vom Entwurfssystem unterstützt werden, beispielsweise:
  VHDL, VHDL-AMS, Verilog, Verilog-AMS, Verilog-A, SPICE-Makros

```
'include "disciplines.h"
module gain (a, z);
   input   a;
   output  z;
   voltage a, z;
   parameter real gain = 0.0;
   analog V(z) <+ gain * V(a);
endmodule
```

Verilog-A

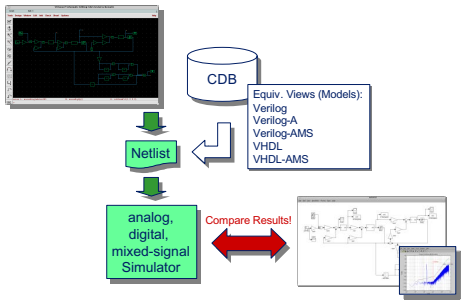
VHDL-AMS

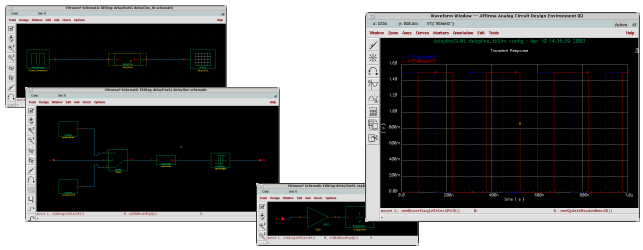
```
entity gain is
  generic (gain : real := 0.0);
  port(quantity a: in  REAL;
       quantity z: out REAL);
end entity gain;

architecture behav of gain is
begin
  z == gain*a;
end architecture behav;
```

1.4 Simulation auf Systemebene

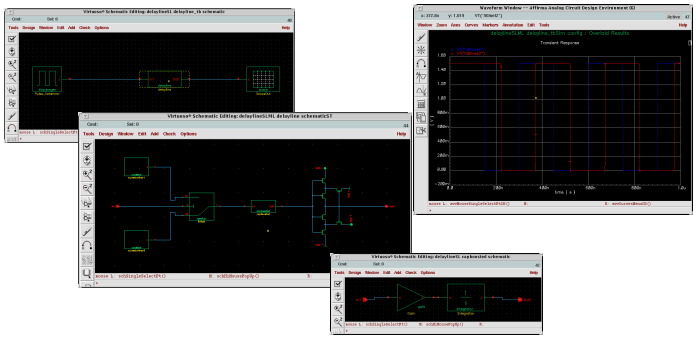
- Nutzung des Standard-Simulations-Flow für die Simulation des Systemmodells
- Keine speziellen Softwarelösungen notwendig
- Ausführbare Spezifikation





1.5 Mixed-Level-Simulation

- Mischung verschiedener Abstraktionsebenen: Systemebene, Makroebene, Implementierungsebene
- Simulation des Einflusses der Implementierung auf Transistorebene auf das Systemverhalten
- Erhöhung der Simulationsgeschwindigkeit, da alle Schaltungsteile nur mit gerade benötigter Genauigkeit simuliert werden müssen



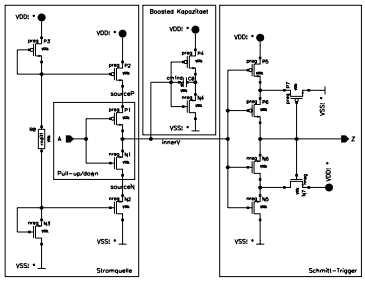
Manfred Thole (Manfred.Thole@infineon.com)
Ralf Sambeth (Ralf.Sambeth@infineon.com)
Andreas Müller (Andreas.Mueller3@infineon.com)

Infineon Technologies AG
CL DAT DFA AMF
Balanstr. 73, 81541 München

Von der Systemebene zum Layout
Teil 2: Nominaldimensionierung und Designzentrierung

2.1 Transistor Implementierung

- P/N-MOS Paar als Schalter
- Zwei gekoppelte Stromspiegel als Stromquellen
- ‘Boosted Cap’ mit Miller-Effekt
- Schmitt-Trigger aus 6 Transistoren
- Insgesamt 14 Transistoren, 1 Widerstand und 1 Kapazität, d.h. 32 freie Designparameter



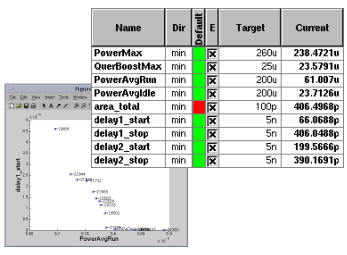
2.2 Spezifikation und Nebenbedingungen

- Verzögerungszeiten zwischen erstem und zweiten Umschalten low/high (‘delta1/2_on’) und high/low (‘delta1/2_off’) gleich 75ns
- Minimierung des Querstroms durch Boosted Cap und der Leistungsaufnahme
- Minimierung des Flächenverbrauchs
- Reduktion der Parameter durch feste Parametrierung des Schmitt-Trigger und Verwendung der Schaltungssymmetrie (P2/P3 und N2/N3 gemeinsame Länge und gemeinsames Spiegelverhältniss)
- Dadurch 32-12-4=16 freie Designparameter

Name	Expression	Type	TargetValue
PowerMax	max(abs(getY(EO(delay,TRAN_VDP,1))))	minimize	260u~6
QuerBoostMax	max(getY(EO(delay,TRAN_IO,N8D,1)))	minimize	25e~6
PowerAvgRun	abs(average_w(EO(delay,TRAN_VDP),150e~9,750e~9))	minimize	200e~6
PowerAvgIdle	abs(average_w(EO(delay,TRAN_VDP),0,150e~9))	minimize	200e~6
delay1_start	abs(EO(del_on,Output) ~ 75e~9)	minimize	5e~9
delay1_stop	abs(EO(del_off,Output) ~ 75e~9)	minimize	5e~9
delay2_start	abs(EO(del_on2,Output) ~ 75e~9)	minimize	5e~9
delay2_stop	abs(EO(del_off2,Output) ~ 75e~9)	minimize	5e~9
del_on	delay_w(EO(delay,TRAN_A),0.75,1,1,EO(delay,TRAN_Z),0.75,1,1,~1)		
del_off	delay_w(EO(delay,TRAN_A),0.75,1,~1,EO(delay,TRAN_Z),0.75,1,~1,~1)		
del_on2	delay_w(EO(delay,TRAN_A),0.75,2,1,EO(delay,TRAN_Z),0.75,2,1,~1)		
del_off2	delay_w(EO(delay,TRAN_A),0.75,2,~1,EO(delay,TRAN_Z),0.75,2,~1,~1)		

2.3 Nominaldimensionierung: NeoCircuit

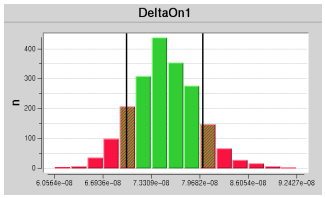
- Sizing Tool: NeoCircuit 2.0 (www.neolinear.com) basierend auf Simulated Annealing/Genetischem Algorithmus
- Diskrete, globale Suche nach optimaler Belegung der 16 freien Parameter
- Übersichtliche ‘Ampeldarstellung’ der Spezifikationen und Randbedingungen während und nach der Dimensionierung
- Nachbearbeitung der Simulationsdaten in MATLAB (z.B. Trade-Off-Analyse)

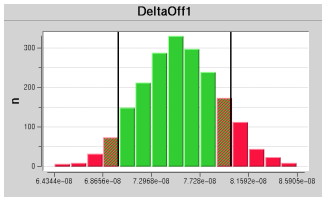


Name	Dir	Default	E	Target	Current
PowerMax	min		☒	260u	238.4721u
QuerBoostMax	min		☒	25u	23.5791u
PowerAvgRun	min		☒	200u	61.007u
PowerAvgIdle	min		☒	200u	23.7126u
area_total	min		☒	100p	406.4968p
delay1_start	min		☒	5n	66.0688p
delay1_stop	min		☒	5n	406.0488p
delay2_start	min		☒	5n	199.5666p
delay2_stop	min		☒	5n	390.1691p

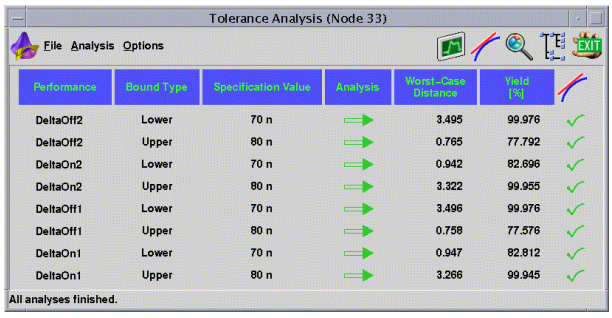
2.4 Designzentrierung: WiCkeD

- Zentrierungstool: WiCkeD (www.muneda.de)
- *Erster Schritt*: Monte-Carlo Analyse der Schaltung mit schwankenden Prozess- und Mismatch-Parametern (Darstellung als ‘Performance’-Plot)



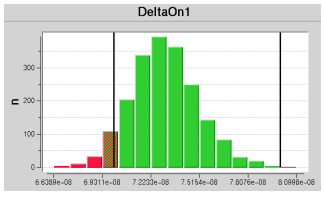


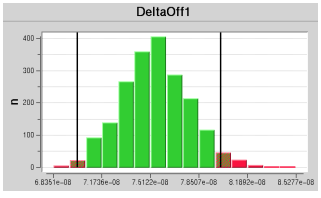
- *Zweiter Schritt*: Bestimmung der Worst-Case-Abstände als Mass der Ausbeute



Performance	Bound Type	Specification Value	Analysis	Worst-Case Distance	Yield [%]
DeltaOff2	Lower	70 n	→	3.495	99.976
DeltaOff2	Upper	80 n	→	0.765	77.792
DeltaOn2	Lower	70 n	→	0.942	82.696
DeltaOn2	Upper	80 n	→	3.322	99.955
DeltaOff1	Lower	70 n	→	3.496	99.976
DeltaOff1	Upper	80 n	→	0.758	77.576
DeltaOn1	Lower	70 n	→	0.947	82.812
DeltaOn1	Upper	80 n	→	3.266	99.945

- Niedrige Worst-Case Abstände entsprechen geringer Ausbeute, dadurch Schätzung der gesamten Schaltungsausbeute möglich
- *Dritter Schritt*: iterative Anpassung der freien Designparameter zur sukzessiven Erhöhung der Worst-Case





Abstände und damit der Gesamtausbeute

- *Vierter Schritt*: endgültige Verifikation der Ausbeute mittels Monte-Carlo-Analyse
- Ergebnis: Schaltung ist robuster gegen Prozess- und Mismatch-Parameter-Schwankungen und ermöglicht dadurch eine höhere Gesamtausbeute

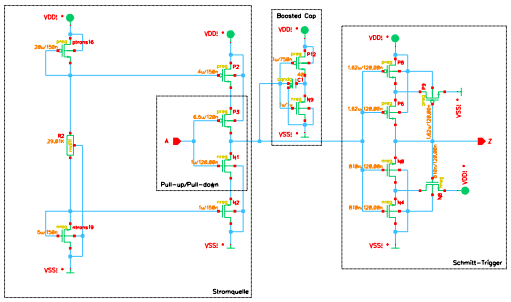
Manfred Thole (Manfred.Thole@infineon.com)
Ralf Sambeth (Ralf.Sambeth@infineon.com)
Andreas Müller (Andreas.Mueller3@infineon.com)

Infineon Technologies AG
CL DAT DFA AMF
Balanstr. 73, 81541 München

Von der Systemebene zum Layout
Teil 3: Constraint-basierte Layout-Synthese

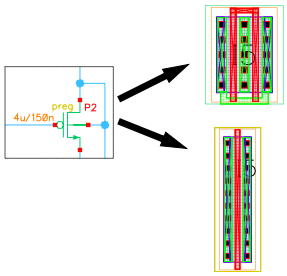
3.1 Dimensionierter Schaltplan

- Ausgangspunkt ist ein dimensionierter Schaltplan
- Dimensionierung kann manuell oder automatisch erfolgen
- Schaltplan kann auch aus einer Technologiemigration resultieren



3.2 Layout-Generator Zuordnung

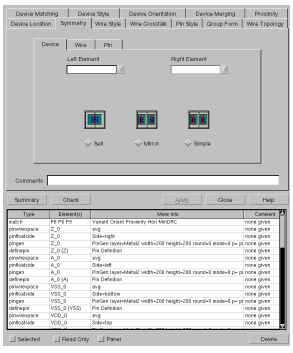
- Erster Schritt: Zuordnung der Bauelemente des Schaltplans zu Layout-Generatoren
- Mehrere Bauelemente können einem einzelnen Layout-Generator zugeordnet werden
- Layout-Generatoren sind in der Lage, mehrere Layout Varianten zu erzeugen, von denen bei der Platzierung die passende ausgewählt wird.



- Extreme Matching-Anforderungen können durch spezialisierte Layout Generatoren abgedeckt werden
- Im Beispiel ist jedem Layout-Generator genau ein Bauelement des Schaltplans zugeordnet

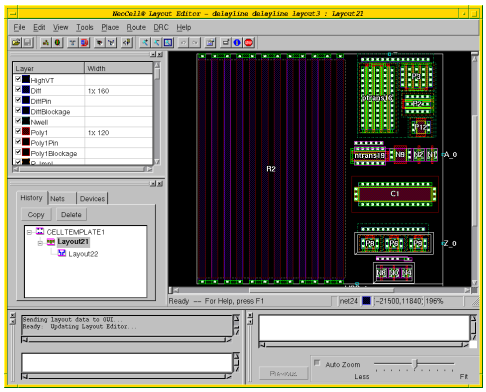
3.3 Constraint Eingabe

- Zweiter Schritt: Definition der Constraints für den Platzierer und Verdrahter
- Constraints umfassen u.a.: Matching, Symmetrie, Orientierung, Leitungsbreite, Netztopologie
- Im Beispiel wurden lediglich Matching Constraints für den Schmitt-Trigger definiert.



3.4 Platzierung und Verdrahtung: NeoCell

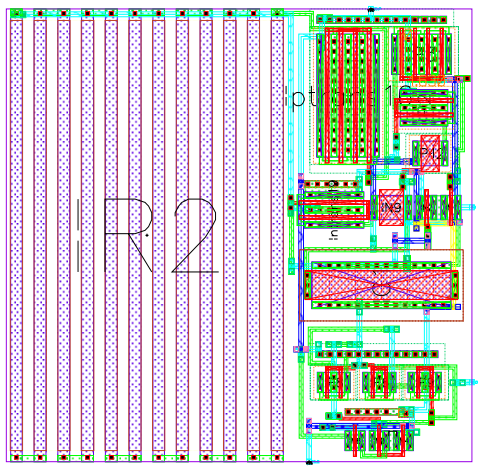
- Dritter Schritt: Platzierung der Bauelemente unter Minimierung der Fläche und Leitungslänge sowie unter Berücksichtigung aller definierten Constraints
- Platzierungsalgorithmus basiert auf Simulated Annealing, so dass mehrere Platzierungsergebnisse geliefert werden
- Manuelle Modifikation des Platzierungsergebnis möglich, wobei die definierten Constraints ebenfalls berücksichtigt werden



- Vierter Schritt: Verdrahtung der Bauelemente unter Berücksichtigung der definierten Verdrahtungs-Constraints

3.5 Ergebnis

- Auswahl des besten Platzierungsergebnisses aus 20 Platzierungsvorschlägen
- Keine manuelle Modifikation erforderlich
- Zeitersparnis beim Layout-Entwurf: *Faktor 2-4*



Manfred Thole (Manfred.Thole@infineon.com)
Ralf Sambeth (Ralf.Sambeth@infineon.com)
Andreas Müller (Andreas.Mueller3@infineon.com)

Infineon Technologies AG
CL DAT DFA AMF
Balanstr. 73, 81541 München