

newsletter edacentrum 01 2010

10 - Euro ISSN 1862 2283

electronic design automation centrum

www.edacentrum.de/newsletter

Track D: Design Methods, Tools, Algorithms and Languages, addressing design automation and design tools for electronic and embedded systems. Emphasis is on methods and tools related to the use of computers in designing products. This includes designer feedback on existing design methods and tools as well as to initiate discussions on requirements of future systems architecture, design flows and environments. This track is organised in the following topics:

D1 System Specification and Modeling
D2 MPSoC and System Design Methods
D3 System Synthesis and Optimisation

Track E: Embedded Systems Software is devoted to modelling, analysis, design and deployment of Embedded Software. Areas of interest include methods, tools, methodologies and development environments. Emphasis will also be on embedded software integration, adaptive real-time systems and applications.

Track F: Applications Design, is devoted to the presentation and discussion of design experiences with a high degree of innovation. Contributions should be state-of-the-art designs, which will provide viable solutions in tomorrow's silicon and embedded systems. Designs that achieve a specific record in terms of performance, power management or any other concrete advantage compared to the state-of-the-art for a given application domain should also be

This track is organised in the following topics:
A1 Signal Processing for Embedded Systems
A2 Signal Processing for Embedded Systems
A3 Space and Time

Track G: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track H: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track I: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track J: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track K: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track L: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track M: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track N: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track O: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track P: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track Q: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Track R: Embedded Test is devoted to modelling, test generation and silicon debugging. Emphasis is on both system and chip level test.

Booth
University

edacentrum

Projektspiegel

„RapidMPSoC: Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoCs“

Das EDA-Frühjahr 2010 und seine EDA-Veranstaltungen

Informationen rund um DATE, ANALOG und dem edaWorkshop

FP7-Projekte mit Beteiligung des edacentrum

Mit SmartCoDe und R&D-ACCESS sind zwei EU-FP7-Projekte gestartet

Editorial

Liebe Leserinnen und Leser,

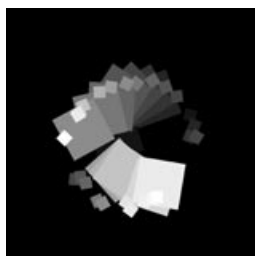
Wer jetzt noch ein wenig seine Vorfreude auf Weihnachten mit unterhaltsamen Adventskalendern zelebrieren möchte, wird im Netz fündig:

www.hoeradvent.de: Das Hören steht im Vordergrund. Selbstverfasstes ist möglich.

<http://advent.evangelisch.de>: Besinnliches und Nachhaltiges im E-Mail-Postfach

www.mathekalender.de: Süßes fürs Gehirn gibt es hier für (junge und jung geliebene) Mathebegeisterte

Für alle, die über das Titelbild rätseln: In Erinnerung an die Buchreihe „Das magische Auge“ haben wir ein stilisiertes edacentrum-Logo (s.u.) in einem „Single Image Stereogram (SIS)“ versteckt. Können Sie es erkennen? – Ähnliches gilt für die Grußkarte, nur das 3D-Motiv bleibt geheim.



Was war:

Abbildung 0.1: Projekttreffen ROBUST am 24. September 2009 nach der ZuE in Stuttgart (S. 19)

Abbildung 0.2: Mit SANITAS ist ein weiteres F&E-Projekt gestartet. „Kick-Off“ war am .7. 2009 (S. 13)

Abbildung 0.3: Das Projekt Sigma65 geht mit einem „lachenden und einem weinenden Auge zum Jahreswechsel zu Ende (S. 16)

Abbildung 0.4: Ergänzende Informationen zum newsletter edacentrum finden Sie unter

www.edacentrum.de/newsletter/

es ist der erste Dezember und später Nachmittag. Nach einem arbeitsreichen Tag sitze ich auf meinem Fahrrad und strampole durch die Dunkelheit, dem Weihnachtsmarkt entgegen und um meine Tochter beim Flötenvorspiel in der Marktkirche zu hören. Überall versuchen mich diese freundlich warmen Illuminationen in Ihren Bann zu ziehen und ich bin geneigt, ihnen zu folgen. Nur leider klappt das mit dem Abschalten mal wieder nicht. Auch wenn der erste Advent schon vorgestern war, kommt die besinnliche Stimmung noch nicht wirklich auf, ich muss spätestens morgen noch ein Editorial verfassen und dann ... es ist eben noch zu viel zu erledigen in diesem Jahr.

Aber das ist ein gutes Stichwort, ‚dieses Jahr‘. Wie war das eigentlich im Rückblick betrachtet, jetzt wo es langsam zu Ende geht? – Vor einem Jahr warb mein Kollege Dieter Treytnar dafür, sich Zeit zu nehmen und das wirtschaftlich ‚geschichtsträchtige‘ Jahr 2008 nicht als Anfang vom Ende zu interpretieren. – Recht hat er gehabt. Das Jahr 2009 war lange nicht so schlimm, wie die meisten befürchtet hatten. (Was mich übrigens hoffen lässt, dass auch das Jahr 2010 nicht so schlecht werden muss, wie einige befürchteten.) Aber zurück zum Jahr 2009: Ja, wenn man es positiv betrachtet, haben die Konjunkturpakete der Bundesregierung wohl mehr bewirkt, als nur die Staatsschulden in schwindelerregende Höhen zu treiben: Die befürchtete Rezession ist (zumindest bisher) ausgeblieben. Und die „Abwrackprämie“ hat den Absatz der Automobilindustrie in der Krise gesichert und auf diese Weise sicher eine Menge Arbeitsplätze erhalten. Auch die Begünstigung der Kurzarbeit hat ihre arbeitsplatzerhaltende Wirkung sicher nicht verfehlt und viele von Ihnen konnten sich über einige zusätzliche Tage zu Hause (mit oder ohne Arbeit :) freuen. – Natürlich haben alle diese und viele weitere Maßnahmen von verschiedensten Stellen nicht dazu geführt, dass es gar keine wirtschaftlichen Hiobsbotschaften in diesem Jahr gab, aber im Ganzen betrachtet war die wirtschaftliche Entwicklung in 2009 doch

deutlich besser als erwartet. Und man munkelt, dass in den Chef-Etagen bereits die ersten Pläne erstellt werden, was zu tun ist, wenn es wieder aufwärts geht.

Diese Gedanken, freue ich mich auf dem Fahrrad, sind doch genau das Richtige für das Editorial. Sie geben die von mir ersehnte besinnliche Stimmung wider, zeigen aber auch die Zuversicht im Hinblick auf die Zukunft. Und zu letzterem passen auch viele der Artikel in diesem Heft. So zeugen der Projektbericht von AIS (S. 5) und der Schlussbericht von Sigma65 (S. 16) von ergebnisreicher Projektarbeit und der Kurzbericht von SANITAS (S. 13) von Aufbruchstimmung. Die Informationen zu dem neuen Einreichungsprozess für IKT 2020-Projekte (S. 21), zum nächsten FP7-Call (S. 24), zu neuen europäischen Technologieplattformen (S. 22) und zu den Abstimmungen zwischen CATRENE und ENIAC bezüglich einer ‚Exposition of Interest‘-Phase (S. 25) zeigen, dass Weichen für die Zukunft gestellt wurden und werden.

Zufrieden mit der doch noch für den Tag gelungenen Lösung und erfrischt von der kühlen Abendluft erreiche ich den Weihnachtsmarkt und siehe da: Echte Adventsstimmung stellt sich ein. Jetzt noch einen Glühwein und dem Genuss der elterlichen Rolle beim Flötenvorspiel steht nichts mehr im Wege. ..

In diesem Sinne wünsche ich Ihnen, liebe Leserinnen und Leser, auch im Namen aller Mitarbeiterinnen und Mitarbeiter am edacentrum noch einige stimmungsvolle Adventstage mit dem Gefühl viel geschafft zu haben, ein fröhliches und besinnliches Weihnachtsfest und einen guten Start in das Neue Jahr!

Ralf Popp für das edacentrum



Abbildung 0.1



Abbildung 0.2



Abbildung 0.3



Abbildung 0.4

Inhaltsverzeichnis



Seite 05

Projektspiegel
Projektbericht
RapidMPSoC:
Rapid System Proto-
typing und Plattform-
basierter Entwurf für
Mixed-Signal Mehrpro-
zessor SoCs
 Das Projekt zur Entwurfsbeschleunigung von Mixed-Signal-Mehrpzessor SoCs stellt sich in diesem Projektbericht vor. Lesen Sie, welche Ergebnisse nach über zweijähriger Projektlaufzeit erreicht wurden.



Seite 18

Veranstaltung
Design Automation and Test Conference (DATE) 2010
 Ein kurzer Vorbericht über die vom 8.-12.3.2010 stattfindende DATE in Dresden. Besuchen Sie das edacentrum am Stand EP5, das FP7-Projekt ACCESS am stand EP2, und die vom edacentrum organisierte University Booth (siehe Seite 19).



Seite 23

Fachartikel
Modellbasierte Entwicklung eines autonomen Fahrzeugs
 Im September 2009 präsentierte OFFIS auf der Ideen-Expo ein autonomes Modellfahrzeug. Was für manche Zuschauer wie einer Spielerei ausschaute, hat einen technisch hoch anspruchsvollen Hintergrund. In diesem Beitrag werden der Entwicklungsprozess und Besonderheiten des entstandenen Prototyps näher betrachtet.



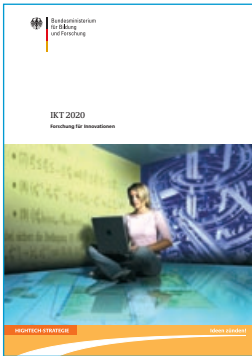
Seite 28

edaService
Seventh Framework Programme (FP7) in 2010
 The Seventh Framework Programme (FP7) provides more than 32 billion € funding for the Cooperation Programme in Europe. This article provides background information about the funding principles about the Cooperation Programme in more detail. Following to this article you find information about two recently started FP7 projects in which the edacentrum plays an active role.

Überblick	
Inhaltsverzeichnis	Seite 03
Projektspiegel	
Der Weg zum dreidimensionalen Entwurf gestapelter Nanoelektronik	Seite 10
Das 5. Clusterforschungsprojekt verfolgt das Ziel den Übergang zum industriellen 3D-Entwurfsprozess vorzubereiten.	
Projektspiegel	
Nachrichten von den Projekten	Seite 12
Das Projekt DIONYSYS entwickelt, SANITAS und SYENA präsentieren ihre Ergebnisse der Öffentlichkeit, und HERKULES bilanziert anlässlich der Abschlußbegutachtung.	
Neues aus dem edacentrum	
Einweihung neuer Räumlichkeiten und Musterdepot	Seite 14
Eine positive Stimmung herrschte nicht nur auf der Einweihungsfeier in den neuen Räumen des edacentrum, sondern bestimmt auch das Musterdepot.	
Veranstaltung	
University Booth auf der DATE 2010	Seite 19
Demonstration von 52 Hardware- und Software-Prototypen aus der Forschung auf der DATE 2010 in Dresden.	
Veranstaltung	
ANALOG 2010	Seite 20
Eine Ankündigung der 11. Fachtagung zur Entwicklung von Analogschaltungen mit CAE-Methoden.	
Veranstaltung	
AIS Industriepartner-Workshop in Bonn	Seite 20
Zum Abschluss des Projekts luden die Forschungspartner die Industrie nach Bonn ein	
edaService	
GTD... Getting Things Done...	Seite 27
Eine Antwort auf die Frage: Wie behalte ich 10.000 Ideen und Projekte im Überblick?	
edaService	
FP7 projects@edacentrum	Seite 30
Introduction to two recently started FP7 projects in which the edacentrum plays an active role.	
Panorama	
Meldungen aus der EDA-Welt	Seite 32
Halten Sie eine EDA-Rückschau auf die vergangenen Monate mit dem „Pressescan“ im newsletter edacentrum.	
Panorama	
Meldungen aus dem Ausland	Seite 34
CATRENE hat einen neuen Call herausgebracht und es gibt eine ICT 2010-Homepage.	
Marktbeobachtung	
Industry Revenue Down in Third Quarter 2009	Seite 35
Entwicklung der aktuellen Umsatzzahlen im Bereich EDA.	
Neues von den Mitgliedern	
Neuigkeiten unserer Mitgliedsfirmen	Seite 36
Mitgliedsfirmen stellen sich und neue Produkte vor.	
Ausblick	
Vorschau auf die kommende Ausgabe	Seite 39

1 Projektspiegel

Das Forschungsprogramm „IKT 2020“



Die zur Zeit vom edacentrum betreuten Projekte gehören zu dem vom Bundesministerium für Bildung und Forschung (BMBF) eingerichteten Förderprogramm „IKT 2020 – Forschung für Innovationen“. Das neue Forschungsprogramm „IKT 2020“ wurde vom BMBF in Abstimmung mit Wissenschaft und Wirtschaft erarbeitet. Durch eine enge Verbindung soll die Verwertung der Forschungsergebnisse in Deutschland verbessert werden.

Wesentliche Neuerung von IKT 2020 ist die Fokussierung der Projektförderung auf fünf Anwendungsfelder mit hohem IKT-Anteil und zugleich hoher Wertschöpfung und hohem Arbeitsplatzpotential. Dies sind die Bereiche Automobil, Automatisierung; Gesundheit und Medizin; Logistik und Dienstleistungen sowie Energie.

Informations- und Kommunikationstechnologien (IKT) sind der Innovationsmotor Nr. 1. Mehr als 80 Prozent

der Innovationen in den in Deutschland starken Anwendungsfeldern/Branchen Automobil, Medizintechnik und Logistik sind IKT-getrieben. In der Hightech-Strategie der Bundesregierung gehören IKT deshalb zu den bedeutendsten Innovationsfeldern.

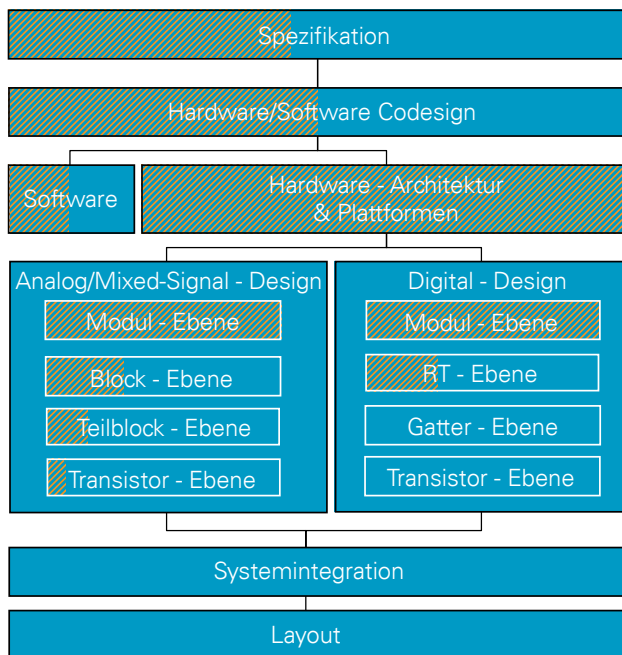
Diesen Motor müssen Wissenschaft, Wirtschaft und Politik in Deutschland gemeinsam weiter in Schwung bringen. Das vorliegende Forschungsprogramm IKT 2020 ist der Beitrag des Bundesministeriums für Bildung und Forschung für das in der Hightech-Strategie und im Aktionsprogramm „iD2010 – Informationsgesellschaft Deutschland 2010“ identifizierte Handlungsfeld „Forschungsförderung“. Es ist das Angebot an Wissenschaft und Wirtschaft, die Zukunft der IKT-Forschung gemeinsam zu gestalten.

Der Newsletter des edacentrum berichtet in loser Folge über die Projekte des Förderprogramms „IKT 2020“.

Tabelle 1.01:
Übersicht über die aktuellen IKT 2020-Projekte.

Projekt	FKZ	Laufzeit	Projektkoordination
AutoSUN	01M3178	01.07.2007 – 30.06.2010	Dr. I. Neumann, ingmar.neumann@contiautomotive.com
Dionysys	01M3084	01.07.2007 – 30.06.2010	Thomas Rühlicke, thomas.ruehlicke@infineon.com
HONEY	01M3184	01.12.2007 – 30.11.2010	Georg Georgakos, georg.georgakos@infineon.com
RapidMPSoC	01M3085	01.10.2007 – 30.09.2010	Andreas Foglar, andreas.foglar@infineon.com
ROBUST	01M3087	01.04.2009 – 31.03.2012	Dr. Volker Schöber, schoeber@edacentrum.de
SANITAS	01M3088	01.10.2009 – 30.09.2012	Dr. Volkan Esen, volkan.esen@infineon.com
SyEnA	01M3086	01.10.2008 – 30.09.2011	Dr. Achim Graupner, achim.graupner@zmdi.com

Abbildung 1.01:
Das Bild zeigt verschiedene Entwurfsvorgänge des Schaltungsentwurfs. Dabei sind die Schwerpunkte des Projektes RapidMPSoC hervorgehoben, weil sich das Projekt RapidMPSoC in dieser Ausgabe des newsletter edacentrum präsentiert.



- AIS* (NL 04 2009)
- ANASTASIA+* (NL 03 2005)
- ASDESE* (NL 03 2004)
- AutoSUN
- AZTEKE* (NL 02 2004)
- DETAILS* (NL 01 2007)
- DIONYSYS (NL 02 2009)
- FEST* (NL 03 2006)
- HERKULES* (NL 01 2009)
- HONEY (NL 03 2009)
- IP2* (NL 01 2004)
- LEMOS* (NL 01 2006)
- LEONIDAS+* (NL 02 2006)
- MAYA* (NL 03 2008)
- MESDIE* (NL 04 2004)
- PARACHUTE* (NL 04 2007)
- PRODUKTIV+* (NL 03 2007)
- RapidMPSoC (in dieser Ausgabe)
- ROBUST
- SAMS* (NL 04 2005)
- SIDRA* (NL 04 2006)
- SANITAS
- Sigma65* (NL 04 2008)
- SpeAC* (NL 02 2005)
- SyEnA
- URANOS* (NL 02 2007)
- VALSE-XT* (NL 01 2005)
- VeronA* (NL 02 2008)
- VISION* (NL 01 2008)

Abgeschlossene Projekte, die im newsletter edacentrum in den Jahren 2002 und 2003 berichtet haben:

- VALSE* (NL 01 2002)
- HG-DAT* (NL 02 2002)
- ANASTASIA* (NL 01 2003)
- IPQ* (NL 02 2003)
- SPEAK* (NL 03 2003)
- LEONIDAS* (NL 04 2003)

* = abgeschlossen

RapidMPSoC: Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoCs

Ein Projekt zur Entwurfsbeschleunigung von Mixed-Signal-Mehrprozessor SoCs stellt sich nach über zweijähriger Projektlaufzeit vor

RapidMPSoC ist das Akronym für das IKT 2020 Projekt „Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoC“. Die Methoden und Verfahren, die in RapidMPSoC entwickelt werden, beschleunigen den Analog/Mixed-Signal (AMS)-Entwurf auf den hohen Abstraktionsebenen. Dafür arbeiten die Projektpartner an vier Themenkomplexen.

Der Themenkomplex „Technologieunabhängiger Entwurf von Analog-IP auf Verhaltensebene“ erforscht Verfahren für A/D-Wandler. Sie reduzieren bei der Implementierung sowie beim Übergang zu einer neuen Technologie den Entwurfsaufwand um ca. 20 %.

In „Analoge Architekturen und Schnittstellen zu Mehrprozessorsystemen“ befassen sich die Partner mit der Aufwands- und Kostenabschätzung der Implementierung auf der Algorithmenebene, um schon bei der Definition und Standardisierung von Algorithmen, Protokollen und Übertragungsverfahren eine effiziente Realisierbarkeit sicherzustellen. Durch diese Arbeiten wird die Entwurfszeit für die Spezifikation um bis zu 30 % verkürzt.

Im Komplex „Systementwurf“ liegt der Fokus auf den AMS-Teilsystemen eines SoC mit Betrachtung der Schnittstellen zum Gesamtsystem. Die in RapidMPSoC erforschten Methoden ermöglichen eine Gesamtsystemsimulation mit einer um mindestens den Faktor 10 gesteigerten Simulationsgeschwindigkeit bei vergleichbarer Genauigkeit.

Der Bereich „Systemverifikation“ fokussiert auf die AMS-Teilsysteme mit Betrachtung der Schnittstellen zum Gesamtsystem. Es werden Assertion-basierte Simulationsverfahren für eine leistungsstarke Gesamtsystemverifikation entwickelt. Dadurch werden die Entwurfssicherheit erhöht, die Vielzahl der zu unterstützenden Standards im Entwurfsprozess beherrschbar und der Verifikationsaufwand mindestens halbiert.

In der edaMatrix deckt RapidMPSoC in vertikaler Richtung die Gebiete Spezifikation bis Verifikation ab. In horizontaler Richtung werden alle Abstraktionsebenen von der Systemebene bis zur Technologieebene adressiert. Der Fokus liegt dabei auf den höheren Abstraktionsebenen, wobei dafür, beispielsweise beim Themenkomplex „Technologieunabhängiger Entwurf von Analog-IP“, die Technologieebene einbezogen

werden muss. Die Bereiche der einzelnen Themenkomplexe sind in Abbildung 1.02 entsprechend markiert.

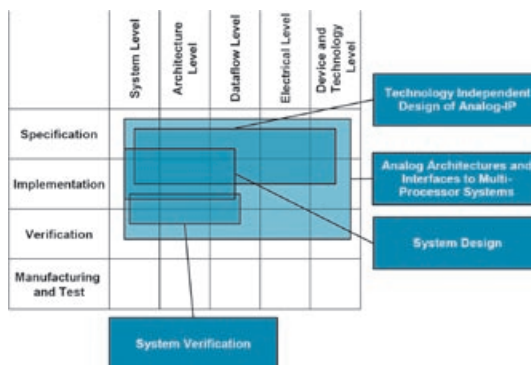


Abbildung 1.02: RapidMPSoC in der edaMatrix

Im Folgenden informieren die Projektpartner über die Ergebnisse, die in den ersten beiden Projektjahren erzielt wurden.

Technologieunabhängiger Entwurf von Analog-IP

Zum technologieunabhängigen Entwurf hat RapidMPSoC wesentliche Forschungsbeiträge geliefert. Prototypische Implementierungen konnten bereits erfolgreich in den Entwurfsabläufen der Industriepartner MELEXIS und X-FAB anhand einer gemeinsamen PLL-Entwicklung zusammen mit IMMS und Fraunhofer-IIS/EAS getestet werden. Die wichtigsten Ergebnisse in diesem Themenkomplex werden im Folgenden beschrieben.

Strategien zur Initialdimensionierung von analogen Schaltungen

Beim analogen Schaltungsentwurf werden zur Dimensionierung der Bauelemente Optimierungstools eingesetzt, um eine optimale Performance und maximale Robustheit zu erreichen. Beginnend mit einer Anfangslösung berechnen diese Tools iterativ bessere Lösungen. Dabei kann eine gute Anfangslösung die Rechenzeit stark verkürzen und den Optimierungserfolg verbessern. Untersuchungen haben gezeigt, dass die Optimierung wesentlich leichter zu beherrschen ist, wenn an den Bauelementen bestimmte DC-Bedingungen (Constraints) erfüllt sind. Durch RapidMPSoC wurde gezeigt, wie mit geringem Rechenaufwand die Dimensionierung der Bauelemente so bestimmt wird, dass die Constraints nach einer Simulation erfüllt sind und damit eine gute Startlösung für Optimierungstools vorliegt [1, 21].

Zusammensetzung des Projektkonsortiums:

Projektpartner

Infineon Technologies AG
Institut für Mikroelektronik- und Mechatronik – Systeme gGmbH
Melexis GmbH
Robert Bosch GmbH
X-FAB Semiconductor Foundries AG

Unterauftragnehmer

Fraunhofer Institut für Integrierte Schaltungen (IIS/EAS)
OFFIS e.V. – Institut für Informatik Technische Universität München (IIS)

Förderkennzeichen

01 M 3085

Laufzeit des Vorhabens:

01.10.2007 – 30.09.2010

Homepage:

www.edacentrum.de/rapidmpsoc/

Projektstruktur:

4 Arbeitspakete mit 12 Firmenbeiträgen und 47 Meilensteinen

Kont@kt RapidMPSoC:

A. Vörg, N. Bannow, V. Boos, K. Einwich, A. Foglar, T. Kirchner, A. Lankes, S. Sonntag

Die Grundlage für dieses Verfahren ist ein neuer Ansatz, den F. Leyn [19] als „Operating-Point Driven“ beschreibt. Dieser besagt, dass für ein gewünschtes elektrisches Verhalten bestimmte Bedingungen (Constraints) für Spannungen und Ströme an den Anschlüssen des Bauelements eingehalten werden müssen. Nun kann das Problem als Graph modelliert und mittels der Graphentheorie eine Lösung gefunden werden (Abbildung 1.03).

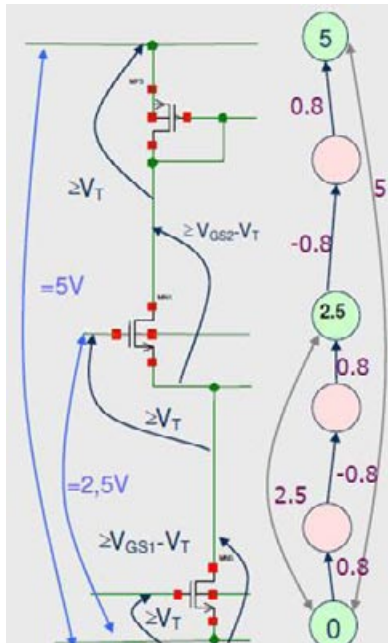


Abbildung 1.03: Spannungsbeziehungen an einer Eingangsstufe und Graph mit $V_T = 0,8V$

Der verwendete Ansatz löst das Problem der Initialdimensionierung in drei Schritten:

- » Ermittlung der Intervalle für die Knotenspannungen, in denen die Constraints erfüllt sind.
- » Festlegen der Knotenspannungen, so dass die Constraints mit maximaler Reserve erfüllt werden.
- » Berechnung der Dimensionierung aus Knotenspannungen und den gewünschten Zweigströmen.

Die Ermittlung der Spannungsintervalle erfolgt mit einem auf Graphen basierenden modifizierten Algorithmus aus der Terminplanung zur Berechnung des kritischen Weges. Früheste Termine entsprechen der minimalen, späteste Termine der maximalen möglichen Spannung. Die Mindestdauer für eine Aktion in der Terminplanung entspricht einer durch Constraints vorgegebene Spannungsdifferenz. Der Algorithmus für die Berechnung des kritischen Weges wurde von Liao und Wong [20] erweitert, so dass auch maximale und damit fest vorgegebene Differenzen als Bedingungen berücksichtigt werden können.

Dieses Verfahren wurde als Prototyp implementiert und an Schaltungen mit bis zu etwa 20 Transistoren unter Verwendung der X-FAB Technologie XH035 getestet. Der Aufbau des Graphen und die Berech-

nung der optimalen Spannungen dauerte weniger als 1 Sekunde. Als Zwischenergebnis wurde ein Skript zur Berechnung der Längen und Weiten von Transistoren aus den Arbeitspunkten generiert. Die Abarbeitung des Skriptes dauerte nur wenige Minuten, wobei die meiste Zeit zum Starten und Initialisieren des Simulators benötigt wurde. Die berechneten Weiten und Längen wurden in eine Textdatei geschrieben und dann manuell in der Simulationsumgebung eingegeben. Die Simulation zeigte das gewünschte Verhalten. Anschließend wurde die Schaltung ausgehend von der berechneten Initiallösung mit WiCkeD [22] optimiert. Die Nominaloptimierung (ohne Prozesstoleranzen) wurde in drei Schritten durchgeführt:

- » Berechnung der „Feasible Solution“, bei der alle Constraints erfüllt sind,
- » Optimierung mit der „Least Square“ Methode, die abbricht, sobald die Spezifikation erfüllt ist, und
- » Optimierung mit der „Parameter Distance“ Methode, mit der die Spezifikation mit den bestmöglichen Werten erfüllt wird.

Als Startlösung wurde einmal die mit dem in RapidMP-SoC entwickelten Verfahren berechnete Initiallösung und zweimal die Minimaldimensionierung für jeden Transistor verwendet.

Entwurfsinfrastruktur für technologieunabhängiges Analog-IP

Diese Entwicklung ermöglicht eine nahtlose Integration der symbolischen Schaltungsanalyse in den Cadence AMS-Entwurfsablauf. Das Ziel der symbolischen Analyse sind interpretierbare analytische Formeln zur Beschreibung einzelner Schaltungseigenschaften. Diese analytischen Ausdrücke können zur Suche nach Schaltungsfehlern, z. B. unerwünschtes Oszillieren (Instabilität), verwendet werden. Darüberhinaus kann die symbolische Methode zur Schaltungsoptimierung verwendet werden. Z. B. können Entwurfsalternativen untersucht werden, die auf Effekten basieren, die bereits in der integrierten Schaltung enthalten sind und lediglich verstärkt werden müssen, um die gewünschte Performanz zu erreichen. Eine Anwendung ist der Entwurf hochperformanter Verstärker durch die Bestimmung neuer Kompensationsstrategien, die auf der Pol- und Nullstellenanalyse sowie ihrer Abhängigkeit von Schaltungsparametern und automatisierten, topologischen Änderungen der Schaltung basieren. Zur Durchführung einer symbolischen Analyse werden Schaltungsdaten, wie Netzlisten, Modell- und Kleinsignalparameter, Arbeitspunktinformationen und Simulationsdaten zur symbolischen Analyse an Analog Insydes übergeben, was eine nahtlose Integration in das Cadence DFII erfordert. Der Datenfluss ist in (Abbildung 1.04) dargestellt.

Am IMMS wurden Werkzeuge zur grafischen Steuerung der symbolischen Analyse, Datenextraktion aus der Cadence Datenbank (CDB) sowie zur Formatkon-

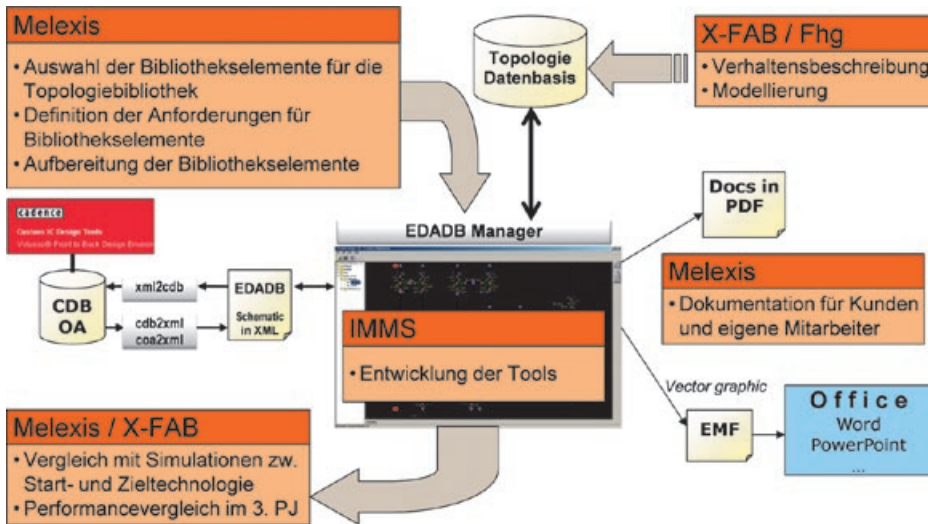


Abbildung 1.04: Integration der symbolischen Schaltungsanalyse in den Entwurfsablauf mit CDB Datenbankbearbeitungswerkzeug für Schematic und Zellen-Information

vertierung und grafischen Darstellung in diversen Graphical User Interfaces (GUI) entwickelt. Dadurch wird die Verwendung bzw. Bearbeitung der Schematics und Simulationsergebnisse in verschiedensten Formaten, z. B. Word, Powerpoint und PDF, zur Dokumentation ermöglicht (Abbildung 1.04). Diese RapidMPSoC-Entwicklungen wurden auf der CDNLive! EMEA 2009 Konferenz in München anhand eines Demonstrators vorgestellt und fand großes Interesse [12]. Künftig wird dadurch eine bidirektionale Schnittstelle zur Unterstützung für die Schaltungsmodellierung mit Backannotation in den Cadence Entwurfsablauf möglich.

Analoge Architekturen und Schnittstellen zu Mehrprozessorsystemen

An speziellen Analog/Mixed-Signal-Architekturen werden Untersuchungen durchgeführt, inwieweit bereits auf hoher, abstrakter Algorithmenebene der Aufwand und die Kosten für die spätere Implementierung abgeschätzt werden können. Ziel ist es, mit Hilfe der entwickelten Architekturen schon bei der Definition und Standardisierung der Algorithmen, Protokolle und Übertragungsverfahren die effiziente Realisierbarkeit der analogen Systemteile sicherzustellen. Dies bringt einen klaren Marktvorteil und kann die Entwurfszeit für die Spezifikation um bis zu 30 % verkürzen. Dazu wurden u. a. Network-on-Chip (NoC) Kommunikationsinfrastrukturen und Methoden zur Flächen- und Energieverbrauchsabschätzungen untersucht.

In diesem Themenkomplex ist unter anderem ein bisher einzigartiges Schnittstellenkonzept entwickelt worden, das die Mechanismen von SystemC TLM 2.0 und AUTOSAR kombiniert. Dadurch werden Hard- und Software-Entwicklung komplexer AMS-Systeme sowohl durch eine klare Schnittstellendefinition voneinander entkoppelt, was einerseits eine unabhängige Entwicklung von der Soft- als auch der Hardware, andererseits aber auch die frühzeitige Ausführung der Software auf einer zunächst virtuellen Hardware

ermöglicht, die im Verlauf der Entwicklung verfeinert wird, bis echte Hardware zur Verfügung steht.

Als weiteres großes Thema wurden NoC-Kommunikationsinfrastrukturen erforscht, da bereits heute in Mehrprozessorsystemen mit einer hohen Anzahl an Kernen, z. B. Tileras Tile64 und für bestimmte Anwendungen, z. B. für Kommunikationsanwendungen, herkömmliche On-Chip-Infrastrukturen für AMS-MPSoC nicht mehr einsetzbar sind.

NoC-Topologieuntersuchung als On-Chip Kommunikationsinfrastruktur

In RapidMPSoC wurden NoC-Topologien als Kommunikationsinfrastruktur zur Verbindung vieler AMS-IP auf einem SoC an realen Anwendungsbeispielen untersucht [18]. Zur Erforschung der Topologie wurde ein eigenes Simulationsmodell entwickelt. Die Eingabewerte für das Modell und die Netzwerktopologieevaluierung basieren auf synthetisierten Router-Architekturen, die es ermöglichen haben, den Kompromiss zwischen Flächenbedarf und maximaler Taktfrequenz zu untersuchen. Dabei wurde die Deadlock-Problematik, die durch Routing-Zyklen und Message-Abhängigkeiten auftreten kann, berücksichtigt, die von vielen anderen Veröffentlichungen zu Topologieuntersuchungen vernachlässigt wird. Durch RapidMPSoC konnte in der Simulation gezeigt werden, dass eine verbesserte, unidirektionale Ringtopologie im Vergleich zu den weiteren untersuchten Topologien (einfacher unidirektionaler Ring und „Concentrated Mesh“), die beste Performanz hinsichtlich Latenz und Chipfläche hat. Dabei konnte die Deadlock-Freiheit des Gesamtsystems garantiert werden. Die Untersuchung hat weiter gezeigt, dass eine höhere Router-Taktfrequenz aufgrund einer einfacheren Router-Architektur nicht die höhere Konnektivität einer Topologie mit komplexeren Routern kompensieren kann. Dennoch kann nicht als allgemeingültig abgeleitet werden, dass ein Netzwerk mit vielen Verbindungen immer die bessere

Wahl ist. Es muss im Einzelfall eine fundierte Entscheidung für eine Netzwerktopologie, insbesondere hinsichtlich der erforderlichen Chipfläche für die Kommunikationsinfrastruktur, getroffen werden.

Systementwurf: Flächen- und Energieverbrauchsabschätzungen auf Systemebene

Immer wichtiger für einen schnellen Entwurfserfolg wird die Möglichkeit, den Flächenbedarf sowie den Energieverbrauch eines Chips bereits in den frühen Entwurfsphasen möglichst genau abzuschätzen. Diese Möglichkeit wurde in RapidMPSoC erfolgreich weiterentwickelt [9]. Hierfür wurde das bestehende Evaluierungs-Framework „SystemQ 2.0“, in RapidMPSoC erfolgreich um die Flächen- und Energieverbrauchsabschätzungen auf Systemebene erweitert. Vor RapidMPSoC konnten bereits Performanzmetriken, wie Durchsatz-, Latenz- und Ressourcenauslastung, berechnet werden. Grundlage für die Flächen- und Energieverbrauchsabschätzungen sind eine große Anzahl an synthetisierten und physikalisch implementierten Schaltungen. Aus diesen Daten wurden Formeln abgeleitet und in SystemQ integriert. In einer Fallstudie wurde die Flächen- und Energieverbrauchsabschätzung an der komplexen XB07 System-on-Chip (SoC)-Crossbar-Kommunikationsstruktur erforscht [23].

Jede Crossbar Sub-Komponente wird mit 10 bis 25 HDL-Generics mit unterschiedlichem Einfluss auf den Flächenbedarf parametrisiert. Die Größe eines Crossbar variiert erheblich in Abhängigkeit von der verwendeten Standardzellenbibliothek und der Betriebsfrequenz. Daher wurde jede Crossbar-Komponente untersucht und jeweils Pgeneric, Pbibliothek und Pfrequenz berechnet. Der Gesamtflächenbedarf des Crossbar wird dann als Summe der Flächen aller Sub-Komponenten berechnet. Für eine Komponente ist der Einfluss der Bibliothek auf die Fläche ähnlich für unterschiedliche HDL-Generic-Einstellungen. Jedoch ist der Frequenzeinfluss auf die Fläche bei unterschiedlichen HDL-Generic-Einstellungen erheblich.

Die Energieverbrauchsabschätzung wird von den gleichen Faktoren, wie die Flächenabschätzung, wie HDL-Generics, Bibliotheken und Frequenz, beeinflusst. Aber im Gegensatz zur Flächenabschätzung ist der Energieverbrauch ein dynamischer Effekt, der von der Schaltungsaktivität abhängt. Auf Systemebene kann die Aktivität einer Crossbar-Infrastruktur in unterschiedlichen Transaktionstypen, wie Lesekommando, Schreibkommando, Daten lesen und Daten schreiben klassifiziert werden. Sogar unter gleichen Einstellungen unterscheidet sich der Energieverbrauch zwischen den unterschiedlichen Transaktionstypen erheblich. Daher wurde neben den Wirkungen von HDL-Generics, Bibliotheken und Frequenz auch die Auswirkung der unterschiedlichen Transaktionstypen auf den Energieverbrauch jeder Crossbar-Komponente untersucht.

Bei einem Vergleich der Daten auf Transistorebene mit den SystemQ-Abschätzungen auf Systemebene konnte gezeigt werden, dass der Fehler bei der Flächenabschätzung für einzelne Komponenten nur bis zu 6,3 % beträgt. Das komplette System wurde mit zwei Standardzellenbibliotheken getestet, hier lag der Fehler zwischen 17 % und 28,1 %. Der Fehler bei der Energieverbrauchsabschätzung einzelner Komponenten lag bei 11,5 %.

SystemC-AMS Standardisierung

In enger Kooperation mit dem IKT 2020 Projekt AutoSUN (Förderkennzeichen 01M3178) wurde die Standardisierung von SystemC-AMS entscheidend vorangetrieben. Im Zusammenhang mit diesen Arbeiten wurde einem Mitarbeiter des Fraunhofer Institut IIS/EAS der EDA Achievement Award 2008 verliehen [6]. Durch die neue Beschreibungssprache SystemC-AMS wird die durchgängige Modellierung und effiziente Simulation komplexer integrierter Schaltungen einschließlich ihrer Umgebung möglich. Diese Fähigkeit ist das wesentliche Bindeglied zwischen den Themenbereichen Entwurf und Verifikation von komplexen AMS-Systemen, wie sie in RapidMPSoC adressiert werden.



Abbildung 1.05: RapidMPSoC Gruppenbild der Projektpartner zur 2. Begutachtung am 24.11.2009

Systemverifikation: AMS-Simulation mit SABER, Spice und SystemC

SystemC ist ein diskreter Ereignissimulator, der es Entwicklern ermöglicht, komplexe Entwürfe auf unterschiedlichen Abstraktionsebenen zu modellieren. Zur Verbesserung der Genauigkeit kann SystemC mit spezialisierten Simulatoren gekoppelt werden. In RapidMP-SoC wurde ein Konzept zur losen Simulatorkopplung zwischen spezialisierten Analog-Simulatoren und SystemC erarbeitet [10, 11]. Die Vorteile sind eine höhere Simulationsperformanz und die größere Flexibilität. An einem Entwurfsbeispiel wurde SystemC sowohl mit SABER als auch mit SwitcherCad [11] verbunden. Dadurch können die Vorteile der losen gegenüber der engen Kopplung demonstriert werden.

Eine lose Kopplung kann auf einfache Weise mit vielen Simulatoren hergestellt werden, da der Slave-Simulator lediglich in der Lage sein muss, Netzlisten zu verarbeiten und den internen Simulatorstatus zu laden und zu speichern. Durch das zeitweise Abschalten der genaueren Analogsimulation bei ausreichender Genauigkeit auf einer höheren Abstraktionsebene, kann durch die Reduzierung der Synchronisationspunkte die Gesamtsimulation drastisch beschleunigt werden. Durch die Speicherung der Simulationsergebnisse zusammen mit dem internen Simulatorzustand und den Zeitmarken in einer Datei, können diese Ergebnisse für aufeinanderfolgende Simulationsläufe wiederverwendet werden.

Bestätigung von SystemC AMS als Highlight für die Systemverifikation

Dank der Ergebnisse des Förderprojektes RapidMP-SoC im ersten Projektjahr konnte bei Infineon die Entwicklung für einen neuen Chip aus Asien zurück nach Europa (München und Villach) verlagert werden. Hier konnte je nach Anwendung eine bis zu 1000-fache Simulationsbeschleunigung des Gesamtsystems erreicht werden. Durch die im Projekt entwickelten Simulationsmethoden auf Systemebene kann das korrekte Zusammenspiel von Analog- und Digitalbauteilen frühzeitig sichergestellt werden. Somit konnte die aufwändige Verifikationsphase deutlich reduziert geplant werden, die bislang eine Verlagerung in Billiglohnländer erforderte. Aufgrund ihres hohen Ausbildungsstandes und dank der Zusammenarbeit mit Fraunhofer-IIS/EAS haben die Entwickler in Deutschland und Österreich einen Vorsprung beim Umgang mit auf SystemC-AMS basierenden Entwicklungstools. Das gab den Ausschlag für die Entscheidung zurück nach Europa zu kommen [7].

Veröffentlichungen und Pressearbeit

RapidMPSoC war bisher mit 13 Veröffentlichungen bei namenhaften Workshops und Konferenzen in den acht Ländern Deutschland, Frankreich, Griechenland, Großbritannien, Italien, Niederlande, Tunesien und den USA vertreten. In der breiten Öffentlichkeit wurde RapidMP-SoC durch 5 Pressemitteilungen wahrgenommen. Weitere Veröffentlichungen sind eingereicht und geplant.

Strategien zur Initialdimensionierung von analogen Schaltungen, Boos (IMMS), ANALOG ,08 in Siegen, Deutschland, 2.4.08

IMMS Arbeiten, Ulicna (IMMS), Boos (IMMS), edaWorkshop08, Poster in Hannover, Deutschland, 6.5.08

IFX, Fraunhofer-IIS/EAS und TUM-LIS Arbeiten, Sonntag (IFX), Lankes (TUM-LIS), Wild (TUM-LIS), Einwich (Fraunhofer-IIS/EAS), edaWorkshop08, Poster in Hannover, Deutschland, 6.5.08

Pressemitteilung: BMBF fördert die Forschung zur Beschleunigung des Analog-Mixed-Signal-Entwurfs mit 5,2 Millionen Euro, edacentrum, 11.6.08

Pressemitteilung: SystemC-AMS – Das Highlight für den Systementwurf, Karsten Einwich (Fraunhofer-IIS/EAS), <http://www.pressebox.de/pressemitteilungen/fraunhofer-institut-fuer-integrierte-schaltungen-iis-1/boxid-220189.html>, 20.11.08

Pressemitteilung: edaForum08: Verleihung des EDA Achievement Award 2008 an Karsten Einwich, edacentrum, Hannover, 18.12.08

Pressemitteilung: Bestätigung von SystemC AMS als Highlight, Fraunhofer Institut für Integrierte Schaltungen (IIS/EAS), Dresden, Deutschland, 1.2.09

Pressemitteilung: SystemC-AMS – Highlight für den Analog-Digital-Schaltungsentwurf auf Electronic System Level, GMM VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerktechnik, Mechatronik 3/2009, 1.3.09

Area and Power Consumption Estimations at System Level with SystemQ 2.0, Sonntag, Wenjian Wang (IFX), 2nd International Conference on Simulation Tools and Techniques (SIMUTools'09) in Rom, Italien, 4.3.09

Analogue Mixed Signal Simulation Using Spice and SystemC, Kirchner, Bannow (RB), Grimm (TU-Wien), DATE'09: Proceedings of the Conference on Design, Automation and Test in Europe in Nizza, Frankreich, 21.4.09

Integrated Analog-Digital HW/SW Co-Design, Bannow, Kirchner, Lutz (RB), edaWorkshop09 in Dresden, Deutschland, 12.5.09

Poster: Gaining Insight into Analog Circuit Behavior – Tools and Extensions to Cadence DFII, Boos, Sommer, Hennig (IMMS), CDNLive! EMEA 2009 Conference in München, Deutschland, 18.5.09

SystemC AMS for the Design of Complex Analog Mixed Signal SoC's, Einwich (Fraunhofer-IIS/EAS), NASCUG North American SystemC User's Group in San Francisco, USA, 27.7.09

Hierarchical NoCs for Optimized Access to Shared Memory and IO Resources, Lankes (TUM-LIS), Thomas Wild, Andreas Herkersdorf, Euromicro Conference on Digital System Design (DSD 2009) in Patras, Griechenland, 27.8.09

Tutorial: Introduction to SystemC-AMS and the Prototype Simulator, Einwich (Fraunhofer-IIS/EAS), Barnasconi (NXP), Vachoux (EPFL), Grimm (TU-Wien), Tutorial 19th International Workshop on Power and Timing Modeling, Optimization and Simulation PATMOS 2009 in Delft, Niederlande, 8.9.09

Tutorial Application of SystemC-AMS, Einwich (Fraunhofer-IIS/EAS), 19th International Workshop on Power and Timing Modeling, Optimization and Simulation PATMOS 2009 in Delft, Niederlande, 9.9.09

Tutorial: Introduction to the SystemC AMS DRAFT standard, Einwich (Fraunhofer-IIS/EAS), Barnasconi (NXP), Vachoux (EPFL), Grimm (TU-Wien), SOCC 2009 IEEE International SoC Conference, Invited Tutorial in Belfast, Nordirland, 11.9.09

Quellen

NoC Topology Exploration for Mobile Multimedia Applications, Lankes, Herkersdorf (TUM-LIS), Sonntag (IFX), Reinig, The 16th IEEE International Conference on Electronics, Circuits and Systems in Hammamet, Tunesien, 14.12.09

„An Efficient DC Root Solving Algorithm with Guaranteed Convergence for Analog Integrated CMOS Circuits, Leyn et. al., ICCAD, 1998

Kont@kt (RapidMPSoC):

Dr. Andreas Vörg
(Projektmanagement)
edacentrum GmbH
Schneiderberg 32
30167 Hannover
fon: (05 11) 7 62 – 1 96 86
voerg@edacentrum.de

An Algorithm to Compact a VLSI Symbolic Layout with Mixed Constraints, Liao, Wong, 20th Design Automation Conference, 1983

Reuse-orientierter Analogschaltungsentwurf mit automatischer Dimensionierung und Ausbeuteoptimierung, Sommer et. al., ANALOG '03, 2003

WiCkeD, www.muneda.com

XB07: A highly reusable crossbar architecture for multiprocessor system on chip (MPSOC), Sonntag, Reinig, Linz, Pitter und Ruh-

wandl (IFX), IP Based Electronic System Conference (IP07) S. 307–311, Dez. 2007

Das Projekt RapidMPSoC (Förderkennzeichen: 01 M 3085) wird im Rahmen von IKT 2020 vom Bundesministerium für Bildung und Forschung (BMBF) gefördert.

Das edacentrum unterstützt Infineon beim Projektmanagement.



Der Weg zum dreidimensionalen Entwurf gestapelter Nanoelektronik

Das 5. Clusterforschungsprojekt verfolgt das Ziel, den Übergang zum industriellen 3D-Entwurfsprozess vorzubereiten

Hochintegrierte Nanoelektronik-Systeme ermöglichen in vielen Anwendungsfeldern durch intelligente Regelung die Einsparung von Ressourcen und Kosten. Hier stößt der 2-dimensionale Entwurf von Chips an seine Grenzen. Um das Potenzial der Nanoelektronik noch vielfältiger zu nutzen, erforscht das 5. Clusterforschungsprojekt den dreidimensionalen Entwurf von gestapelten Chips. Nicht die Nutzung klassischer Ansätze bei gestapelten Systemen sondern die Erforschung einer Entwurfsmethodik zur dreidimensionalen Integration für IKT-Systeme in einem industriellen Umfeld in 5–10 Jahren ist das Ziel dieses Projekts. Dazu werden Forschungen im Bereich der Entwurfsmethodik und der Schaltungsgenerierung, aber auch auf dem Gebiet der applikationsspezifischen Technologieplanung, der Analyse und des Testens dreidimensionaler Schaltungen zusammengeführt. Dieser Artikel stellt die Motivation des Konsortium auf dem Weg zu einer Vorhabenbeschreibung dar.

Stellen Sie sich vor, ...

... Sie stellen Ihre Waschmaschine morgens vor dem Weg zur Arbeit so ein, dass Ihre Windkraftanlage die Energie der angekündigten Windböen am Nachmittag für den Waschgang nutzt. Sollte noch zusätzlich Energie zur Verfügung stehen, soll der Elektroroller geladen werden. Am Abend nehmen Sie die Wäsche aus der Maschine und stellen fest, dass auch noch genug elektrische Energie zur Trocknung umgewandelt wurde. In diesem Szenario sehen wir einen neuen Umgang mit Energie und geben einen Einblick, wie sich unser Umgang mit Energie verändern kann. So können Sie beispielsweise selbst bestimmen, welcher Energieverbraucher zu einem bestimmten Zeitpunkt mit welcher Energieerzeugung kombiniert werden kann. Um nicht jedes Gerät individuell einzustellen, geben Sie dazu Ihr gewünschtes Energieprofil ein und eine intelligente Steuerung berechnet die optimale Konfiguration Ihrer elektrischen Geräte. Sollten Sie verreisen, bieten Sie Ihre regenerativen Energieerzeuger und -speicher im Stromnetz der Zukunft an.

Viele Experten sind sich einig, ...

... dass die Auswirkungen des Klimawandels in den nächsten Jahren große Herausforderungen mit sich bringen werden. Vor wenigen Jahren wurde das erste 3-Liter-Auto in der Presse gefeiert. Jetzt wird das

Elektroauto intensiv diskutiert, wodurch sich ein neues Unterscheidungsmerkmal beim Auto etabliert hat, an dem sich die Produkte messen lassen können: der CO₂-Verbrauch. Am 09.11.2009 meldete der Spiegel „Rekordtag: Spanien deckt 53 Prozent des Strombedarfs mit Windenergie“. Es gibt mittlerweile eine große Bereitschaft in der Bevölkerung, Energie einzusparen und in klimaschonende Systeme zu investieren, was auch durch massive Dämmmaßnahmen bei Gebäuden zu erkennen ist.

Doch wie kann jeder einzelne Bürger ...

... in seinem Haushalt mit der Vielzahl an elektronischen Geräten nachhaltig Energie sparen? Verschärft wird diese Situation durch lokale und zeitlich sehr schwankende Energieerzeuger, wie beispielsweise die Photovoltaik oder auch Windgeneratoren. Heutige Steuerungsmöglichkeiten sind mit dem heterogenen Energieverbrauch und den zusätzlichen vielfältigen Möglichkeiten der Speicherung und dezentralen Erzeugung schlicht überfordert. Das Verkaufsverbot von 100 Watt Glühlampen zog eine intensive Diskussion über die umweltschädliche quecksilberhaltige Produktion aktueller Energiesparlampen und die begrenzte Wirkung von Verboten nach sich. Das Energieeinsparpotenzial, durch die Harmonisierung des Verbrauchs, der Speicherung und der Erzeugung im Einklang mit

den Bedürfnissen des Bürgers, bleibt zurzeit weitgehend ungenutzt.

Um den Verbrauch von elektrischen Geräten zu senken, ...

... ist eine völlig neue Ebene der Informationstechnik notwendig. Grundvoraussetzung hierzu ist, dass die Industrie eine neue Klasse von miniaturisierten, kostengünstigen Mess- und Steuersystemen in hohen Stückzahlen anbieten kann. Diese Systeme müssen drei Anforderungen erfüllen:

- » Sie müssen extrem leistungsarm sein, damit der Energieverbrauch der Messung und Steuerung nur einen Bruchteil des zu erwartenden Ertrags einnimmt. Will man beispielsweise den Energieverbrauch einer Energiesparlampe von vielleicht 3 Watt in 10 Jahren durch eine intelligente Steuerung weiter reduzieren, muss der Energieverbrauch der lokalen Steuerung im Milli Wattbereich und darunter liegen.
- » Will man aktuelle Schalter um eine intelligente Steuerung erweitern, dürfen zusätzliche Komponenten nur wenige Kubikmillimeter groß sein. Ansonsten können beispielsweise existierende Steckdosen in Haushalten nicht nachgerüstet werden.
- » Will man flächendeckend alle Verbraucher und Erzeuger mit intelligenten Schaltern ausrüsten, dürfen die Mehrkosten nur minimal sein. Wenn es beispielsweise das Ziel ist, ganze Haushalte mit intelligenten Schaltern auszurüsten, dürfen die Mehrkosten für jede Komponente nur Cents oder wenige Euro betragen.

Die Industrie kann diese miniaturisierten intelligenten Instrumente für viele erfolgversprechende Anwendungsfelder nutzen, beispielsweise im Bereich der Umwelttechnik, Gesundheit oder Energiemanagement, aber auch für Steuerungen im Auto. Hierzu bedarf es einer neuen Entwurfskompetenz. Das Projekt will hier ansetzen, um neue Entwurfskonzepte aus der Forschung für diese neue Klasse von Mess- und Steuersysteme für eine industrielle Anwendung in 5–10 Jahren zu erproben.

Dreidimensionale Chipsysteme ermöglichen ...

... im Vergleich zu konventionellen planaren Chips eine weitaus kompaktere und energieeffizientere Realisierung ganzer IKT-Systeme. Mit den zu erwartenden Kostenvorteilen bei 3D-Systemen ist es zurzeit die einzige bekannte Technik, die sich als Lösung für die neue Klasse von IKT-Systemen anbietet. Alle anderen Entwurfsverfahren vereinen nicht die drei Anforderungen: Kompakte Gesamtgröße, extrem Energieeffizienz und kostengünstige Produktion.

Das Clusterforschungskonsortium hat sich zum Ziel gesetzt, ...

... Grundlagen für den Entwurf gestapelter Nanoelektronik-Chips für die deutsche Industrie vorzubereiten. Der Fokus bei 3D-Chips wird dabei weniger im Einsatz neuer Technologien liegen, als vielmehr in der Identifikation

geeigneter Ansatzpunkte für die Optimierung und deren Umsetzung im Entwurfsprozess, beispielsweise:

- » Anwendungsanforderungen, wie Energieverbrauch, Kosten oder Größe des Systems zur Optimierung in allen Komponenten,
- » Randbedingungen aus der Technologie, wie Wärmeleitfähigkeit von Substraten zur Verhinderung der Schädigung durch Überhitzung,
- » Beherrschung der Systemkosten zur Herstellung wie die Berücksichtigung der Prüftechnikkosten im frühen Entwurf und Nachweis, dass 3D-Systeme kosteneffizienter als traditionelle Entwürfe sind.

Der neue Entwurfsprozess wird zusammen mit den Industriepartnern unter Berücksichtigung der besonderen Anforderungen aus Sicht des Markts erforscht und für die industrielle Praxis vorbereitet. Durch die Erforschung eines Entwurfsprozesses für 3D Nanoelektronik-Komponenten leistet das Projekt einen entscheidenden Beitrag zur Reduktion des Energieverbrauchs von zukünftigen IKT-Systemen. In Abhängigkeit der verwendeten Integrationstechnologien – werden geeignete Analyse-, Explorations- und Synthesemethoden für einen optimierten 3D-Entwurf erforscht. Die Optimierung eines 3D-Chips soll dabei ganzheitlich, d. h. übergreifend über die einzelnen Teilaufgaben, und unabhängig vom Anwendungsgebiet ermöglicht werden. Ein besonderer Fokus wird im Projekt auf der Optimierung der Kosten und somit auch auf einer Rentabilitätsbewertung der 3D-Integration liegen. Als Ergebnisse werden Verfahren für die 3D-Integration vorgestellt und eine Entwurfsplattform demonstriert. Somit wird die Entwurfskompetenz in Deutschland für eine neue Klasse von heterogenen, hochintegrierten, nanoelektronischen Systemen gestärkt, die zum Entwurf von flexiblen, dezentralen, energieeffizienten Mess- und Steuersysteme genutzt werden kann.

EDA- Clusterforschung

Das Projekt ist als ein EDA- Clusterforschungsprojekt geplant. EDA-Clusterforschungsprojekte sind Vorlaufforschungsprojekte, die von der Industrie initiiert und ausschließlich durch Universitäten und Forschungseinrichtungen ausgeführt werden. Ziel ist es, in diesen Projekten, Methoden und Werkzeuge zu erforschen, die in 5–10 Jahren im Schaltungsentwurf zum Einsatz kommen können. Hierbei sollen die EDA-Bereiche gestärkt werden, die für Deutschland von herausragender Bedeutung sind. Clusterforschungsprojekte sollen darüber hinaus die deutsche Forschungslandschaft stärken und vernetzen. Die Forschung wird damit an die industriellen Erfordernisse herangeführt. Diese Projekte werden gemeinsam vom Bundesministerium für Bildung und Forschung und der initiiierenden Industrie getragen, die die Forscher außerdem mit ihrer Technologie für die Demonstratoren zur Evaluierung der Projektergebnisse unterstützt.

Spiegel Online berichtete, dass Spaniens Strombedarf kurzzeitig zur Hälfte mit Windkraft gedeckt wurde. <http://www.spiegel.de/wirtschaft/soziales/0,1518,660142,00.html#ref=rss>

Das 5. Clusterforschungsprojekt befindet sich in der Antragsphase. Weitere Informationen zu dem Projekt erhalten Sie über den Koordinator Volker Schöber.

Kont@kt
Dr. Volker Schöber
fon: (05 11) 7 62 – 1 96 88
schoeber@edacentrum.de

Nachrichten von den Projekten

www.edacentrum.de/projekte



Erfolgreiche Inbetriebnahme des Demonstrators zur Aufnahme bioelektrischer Signale

Mit der Inbetriebnahme eines System-In-Package (SiP) zur Aufnahme bioelektrischer Signale, die das Herzstück eines drahtlosen Elektrokardiogrammgeräts darstellt, wurde ein wichtiger Meilenstein im Projekt Dionysys erreicht. Das System umfasst sechs ungehäuste Chips, die auf ein Substrat geklebt und mit Wirebonds angeschlossen wurden. Zwei Kanäle, sowie der dritte Kanal und ein digitaler Chip wurden übereinander gestapelt (Abbildung 1.06).

Erste Messungen zeigen gute Ergebnisse, die dem Vergleich zu den Eigenschaften eines ähnlichen als System on Chip (SoC) realisierten Systems standhalten. Zusätzlich wurde das System mit einem ZigBee-Transceiver zu einem RF-SiP erweitert, um die gemessenen Signale per Funk zu übertragen. Die Anpassung des Transceivers an die Antenne ist während der Designphase durch Simulationen auf Anhieb gut genug gelungen.

Der Demonstrator erlaubt die Messung der gegenseitigen Beeinflussung von zwei gestapelten Chips und bietet eine gute Möglichkeit, Simulationsergebnisse zu verifizieren. Darüber hinaus werden an ihm Entscheidungskriterien untersucht, ob ein SoC- oder SiP-Ansatz die bessere Wahl zur Realisierung eines Systems darstellt.



Alleinstellungsmerkmal deutscher Forschung in der Verifikation: HERKULES präsentierte seine Forschungsergebnisse am 03. und 04. Februar 2010 in München

Eines der Themen, denen sich das Bundesministerium für Bildung und Forschung (BMBF) immer wieder annimmt und das es fördert, ist das Thema Verifikation. Es steht gesellschaftlich in direkten Zusammenhang mit der Zuverlässigkeit und Sicherheit, die wir an heutige elektronische Systeme stellen. Durch die steigende Anzahl der Elektronik und deren Komplexität, die uns umgibt und immer mehr Aufgaben für uns übernimmt, nimmt auch die Bedeutung des Themas Sicherheit und Zuverlässigkeit und damit auch das Thema der Verifikation zu. Verifikations- und Testaufwand nehmen bei der Entwicklung von Produkten heute zum Teil bereits 70 % des Gesamtaufwandes ein. Automatisierte und zuverlässige Verifikations- und Testverfahren

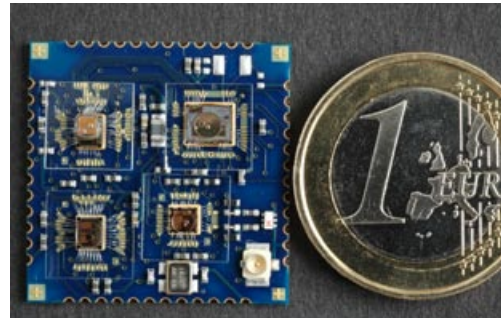


Abbildung 1.06: System in Package zur Aufnahme und Übertragung biomedizinischer Signale

sind dringend notwendig, um das, was wir heute entwickeln, auch sicher verwenden zu können.

Das Projekt HERKULES gehört zu einem der Verifikationsprojekte, das vom BMBF gefördert wurde, und die fachlichen Erfolge lassen mittlerweile erkennen, dass Deutschland hier ein internationales Alleinstellungsmerkmal erarbeitet hat.

In Vorläuferprojekten, wie z. B. VALSE-XT, lag der fachliche Schwerpunkt auf der Modulverifikation. Damit wurden Konzepte und Vorgehen entwickelt, um Module eines Systems automatisiert und formal verifizieren zu können. Die Gründung der Firma OneSpin Solutions (OSS) war eine der Erfolge dieses Projektes. Der nächste Schritt, um zukünftig zu einer automatisierten formalen Methode für ein komplettes System zu kommen, ist die Erforschung von Verifikationsverfahren für Modulschnittstellen (Protokolle). Auf diesem Schritt lag der Schwerpunkt des Projektes HERKULES. Die folgenden Überlegungen spielten dabei zusammen:

- » Eine Methode zu entwerfen, bei der Kommunikationsprotokolle automatisch verifiziert werden, kann es notwendig machen, dass der Verifikationsingenieur sich im Detail mit dem Design auskennen muss. Um die Nachteile eines solchen whitebox-Ansatzes zu mildern, wurden protokoll-spezifische formale Verifikationskomponenten (FVCs) entwickelt. Diese Komponenten werden einmal für ein Protokoll entworfen und dann für jedes Design, das mit dem Protokoll konform sein soll, wiederverwendet. Der Verifikationsingenieur wird also bei der Erstellung der Eigenschaften (Properties) massiv entlastet und muss sich nicht mit „Grabarbeiten“ im Design beschäftigen. Im Laufe des Projektes wurde das ursprüngliche FVC-Konzept zu „Recorden“ verallgemeinert, um zustandslastige Protokolle besser handhaben zu können.
- » Bei Kommunikationsmodulen werden manuelle Aufwände und detaillierte Analysen des Designs häufig dann notwendig, wenn Erreichbarkeitsinformation

Weitere Informationen auf der Projekthomepage:
dionysys.eas.iis.fraunhofer.de

Kont@kt (DIONYSYS):
Uwe Knöchel
Fraunhofer Institute
for Integrated Circuits
fon: (03 51) 46 40 – 7 48
uwe.knoechel@eas.iis.fraunhofer.de

Infos zu HERKULES finden Sie unter: www.edacentrum.de/herkules

Kont@kt (HERKULES):
Hans Sahn
Alcatel Lucent
fon: (09 11) 5 26 26 38
hsahn@alcatel-lucent.com

fehlen. Dies würde die durch den FVC-Ansatz gewonnenen Vorteile gefährden. Deswegen wurden speziell auf die Herkules-Methodik zugeschnittene Methoden zur Erreichbarkeitsanalyse (Berechnung von Invarianten) entwickelt, um die Notwendigkeit manueller Eingriffe zu verringern.

- » Durch die beiden oben genannten Punkte entstand insgesamt ein Re-use-Ansatz, der für CPU-seitige (parallele) Busprotokolle robust funktioniert und die Verifikationsaufwände um 80 % reduziert. Diese Vorgehensweise ist bereits weitgehend implementiert.

Hat man die Verifikation einzelner Module sowie ihrer Schnittstellen im Griff, können diese Konzepte von einem einzelnen Modul (Cluster) auf mehrere ausgedehnt werden (Completeness-Methodik). Dies erfordert die Formalisierung von Integrationsbedingungen, was ebenfalls Bestandteil des Projektes war.

Der nächste logische Schritt, hat man die Verifikation auf mehrere Module ausgedehnt, besteht in der Betrachtung von Systemeigenschaften basierend auf den durch die Completeness-Methodik geschaffenen Abstraktionen. Dies wurde in einer Fallstudie zur Deadlockerkennung im Projekt Herkules erstmals untersucht.

Entlang des Weges fokussiert sich das Projekt auf wichtige Themen wie:

- » Handhabung serieller Protokolle: LIN, FlexRay (Uni Karlsruhe, Uni Duisburg-Essen). Das Thema ist besonders schwierig wegen sehr langer Zeitfenster.
- » Softwareimplementierte Kommunikationsmodule (Software-LIN) (IMMS)
- » Usability: SVA-Problematik (Alcatel-Lucent), parametrisierte Designs (OSS)
- » Diagnose (Concept Engineering, Uni Bremen)

Die Forschungsergebnisse liegen vor und sind vielversprechend – vor allem da Deutschland hier eine Vorreiterrolle spielt. Jetzt bleibt abzuwarten, wie sich die Industrie auf die neue Möglichkeiten der Berufssparte Verifikationsingenieur einschwingt. Der Bedarf ist auf jeden Fall da, schwierig wird das Umdenken im wirtschaftlichen Alltag – formale Verifikation ist nach wie vor etwas, das von sehr vielen als zunächst einmal als „zu schwierig“ eingestuft wird. Das formale Verifikation nicht nur von mathematischen Genies und formalen Geistern angewendet werden kann, muss sich erst einmal rumsprechen. (ch)



SANITAS erweckt schon zu Beginn großes internationales Interesse

Die SANITAS Methodik stößt bereits in der Frühphase des Projekts auf ein breites internationales Interesse.

Erste Ansätze zur Anhebung der Verifikation auf den Electronic System Level wurden innerhalb einer Special Session mit dem Titel „TLM Verification for Systems-on-Chip“ im Rahmen der IP/ESC Konferenz 2009 in Grenoble vorgestellt. Darüber hinaus wurde ein ganztägiges Tutorial zur ESL-Verifikation mit dem Titel „State-of-the-Art and Challenges in ESL-Verification“ bei der DATE2010 in Dresden angenommen, welches ausschließlich durch SANITAS-Partner organisiert wird. Dieses große Engagement der Projektpartner spiegelt sich auch schon jetzt in einer Vielzahl von Kooperationsworkshops und Meetings mit intensivem Know-how-Austausch wieder, die seit dem Kickoff stattgefunden haben.



SyEnA mit sechs Beiträgen auf der Analog 2010

Das Projekt „Syntheseunterstützter Entwurf analoger Schaltungen“ (SyEnA, Förderkennzeichen: 01M3086), präsentiert wesentliche der bislang – nach etwa 14 Monaten Laufzeit – erzielten Ergebnisse auf der 11. GMM/ITG-Fachtagung „Entwicklung von Anlogschaltungen mit CAE-Methoden (ANALOG 2010)“ vom 22.–24. März 2010 in Erfurt. Dazu haben die Projektpartner vier Beiträge einen Tutorial-, sowie einen Podiumsdiskussionsvorschlag zur Begutachtung bei der Analog eingereicht, die alle angenommen wurden:

Mo., 22. März, 14:30–16:00, Tutorial:

- » „Rechnergestützter Entwurf wiederverwendbarer Anlogschaltungen“, R. Wittmann, H. Bothe, B. Oelkrug, alle IP GEN Rechte GmbH und R. Jancke, Fraunhofer Institut IIS/EAS

Di. 23. März, 16:10–17:40, Podiumsdiskussion:

- » „Maschinenles- und simulierbare Spezifikation: Inhalt – Form – Umfang – Anwendung“, Moderator: L. Hedrich, Universität Frankfurt, Teilnehmer: A. Dahlhoff, LITEF GmbH, K. Einwich, Fraunhofer IIS/EAS, P. Jores, Robert Bosch GmbH und C. Sporrer, Infineon Technologies AG

Mi. 24. März, 10:50–11:10, Vortrag:

- » „Gradientenbasierte Eigenwertoptimierung zur Frequenzgangkompensation linearer Anlogschaltungen“, E. Schäfer, D. Krauß, R. Sommer, alle TU Ilmenau und E. Hennig, IMMS gGmbH

Mi. 24. März, 13:55–14:20, Vortrag:

- » „Hierarchische Entwurfsmethodik mit automatischer Bottom-Up-Topologiemodifikation und spezifikationsgetriebener Dimensionierung“, D. Krauß, E. Schäfer, R. Sommer, alle TU Ilmenau, E. Hennig, IMMS gGmbH und M. Sylvester, MunEDA GmbH

Poster:

- » „Spezifikationsbasierte Generierung und Optimierung einer hochgenauen Potentiometerschaltung für beliebige CMOS-Fertigungsprozesse“, R. Wittmann, F. Hummels, W. Schardein, IP GEN Rechte GmbH

Informationen zur Analog10 sowie die Möglichkeit der Registrierung finden Sie unter: www.imms.de/de/analog_2010.html

Kont@kt (SANITAS):

Dr. Volkan Esen
Infineon Technologies AG
fon: (0 89) 2 34 – 2 78 14
volkan.esen@infineon.com

Informationen zum Projekt SyEnA sind verfügbar unter: www.edacentrum.de/syena/

Kont@kt (SyEnA):

Ralf Popp
fon: (05 11) 7 62 – 1 96 97
popp@edacentrum.de

Tutorial F1:

“Application of the SystemC
AMS Standard”

Date: Mon, 2010-03-08

Time: 09:30–13:00

Location: DATE10, Dresden

Room: Konferenz 4

» “A Lookup Table Flow for Analog Design Automation”, S. Höppner, J. Görner, S. Henker, R. Schüffny, alle TU Dresden und A. Graupner, ZMD AG

Interessierte, insbesondere Vertreter anderer „IKT 2020“-Projekte sind eingeladen, die Präsentation der SyEnA-Projektresultate auf diesem öffentlichen Workshop zur eigenen Inspiration und zur Anregung der Kooperation zu nutzen. (Pp)

SyEnA

First SyEnA results concerning the standardization of SystemC AMS will be presented within a DATE tutorial

First results of the SyEnA project (project label: 01M3086), will be presented within a DATE tutorial on Monday 8th of March between 9.30 a.m. and 1:00 pm in Room “Konferenz 4”. The tutorial (F1) is entitled “Application of the SystemC AMS Standard” and will be organized by the CATRENE “Beyond DREAMS”

project (whose German parts are embedded in the SyEnA project). The speakers will be:

- » Karsten Einwich, Fraunhofer IIS/EAS Dresden, DE
- » Christoph Grimm, TU Vienna, AT
- » Francois Pecheux, Pierre et Marie Curie U, FR
- » Martin Barnasconi, NXP Semiconductors, NL

This tutorial will present the motivation and unique capacities of the SystemC AMS extensions for industrial applications in wireless communication and automotive. New modelling concepts and design refinement methods for mixed-signal systems are explained. An application example of a heterogeneous wireless sensor network is presented, covering modelling across several disciplines (physics, digital, analogue/RF, software), modelling principles and numerical analysis methods. The tutorial targets hardware and system engineers, architects and verification engineers active in industrial projects where analogue and digital functionality comes together. The tutorial will bring hands-on experience how to efficiently use the SystemC AMS extensions for system design and verification tasks.

Recent information on the tutorial can be found at www.date-conference.com/conference/date10-tutorial-F1

2

Neues aus dem edacentrum

Einweihung der neuen Räumlichkeiten

www.edacentrum.de/kontakt

Im Rahmen der Mitgliederversammlung des edacentrum e. V. hat am 08.12.2009 die offizielle Einweihung der neuen Räumlichkeiten des edacentrum stattgefunden. Bei Sekt und Fingerfood konnten unsere Mitglieder die neuen Räume besichtigen und sich ein Bild von unserer Arbeit machen. Einige Teilnehmer haben zudem die Gelegenheit genutzt, bei anregen-



Abbildung 2.01: Mitglieder bei der Einweihung der neuen Räumlichkeiten des edacentrum am 08.12.2009.



Abbildung 2.02: Einweihung edacentrum-Räumlichkeiten

den Gesprächen Kontakte für neue Kooperationen zu knüpfen. (Sp)

Kont@kt: Maren Sperber, fon: (05 11) 7 62 – 1 96 99, sperber@edacentrum.de

Musterdepot: 30 Prozent plus in 6 Monaten

<http://www.onvista.de>

Zwar ist der Gesamtwert des Musterdepots seit Auflegung im Jahr 2007 immer noch mit –35 % deutlich im Minus – im Vergleich zum Juni 2009 hat der Depotwert aber um mehr als 30 % zugelegt. Dabei zeigt sich

unter www.edacentrum.de/newsletter/ finden Sie im Internet weitere Informationen.



ROBUST

Industriepaten unterstützen mit Know-how und finanziellen Mitteln die Ergebnisverwertung von ROBUST

Mit der Unterzeichnung des Kooperationsvertrages zwischen den Forschungspartnern und interessierten Industrieunternehmen steht nun das ROBUST Konsortium fest. Die Paten Cadence Design Systems GmbH, CST – Computer Simulation Technology AG, Infineon Technologies AG, Northrop Grumman LITEF GmbH, Melexis GmbH, Robert Bosch GmbH und X-Fab Semiconductor Foundries AG werden in der Projektlaufzeit die Forschungspartner nicht nur bei der Forschung unterstützen, sondern auch die industrielle Verwertung der Forschungsergebnisse ermöglichen.

Ziel bei der Clusterforschung ist ein industrieller Einsatz neuer EDA-Methoden in 5–10 Jahren in wichtigen EDA-Domänen und ein Know-how-Transfer aus der Forschung in die Industrie. Um dies zu erreichen finanziert die Industrie gemeinsam mit dem BMBF wissenschaftliche Mitarbeiter. Während die Clusterforschungsprojekte die Machbarkeit neuer Methoden erforscht, überführt die Industrie im Anschluss die neuen Entwurfsmethoden in eine industrielle Entwurfsumgebung, beispielsweise über ein F&E Verbundprojekt.

Der Kooperationsvertrag legt dabei die Nutzungs- und Verwertungsrechte zwischen Industrie- und Forschungspartner fest, der jetzt für ROBUST abgeschlossen wurde, wobei neue Industriepartner im Laufe des Projekts dem Konsortium beitreten können. (Tr)

Clusterforschungsprojekte

Typische Größe:
5–6 Partner x 3 Jahre
Koordination durch das edacentrum
Praxisnahe Betreuung durch die Industriepartner

Weitere Informationen zu ROBUST finden sich auf den Web-Seiten des Projekts www.edacentrum.de/robust

Kont@kt (ROBUST):
Dr. Volker Schöber
fon: (05 11) 7 62 – 1 96 88
schoeber@edacentrum.de



Tabelle 2.01: Chartverlauf des Newsletter-Musterdepots

insbesondere die Aktie von Intel bei einem Plus von 25 % in 3 Monaten mit treibender, vielleicht sogar richtungsweisender Stärke. Der Kauf von Chip- und EDA-Anteilen scheint sich wieder zu lohnen!

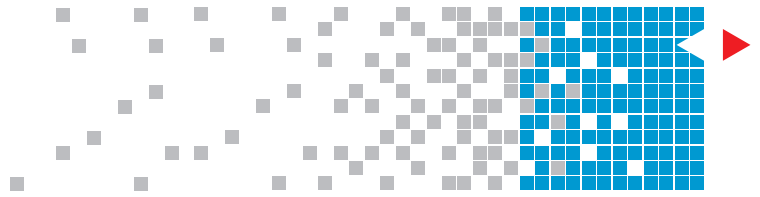
Aktuell sind die in Abbildung 2.03 dargestellten Aktien im Musterdepot enthalten. Veränderungen durch Neuaufnahmen und Austritte werden berücksichtigt. (Tr)

Kont@kt: Dr. Dieter Treytnar, fon: (05 11) 7 62 – 1 96 87, treytnar@edacentrum.de

Stückzahl	Bestand Bezeichnung	WKH WP Art	Kaufdaten		Aktuelle Daten			G/V		
			Datum Uhrzeit	Kurs Betrag (mit Sp.)	Datum Uhrzeit	akt. Kurs (€)	+/- %	Hoch Tief (Tag)	Betrag heute +/-	ges. +/- %
468	ADVANCED MICRO DEVIC ES INC. REGISTERED S...	863188 AK	13.03.07 15.08.47	10,690 5.002,920	10.02. 10.50.20	5,491 (FRA)	+0,04 +0,73%	5,496 5,436	2.569,788 +18,72	-2.433,13 -48,63%
849	ALCATEL-LUCENT ACTIO NS AU PORTEUR (C.R.) ...	873102 AK	08.11.07 16.38.42	5,890 5.000,610	10.02. 11.15.15	2,332 (FRA)	-0,07 -3,00%	2,355 2,332	1.979,868 -61,13	-3.020,74 -60,41%
1.263	ATMEL CORP. REGISTER ED SHARES O.N.	882257 AK	13.03.07 15.10.04	3,960 5.001,480	10.02. 09.22.53	3,080 (DUS)	-0,37 -10,72%	3,080 3,080	3.090,040 -467,31	-1.111,44 -22,22%
327	CADENCE DESIGN SYSTE MS INC. REGISTERED S ...	873587 AK	13.03.07 15.13.47	15,340 5.016,180	10.02. 09.22.52	3,910 (DUS)	-0,12 -2,98%	3,910 3,910	1.270,570 -39,24	-7.377,61 -74,51%
129	DASSAULT SYSTEMES S. A. ACTIONS PORT. EO ...	901295 AK	13.03.07 15.17.58	30,000 5.005,200	10.02. 09.23.43	40,100 (DUS)	+0,03 +0,07%	40,100 40,100	5.172,900 +3,87	+167,70 +3,35%
440	INFINEON TECHNOLOGIE S AG NAMENS-AKTION O ...	823100 AK	13.03.07 15.19.36	11,370 5.002,800	10.02. 12.59.40	4,912 (GER)	+0,03 +0,00%	4,059 3,887	1.705,200 +14,08	-2.297,52 -64,71%
376	INTEL CORP. REGISTER ED SHARES DL ...001	955581 AK	06.10.09 10.19.05	13,290 4.997,040	10.02. 12.47.19	14,205 (FRA)	+0,80 -0,39%	14,300 14,205	5.341,000 -20,68	+344,04 +6,88%
70	INTL BUSINESS MACHIN ES CORP. REGISTERED ...	951299 AK	13.03.07 15.20.38	71,230 4.988,100	10.02. 12.37.19	89,500 (FRA)	-0,10 -0,11%	89,500 89,300	6.265,000 -7,00	+1.270,90 +25,85%
178	KON. PHILIPS ELECTRO NICS N.V. AANDELEN A ...	940602 AK	13.03.07 15.27.52	20,010 4.985,780	10.02. 11.09.35	21,420 (FRA)	+0,41 +1,98%	22,290 21,140	3.912,760 +73,87	-1.173,02 -23,53%
641	MAGMA DESIGN AUTOMAT ION INC. REGISTERED ...	875051 AK	13.03.07 15.28.40	7,000 4.999,800	10.02. 09.22.48	1,668 (DUS)	0,00 0,00%	1,660 1,660	1.064,000 0,00	-3.835,74 -78,72%
347	MELEXIS N.V. REGISTE RED SHARES O.N.	909705 AK	13.03.07 15.29.52	14,400 4.996,800	10.02. 09.08.41	6,370 (FRA)	+0,04 -0,58%	6,920 6,920	2.401,240 +13,88	-2.585,56 -51,94%
423	MENTOR GRAPHICS CORP . REGISTERED SHARES ...	888809 AK	13.03.07 15.30.53	11,820 4.999,860	10.02. 09.05.05	5,812 (MUN)	0,00% 0,00%	5,812 5,812	2.450,476 0,00	-2.541,30 -50,83%
255	SYNOPSIS INC. REGIST ERED SHARES DL ...01	883703 AK	13.03.07 15.33.10	19,500 4.992,900	10.02. 09.11.52	15,025 (HAM)	+0,04 +0,23%	15,025 15,025	3.031,375 +8,93	-1.161,53 -23,26%
Summe aller 13 Positionen:				64.987,47					41.830,44	-23.157,03
									-462,01	-35,63%
									-1,09%	

Abbildung 2.03: Auflistung des am 13.3.2007 eingerichteten „edacentrum e.V.-Aktien-Musterdepots“ Stand 10.2.2010

edaWorkshop10

www.edacentrum.de/edaworkshop**edaWorkshop 10**

Hannover, 4. – 5. Mai 2010



ITG



GMM

Der diesjährige edaWorkshop findet vom 4.–5. Mai 2010 in altbewährter Form in Hannover statt. In diesem Artikel lesen Sie Auszüge aus dem Programm, welches in diesen Tagen per Post verschickt wird. Nutzen Sie die Gelegenheit, sich auf dem edaWorkshop10 innerhalb der EDA-Community auszutauschen!

Über den edaWorkshop

Der edaWorkshop als die zentrale deutsche EDA-Veranstaltung bietet beste Voraussetzungen für die Publikation und Diskussion von anwendungsnahen EDA-Forschungsergebnissen. Die ausgewogene Präsenz von Industrie und Forschung schafft ideale Möglichkeiten zum fachlichen Austausch mit wissenschaftlichem Anspruch. Besonders hervorzuheben ist die starke Präsenz führender Industrieunternehmen, die vielfältige Kooperationen zur Überführung von Forschungsergebnissen in einen wirtschaftlichen Nutzen ermöglicht.

Gleichzeitig ist der edaWorkshop auch die zentrale Veranstaltung zum Ergebnisaustausch für alle vom BMBF geförderten EDA-Projekte. Er dient der Kommunikation zwischen EDA-Fachleuten und dem Fördergeber und unterstützt den Ergebnistransfer bei öffentlich geförderten Forschungs- und Entwicklungsprojekten.

Seit seiner Gründung im Jahr 2007 konnte der erfolgreiche Workshop jährlich mehr als 100 Teilnehmer anziehen.

Die zweitägige Veranstaltung hält die Balance zwischen Information und Kommunikation. Sie bietet nicht nur eine große Palette von Vorträgen zu Fachthemen und EDA-Forschungsprojekten, sondern auch ausführliche Gelegenheiten für fachliche Gespräche und zum Networking. Eine umfangreiche Posterausstellung mit Forschungsergebnissen, in der auch Demonstratoren und Prototypen vorgestellt werden, bietet hierzu ideale Rahmenbedingungen.

Auf dem edaWorkshop in Hannover treffen Sie Ihre Kollegen und gute Bekannte, aber auch diejenigen, die Sie bisher nur über Telefon und E-Mail kennen. Darüber

hinaus werden Sie auch die Gelegenheit haben, neue Kontakte insbesondere zu Industriepartnern zu knüpfen.

Der edaWorkshop – Katalysator der EDA-Forschung

Der Entwurf von integrierten Schaltungen und Systemen stellt höchste Anforderungen an Entwicklungsingenieure und an die von ihnen verwendeten Entwurfsmethoden und -werkzeuge. Dazu gehören die effiziente und herstellungsorientierte Entwicklung von sicheren, sparsamen, robusten und zuverlässigen Systemen von hoher Komplexität, mit sehr kleinen Strukturen und insbesondere der Entwurf von Analog- und Mixed-Signal-Schaltungen.

Um EDA-Forschungsaktivitäten zur Bewältigung dieser Herausforderungen zu stimulieren, fördert das Bundesministerium für Bildung und Forschung (BMBF) einen Förderkomplex für Entwurfsplattformen komplexer angewandter Systeme und Schaltungen. Dabei werden die für die Wettbewerbsfähigkeit der deutschen Industrie wichtigen Zweige durch ein gemeinsames Vorgehen von Industrie, Forschung und öffentlicher Hand gestützt.

Der Förderkomplex beinhaltet die EDA-Beiträge zu den in dem BMBF-Forschungsprogramm für die Informations- und Kommunikationstechnologie (IKT 2020) aufgeführten Themen. Das Programm ist auf fünf Anwendungsfelder mit hoher Wertschöpfung und hohem Arbeitsplatzpotential fokussiert. Im Einzelnen sind das Automobil/Mobilität, Maschinenbau/Automatisierung, Gesundheit/Medizintechnik, Logistik/Dienstleistungen und Energie/Umwelt.

Der edaWorkshop ist die zentrale Plattform zur Präsentation und zum Austausch der Lösungsansätze und

Weitere Informationen zum edaWorkshop finden Sie unter: www.edacentrum.de/edaworkshop

Ergebnisse aus den dem „IKT 2020“-Programm zugeordneten EDA-Projekten. Diese werden eingeladen, ihre Ergebnisse in Vorträgen und Postern vorzustellen. Dabei soll der Anwendungsbezug zu den gesellschaftlich relevanten Themenbereichen (s. IKT 2020) im Mittelpunkt stehen. Gleichzeitig ist der edaWorkshop ein wissenschaftlicher Workshop, auf dem auch andere für EDA relevante Forschungsergebnisse dargestellt werden können und sollen. Durch die einzigartige Kombination von Wissenschaft und Anwendung ergeben sich vielseitige Chancen zum Dialog sowie zur Vorbereitung einer industriellen Verwertung von Forschungsergebnissen.

Der edaWorkshop wird vom edacentrum zusammen mit dem BMBF, der DLR und der GI/GMM/ITG-Kooperationsgemeinschaft „Rechnergestützter Schaltungs- und Systementwurf“ organisiert.

Auf dem edaWorkshop10 wird es am Dienstag und am Mittwoch je eine Keynote geben. Am Dienstag hält Andreas von Schwerin von der Siemens AG den nachfolgend charakterisierten Vortrag und am Mittwoch spricht Prof. Dr. Rolf Ernst von der TU Braunschweig, dessen Vortragstitel bei Redaktionsschluss noch nicht fest stand.

Andreas von Schwerin, Siemens AG:

Keynote: „The Importance of ASIC-Development and System Level Design for Industrial Automation“

Since the 1980s ASIC-design played an important role within Siemens for the development of industrial automation products. This is still true. Like in other industries, the main functionality of electronic prod-

ucts in the field of industrial automation is defined by System-on-Chip (SoC) ASICs and software. Key SoCs are in a way implementing the industrial automation know-how, they are still developed in-house.

The presentation starts with business needs and trends in the field of industry automation. Based on the example of a new SoC for industrial communication, it will be shown, how ASIC development is done today at Siemens, the interfaces, the challenges, and what role EDA-tools and advanced methodology can play.

The second part of the presentation will elaborate on the shift in development paradigm based on system level design methodology, which is currently underway in the industry. Systems under investigation here are the brains and nerves of a manufacturing line: networks of SoC-based controllers and I/O-devices, connected by industrial busses. Transaction level modeling and virtual prototyping allow to address the specification and verification challenges in these systems, which are substantially due to HW/SW-interaction, within a single SoCs but also on network level.

Finally an outlook is given, how system level design methodology can speed-up and improve the results of collaborative development between system houses and suppliers of ICs or electronic components, and what role it may play in the framework of the so-called digital factory.

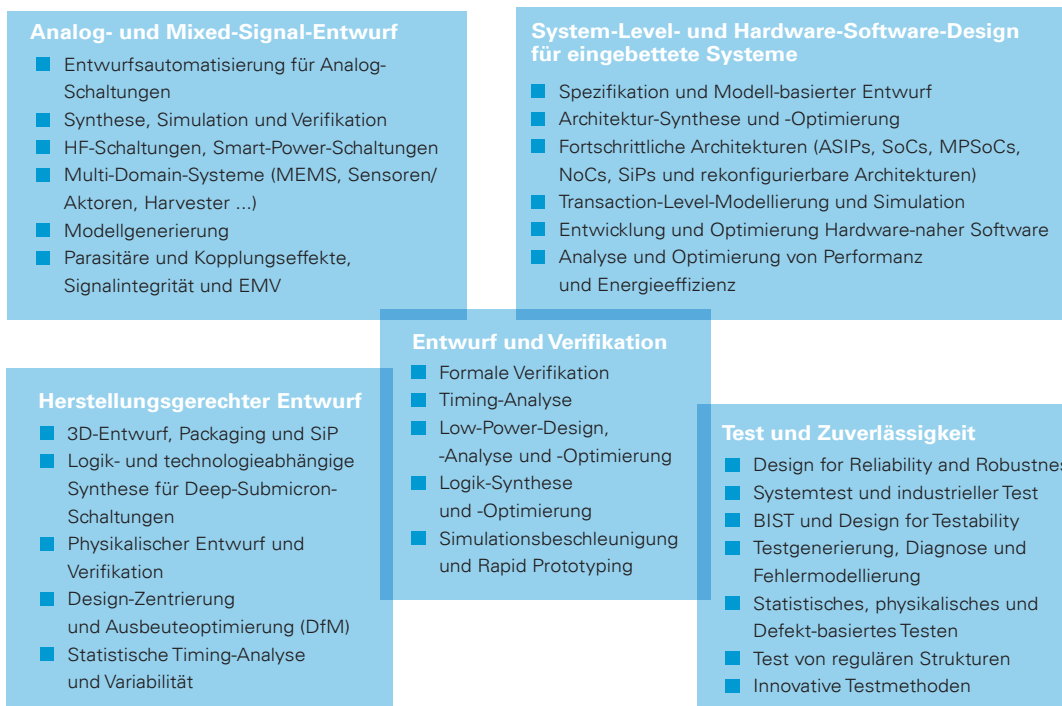
Anmeldung

Informationen zur Anmeldung sind auf www.edacentrum.de/edaworkshop/anmeldung erhältlich. Anmeldeschluss ist am 26.04.2010.



Abbildung 3.01: Andreas von Schwerin, Siemens AG

Themenspektrum zum edaWorkshop10



Kont@kt und Information
 Ralf Popp
 edacentrum
 Schneiderberg 32
 30167 Hannover
 fon: +49 (5 11) 7 62 – 1 96 97
 fax: +49 (5 11) 7 62 – 1 96 95
popp@edacentrum.de



Design Automation and Test Conference (DATE) 2010

Europas wichtigstes EDA-Expertenforum findet erstmals in Dresden statt

Nicht von ungefähr wird im Jahr 2010 die DATE in Dresden (8.–12.3.2010) stattfinden: im Raum Dresden liegt schließlich Europas größte Ansammlung führender Mikroelektronik-Unternehmen und bietet daher das hochkarätige Umfeld, das die Experten aus Wissenschaft und Industrie brauchen. Daher stehen die Aussichten gut, dass Dresden auch künftig – im traditionellen Zweijahresturnus – Veranstaltungsort sein wird.

Die Bedeutung der DATE spiegelt sich auch bei dem neuen Rekord für die Konferenz eingereichten Beiträgen wider. Das Programm mit zahlreichen Top-Leuten aus Management und Forschung verspricht einen sehr erfolgreichen Verlauf.

Auf einem Gemeinschaftsstand in der Ausstellung werden sich zahlreiche Firmen aus Sachsen präsentieren; mit Globalfoundries und der Fraunhofer Gesellschaft haben zwei besonders wichtige Vertreter der Dresdener Mikroelektronik einen eigenen Stand. Mehr als 60 Aussteller aus aller Welt werden ihre neuesten Produkte und Forschungsergebnisse präsentieren, die Firmen Mentor Graphics, Synopsys, Apache und Artisan werden Toolseminare veranstalten.

Enge Verzahnung von Forschung und Anwendung

Eine besondere Stärke der DATE ist die enge Verzahnung von Forschung und industrieller Anwendung, so werden in ihren Keynotes Alberto Sangiovanni-Vincentelli aus Berkeley und das Infineon-Vorstandsmitglied Hermann Eul die Entwicklung komplexer Systeme und das Geschäftsfeld der drahtlosen Kommunikation umfassend behandeln.

Vertreter wichtiger Anwenderindustrien wie BMW und Intel, Halbleiterhersteller wie Infineon und Texas Instruments sowie Fabriken wie TSMC und Globalfoundries werden mit ihrem Management in zahlreichen Podiumsdiskussionen vertreten sein.

Der Förderung von Forschungsinitiativen durch das BMBF kommt eine sehr hohe Bedeutung zu, u. a. wird im Rahmen des Special Days „Cool Electronics“ das vom BMBF unterstützte Forschungsprogramm Cool Silicon seine Arbeit vorstellen. (Haa)

Unverzichtbar für den Wissensaustausch

Die Besucher der Konferenz-begleitenden Ausstellung können sich auf dem Stand des edacentrum (EP5) über Ergebnisse der aktuell vom BMBF im Rahmen des IKT 2020-Programms unterstützten Projekte zu EDA-Themen informieren. Das Themenspektrum

geht vom Entwurf elektronischer Systeme für das Automobil, über Methoden zur Optimierung der Fertigungsausbeute bei modernsten Halbleitertechnologien bis hin zur Sicherung der Robustheit künftiger nanoelektronischer Systeme. Weiter stellt das edacentrum ein europaweites Netzwerk zur Verwertung von Forschungsergebnissen und Chipentwicklungen für lokale Windkraftanlagen vor.

Am Stand EP5 werden sich folgende IKT 2020-Projekte vorstellen:

- » DIONYSYS Dienstag, 9.3.2010, 11–13 Uhr
- » ROBUST Dienstag, 9.3.2010, 16–18 Uhr
- » SyEnA Mittwoch, 10.3.2010, 10–12 Uhr
- » SANITAS Mittwoch, 10.3.2010, 16–18 Uhr

Sie sind herzlich eingeladen, am edacentrum-Stand vorbeizukommen und sich über die Projekte zu informieren. (Tr)



R&D-ACCESS @DATE

R&D-ACCESS wird auf der DATE im Bereich der europäischen Projekt-Stände mit der Stand-Nummer EP2 vertreten sein.

Im Rahmen von R&D ACCESS werden Ergebnisse aller FP7 Projekte im Bereich „Semiconductor Design“ identifiziert. Dazu wird eine Webplattform bereitgestellt, um diese Ergebnisse außerhalb der Projekt-Konsortien zu veröffentlichen.

Dabei steht neben der reinen Informationsvermittlung auch der Gedanke einer erweiterten Verwertungsfindung der Ergebnisse im Vordergrund. Angesprochen werden sollen neben den Projekten auch die Industrie, KMUs und der Bereich der Forschung. Die Webseite von R&D-ACCESS (vgl. Nachricht aus den Projekten, S. 13) soll hierzu als Anlaufstelle dienen, Ergebnisse einzutragen, zu durchsuchen und bei Interesse an einer Verwertung Kontakte zu knüpfen.

Das Projekt informiert über die Ziele und den aktuellen Stand der Entwicklung auf der DATE und freut sich auf Ihre Fragen und Ihren Besuch. (Su)

Mehr Informationen zu R&D-ACCESS auf der DATE finden Sie hier: <http://www.date-conference.com/group/exhibitor/rd-access>

Kont@kt:
Dr. Dieter Treytnar
fon: (05 11) 7 62 – 1 96 87
treytnar@edacentrum.de

DATE University Booth 2010

Demonstration von 52 Hardware- und Software-Prototypen aus der Forschung auf der DATE 2010 in Dresden



In diesem Jahr organisiert das edacentrum zusammen mit der Universität Dresden die University Booth der DATE. Dort werden im Rahmen der DATE Exhibition 52 EDA-Werkzeuge und Hardware-Prototypen in 12 Sessions für jeweils 2 Stunden präsentiert. Sie sind herzlich eingeladen, sich selber ein Bild von den Demonstratoren zu machen.

Steigendes Interesse an Präsentationen von wissenschaftlichen Ergebnissen

Die University Booth wird von der DATE gesponsert und richtet ihr Angebot an Universitäten und Forschungseinrichtungen, die ihre wissenschaftlichen Ergebnisse demonstrieren wollen. Die Präsentatoren angesehener Beiträge können ihre Software oder Hardware innerhalb von zwei Stunden am Stand der University Booth demonstrieren, um eine mögliche Verwertung der Ergebnisse zu initiieren. Nachfolgend finden Sie eine Auflistung der Themenschwerpunkte (Sessions) der drei Tage zu denen bis zu 12 Präsentationen parallel stattfinden.

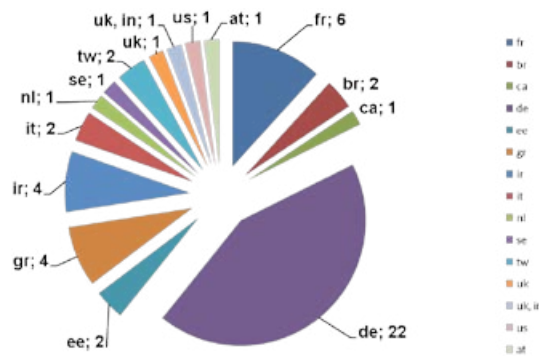


Abbildung 3.01: Die Präsentatoren der University Booth 2010 kommen aus 15 unterschiedlichen Staaten, davon 5 außerhalb Europas

Themenschwerpunkte am Dienstag, 9.3.2010

- » FPGA solutions, Hardware Acceleration and Rapid Prototyping
- » Software and Hardware in the System
- » System Exploration and Modelling
- » SoC, Platforms and SystemC in Applications
- » Robust Design Environments

Themenschwerpunkte am Mittwoch, 10.3.2010

- » FPGA solutions, Hardware Acceleration and Rapid Prototyping
- » Software and Hardware in the System
- » System Exploration and Modelling
- » SoC, Platforms and SystemC in Applications
- » Robust Design Environments

Themenschwerpunkte am Donnerstag, 11.3.2010

- » System Exploration with Software and Hardware
- » High Level Synthesis
- » System Analysis, Simulation and Verification

In diesem Jahr organisiert das edacentrum bereits zum 4. Mal – diesmal gemeinsam mit der Uni Dresden – die University Booth in der Ausstellung der DATE. Verglichen mit der DATE 2008 in München ist

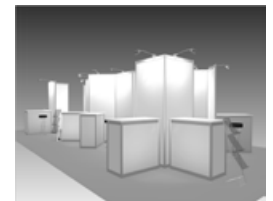
die Teilnehmeranzahl dieses Jahr um ca. 25 % gestiegen. Dabei ist die Beteiligung mit Präsentationen aus 15 Staaten wieder einmal deutlich internationaler ausgerichtet als in den vergangenen Jahren. Der Löwenanteil der Präsentationen kommt jedoch auch dieses Jahr aus Deutschland, während Frankreich deutlich weniger präsent ist als in den vergangenen Jahren in München.

Um den Wunsch nach Demonstrationen an verschiedenen Tagen zu ermöglichen, wurde die Anzahl der Präsentationsmöglichkeiten auf 12 erhöht. Bitte achten Sie deshalb im Programm auf zusätzliche Präsentationen.

Entwurf und Exploration auf Systemebene ist weiterhin dominant

Mit 34 Demonstrationen von Software-Prototypen gegenüber 7 Demonstrationen von Hardware Applikationen setzt sich der Trend der Vergangenheit fort. Darüber hinaus zeigt die mit 11 Präsentationen vertretene Kombination zwischen Hardware und Software deutlich den Weg der Forschung zu komplexeren Lösungen und Darstellung der Ergebnisse auf. Mit dem „Entwurf robuster Schaltungen“ ist ein neuer Themenschwerpunkt hinzugekommen. (VS)

Die University Booth befindet sich in der Ausstellung der DATE. Der Eintritt zur Ausstellung ist kostenlos. Das vollständige Programm finden Sie auf der DATE Webseite: www.date-conference.com/group/exhibition/u-booth



Visualisierung der University Booth in der Ausstellungshalle der DATE

Kont@kt
Dr. Volker Schöber
fon: (05 11) 7 62 – 1 96 88
schoeber@edacentrum.de

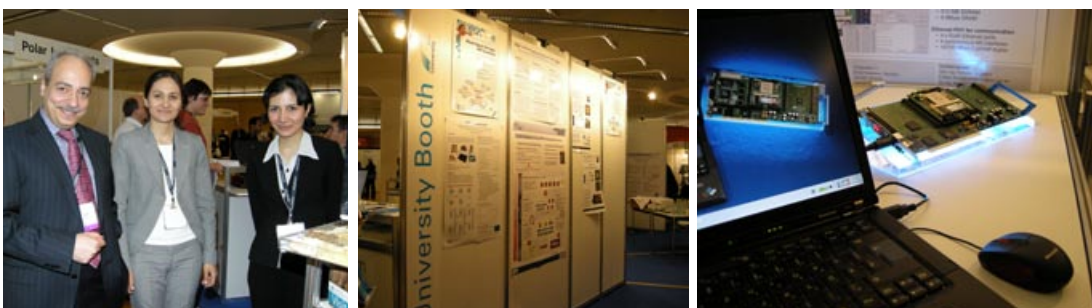


Abbildung 3.02: Impressionen von der University Booth 2008 in München

VDE**ITG****GMM**

11. ITG/GMM Fachtagung ANALOG 2010

Ungefähr alle eineinhalb Jahre trifft sich die deutsche Analog-EDA-Community – in diesem Frühjahr in Erfurt

Vom 22. bis 24. März 2010 findet in Erfurt die 11. Fachtagung zur Entwicklung von Analogschaltungen mit CAE-Methoden – ANALOG 2010 – statt. Auf der ANALOG 2010 werden Experten aus Wissenschaft und Industrie neueste Entwicklungen auf dem Gebiet des Schaltungs- und Systementwurfs diskutieren. Der Schwerpunkt der Konferenz liegt auf dem Thema „More than Moore“ und dessen Bedeutung im Zusammenhang mit Entwurfs-, Modellierungs-, Simulations- und Testmethoden für heterogene Systeme.

Informationen zur Analog10 sowie die Möglichkeit der Registrierung finden Sie unter: www.imms.de/de/analog_2010.html

Weitere Informationen und Anmeldung unter: <http://www.vde.com/konferenzen-registrierung>

Autorin und Kont@kt:
Ines Lehrke
fon: (0 36 77) 69 55 13
Analog2010@imms.de

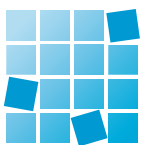
Leistungsfähigkeit bei vermindertem Energiebedarf und Senkung der Stückkosten sind seit der Erfindung der integrierten Schaltung vor etwa 50 Jahren die treibenden Faktoren in der Entwicklung der Mikroelektronik. Während diese Ziele für Speicherbausteine und Mikroprozessoren nach wie vor durch die Reduktion der minimalen Strukturgrößen im Sinne des Mooreschen Gesetzes verfolgt werden, hat sich in den vergangenen Jahren in der Analog- und Mixed-Signal-Schaltungstechnik der Trend zur Diversifikation der Technologien und Integration heterogener Funktionalität verlagert. Dies bedeutet die unmittelbare Verkopplung von analoger, digitaler und HF-Schaltungstechnik mit Sensorik und Aktorik für die verschiedensten physikalischen Eigenschaften in einem System-on-Chip oder System-in-Package. Bekannt ist dieser Trend unter dem Stichwort „More than Moore“.

„Was gemäß ‚More than Moore‘ technologisch zusammenwächst, muss auch im Entwurfsprozess ganzheitlich betrachtet werden“, erklärt Prof. Dr. Sommer, wissenschaftlicher Geschäftsführer der IMMS GmbH und Professor für Elektronische Schaltungen und Systeme an der Fakultät für Elektrotechnik und Informationstechnik an der TU Ilmenau.

Highlights des Programms:

- » Tutorials aus den Bereichen **Medizintechnik, MEMS-Technologien, Reuse im Analogschaltungsentwurf**
- » Eingeladene Vorträge zum Thema „**More than Moore**“
- » Führung durch die Hallen der **Melexis GmbH** – Microelectronic Integrated Systems
- » „**Nachwächter-Führung**“ durch die **Landeshauptstadt Erfurt**
In der Mitte Deutschlands gelegen erwartet Sie ein Nachtwächter, der durch das historische Erfurt führt, ein Orgelkonzert im Dom St. Marien und typische Thüringer Gastlichkeit bei einem rustikalen Abendessen.

Veranstalter der Analog 2010 sind die Informationstechnische Gesellschaft im VDE (ITG) und die VDE/VDI-Gesellschaft Mikroelektronik und Mikro- und Feinwerktechnik (GMM). Ausgerichtet wird die 11. ITG/GMM-Fachtagung ANALOG vom Institut für Mikroelektronik- und Mechatronik-Systeme (IMMS GmbH).



AIS Industriepartner-Workshop in Bonn

Zum Abschluss des Projekts luden die Forschungspartner die Industrie nach Bonn ein

Nach drei Jahren Laufzeit endete im Dezember die Durchführungsphase des AIS-Projekts und es wurde ein dritter und letzter Industriepartnerworkshop durchgeführt. Wie gewohnt wurden die Ergebnisse vorgestellt, um Diskussionen über die Verwertung in der Industrie anzuregen. Der vorliegende Artikel fasst das Wesentliche zusammen.

Jährliche Industriepartner-Workshops in der EDA-Clusterforschung

Bei EDA-Clusterforschungsprojekten haben sich jährliche, sogenannte Industriepartner-Workshops etabliert, bei denen eine Abstimmung zwischen den Forschungs- und Industriepartnern im Vordergrund steht. Solche Workshops dienen den Forschungspartnern dazu, ihre Lösungsansätze, die in 5–10 Jahren zur Anwendung kommen sollen, vorzustellen und mit industriellen Anforderungen abzustimmen. Die Indus-

triepartner haben hierbei die Möglichkeit, ihre Kompetenz durch innovative Ansätze aus der Forschung zu verbessern und unterstützen den Transfer aus der Forschung in die Industrie.

AIS-Industriepartner-Workshop in Bonn

Nach den Veranstaltungen in München und Stuttgart hatte das BMBF zum letzten AIS-Industriepartner-Workshop nach Bonn eingeladen. Dabei wurden die Resultate dreijähriger Forschung zum Thema „Auto-

nome Integrierte Systeme“ und die prototypischen Implementierungen vorgestellt und die Interoperabilität der wissenschaftlichen Lösungen demonstriert. Der Schwerpunkt lag dabei auf den Arbeiten des letzten Projektjahres, in dem es um die Zusammenführung der individuellen Entwurfskonzepte zu einem zusammenhängenden Prozess ging.

Alle technischen Ziele des Projekts wurden erreicht

Das AIS-Konsortium hatte sich zum Ziel gesetzt, eine neue Entwurfsmethodik für autonome integrierte Systeme zu erforschen. Mit dieser neuen Entwurfsmethodik sollen Architekturkomponenten mit autonomen Eigenschaften für den Betrieb dimensioniert und für den Systementwurf zur Verfügung gestellt werden. Diese Komponenten werden in einem Explorations- und Integrationsprozess auf Systemebene mit einer auf autonomes Verhalten ausgerichteten Betriebssystemumgebung kombiniert. Der Entwurfsprozess ermöglicht dabei – neben der Dimensionierung der Hardware – auch die Berücksichtigung der Betriebssystemebene. Besonderes Augenmerk hatte das Projekt dabei auf einen umfangreichen Demonstrator gelegt, der das Zusammenspiel der neuen Entwurfsmethoden zeigt.

Innerhalb dieser Aufgabenstellung haben die Forschungspartner in folgenden Bereichen gearbeitet:

- » System-Level-Entwurfsmethodik für autonome SoCs, Uni Tübingen
- » HW- und SW-Maßnahmen zur Fehlerbehebung, TU Braunschweig
- » Selbstorganisierende Betriebssysteme, Uni Paderborn
- » Zuverlässige Kommunikationsstrukturen, TU Kaiserslautern

- » Zuverlässige Kontrollpfade, Uni Erlangen
- » Zuverlässige Datenverarbeitung in Modulen, TU München

Der neue Entwurfsprozess für autonome integrierte Systeme (Abbildung 3.03), die im Betrieb auf unvorhergesehene Situationen reagieren können, erkennt Fehler, Störungen und Veränderungen bei der Zuverlässigkeit einzelner Komponenten (HW-System oder Module) im Betrieb und trifft entsprechende Gegenmaßnahmen. Er beinhaltet die Einführung autonomer ‚Elemente‘ im Systementwurf, die Kontrollpfade, Datenpfade und Kommunikationsstrukturen der funktionalen Ebene überwachen und auf veränderte Betriebsbedingungen sowie Fehlverhalten reagieren können.

Im Falle von Fehlern werden Korrekturmaßnahmen eingeleitet und gegebenenfalls übergeordnete Schichten von dem veränderten Betriebszustand „unterrichtet“. Die Robustheit wird zusätzlich durch den Einsatz von Selbstorganisation verbessert. Dienste für eine neue Art von Betriebssystem zur internen Selbstoptimierung und Selbstheilung wurden erforscht. Replikation, Überwachung und Migration auf der Basis zuverlässiger Kommunikationsstrukturen werden dabei eingesetzt. So kann beispielsweise das Betriebssystem auf Fehlerratenregister zugreifen, in denen Soft Errors gezählt und dokumentiert werden, um bei Überschreitung einer bestimmten Anzahl von Fehlern autonom sicherheitskritische Prozesse von unsicherer Hardware auf sichere Hardware zu verschieben.

AIS Forschung präsentiert viele Highlights auf dem Workshop

Die Lösungen der Forschungspartner zu dem neuen Entwurfskonzept konnten eindrucksvoll bei der Demonstration auf der Basis einer FPGA-basierten Prototypenentwicklung dargestellt werden. Die Ergeb-

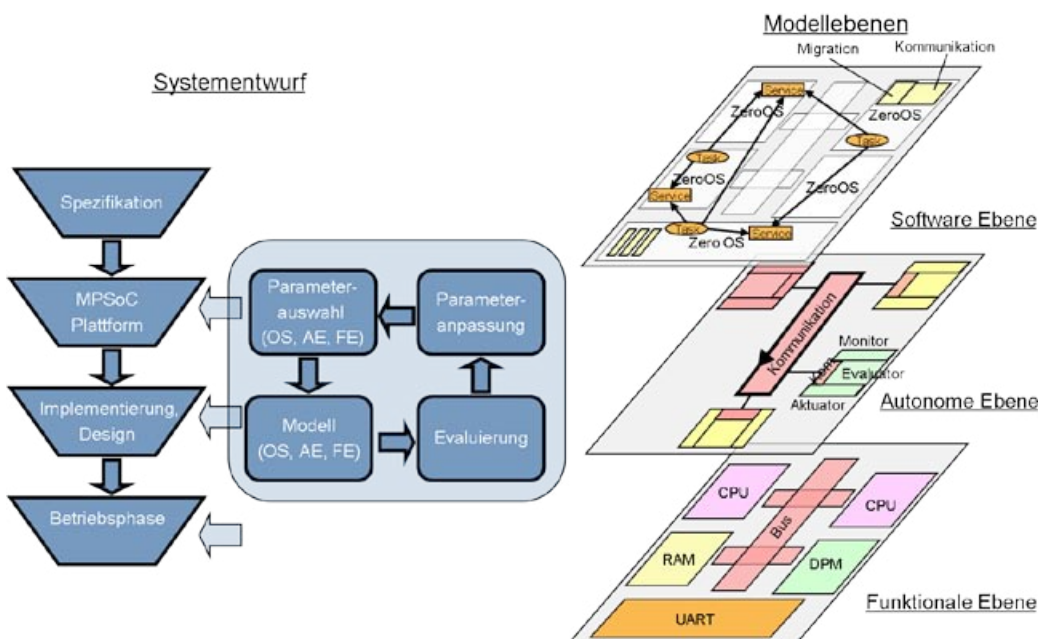


Abbildung 3.03: Schematische Darstellung des Entwurfsprozesses für autonome integrierte Systeme

nisse aus dem Projekt demonstrieren die Machbarkeit des neuen Ansatzes zum Entwurf autonomer integrierter Systeme. Neben dem Gesamtentwurfsprozess und der Demonstration wurden viele Highlights des Projekts auf dem Workshop präsentiert, die hier in einer Auswahl dargestellt sind.

- » Eine Zuverlässigkeitsbewertung durch Fehlerinjektion erfolgt mit Hilfe der Quantifizierung der Zuverlässigkeit und der Identifizierung kritischer Strukturen. Somit können Zahlen zur Zuverlässigkeitsbewertung ermittelt und optimiert werden.
- » Die Performanz- und Leistungsanalyse wurde so weit verfeinert, dass Leistungsdaten für verlässliche Zuverlässigkeitsanalysen geeignet sind. Dieses Verfahren ist dabei mehrere Größenordnungen schneller als kommerzielle Lösungen in diesem Bereich.
- » Die Integration des Lernverfahrens „Learning Classifier (LC)“ in SystemC-Modell ist abgeschlossen. Hierdurch werden selbstorganisierende Optimierungsverfahren von Systemen möglich. Das Systemmodell kann dabei selbstständig „lernen“, um die Systemressourcen optimal zu nutzen und

anzupassen, um beispielsweise die Zuverlässigkeit zu erhöhen.

- » Modelle und Verfahren zur Fehlertoleranz auf Kommunikationsbussen in Form von „Error Correction Codes“ und „Error Detection Codes“ sind eingeführt. Mit diesen Verfahren ist es möglich, im Betrieb die Kodierungsverfahren von Bussen den Robustheitsanforderungen bei geänderten Störungsverhalten anzupassen, um die Daten zuverlässig zu übertragen.
- » Der Einsatz von formalen Methoden zur Bestimmung der Systemzuverlässigkeit durch Abschätzung der Zuverlässigkeit mit Hilfe einer „Response Time Analysis“ wurde erforscht. Hierzu wurden Wahrscheinlichkeiten für das Verfehlen von Deadlines berechnet, die eine gute Annäherung an die tatsächliche Verteilung ergeben, aber bedeutend leistungsfähiger sind. Somit kann eine Zuverlässigkeitsbewertung von Antwortzeiten in Echtzeitbetriebssystemen überprüft werden, ob sie den Anforderungen entsprechen, wie es beispielsweise für eine SIL-konforme Bewertung notwendig ist (SIL: Safety Integrity Level, Sicherheitslevel entsprechend Sicherheitsstandard IEC 61508).
- » Die Umsetzung der Betriebssystemarchitektur mit Hilfe des Betriebssystem ORCOS war erfolgreich. Dazu wurde das Betriebssystem an die Anforderungen von AIS angepasst und auf die Demonstrator-Plattform portiert. Das Betriebssystem kann nun auf Hardware-Monitore zugreifen und die Migration von Prozessen selbstständig einleiten.

Weitere Informationen zum AIS-Workshop finden sich für die Industriepartner auf den geschützten Web-Seiten des Projekts unter <https://www.edacentrum.de/ais>

Kontakt und Autor

Dr. Volker Schöber
 fon: (05 11) 7 62 – 1 96 88
 schoeber@edacentrum.de

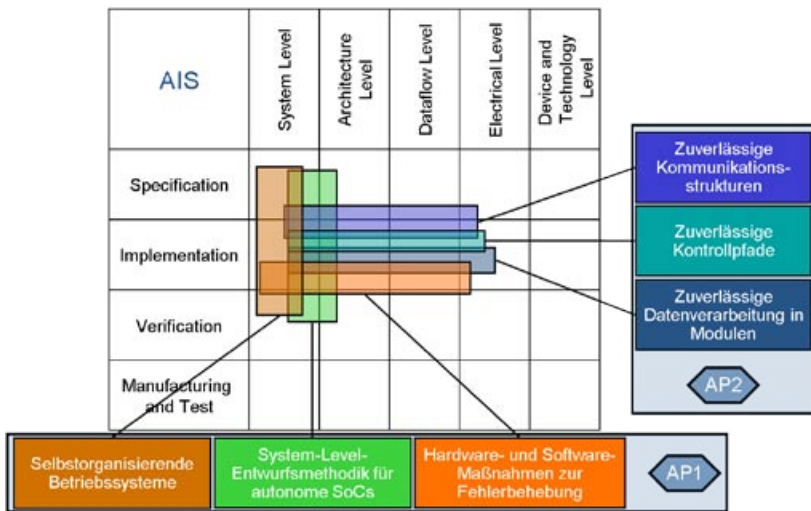


Abbildung 3.04: Einordnung der Themengebiete von AIS in der edaMatrix

Der in AIS erforschte neue Ansatz zum Entwurf autonomer integrierter Systeme würde ein Paradigmenwechsel für den Entwurf von Systemen bedeuten und könnte in 5 bis 10 Jahren in industriellen Entwurfsprozessen Einzug halten. Künftige SoC- und IP-Komponenten werden dann eigenständig in der Lage sein, auch transiente Schaltungsdefekte zu erkennen und dynamisch ihre Struktur anzupassen, um die Funktion des Systems zu gewährleisten.

Die Abbildung 3.04 zeigt die Einordnung der Themengebiete von AIS in der edaMatrix.



Abbildung 3.05 und 3.06: Teilnehmer des Workshops bei der Demonstration des Prototypen und beim Gruppenfoto.

Modellbasierte Entwicklung eines autonomen Fahrzeugs

Ein Erfahrungsbericht aus einem einjährigen studentischen Projekt von Christian Stehno und Wolfgang Nebel (OFFIS)

In diesem Beitrag werden einige Details zu dem von OFFIS auf der Ideen-Expo präsentierten autonomen Modellfahrzeug vorgestellt. Es werden der Entwicklungsprozess und Besonderheiten des entstandenen Prototyps näher betrachtet.

Motivation

Die Präsentation von OFFIS auf der Ideen-Expo in Hannover im September 2009 stellte den Abschluss eines einjährigen studentischen Projektes dar, welches in Kooperation von OFFIS und der Carl von Ossietzky Universität Oldenburg durchgeführt wurde. Im Laufe der zwölf Monate haben neun Studenten im Rahmen einer studentischen Projektgruppe unter Betreuung von Mitarbeitern des OFFIS ein autonom fahrendes Modellfahrzeug entwickelt. Besonderer Wert wurde dabei auf die Anwendung eines modellbasierten Entwurfes mit einem virtuellen Prototyp [1] gelegt. Durch die Verwendung eines simulativen Ansatzes mit virtuellen Prototypen und Unterstützung durch Modellierungswerkzeuge sollten frühe Erfolge, eine vereinfachte Integration und Validierung von Teilkomponenten und ein geordnetes Projektmanagement ermöglicht werden. Ergänzend kamen für die Weiterentwicklung der virtuellen Prototypen Techniken aus dem Bereich der agilen Softwareentwicklung zum Einsatz. Dies ermöglichte eine sehr flexible Verbindung der stärker modellgetriebenen Entwicklung des Fahrzeugs mit der prototypischen Vorgehensweise im Bereich der Bildverarbeitung.

Die Aufgabe war in einigen Teilen fest vorgegeben, andere konnten durch die Studenten frei definiert werden. Vorgegebenes Ziel der Projektgruppe war die Entwicklung eines Fahrzeuges, welches ein städtisches Straßenszenario selbstständig befahren kann. Die Details wurden an den Szenarien der Urban Challenge bzw. des Carolo-Cup angelehnt. Wie beim Carolo-Cup wurde ein Modellfahrzeug im Maßstab 1:10 gewählt und die Fahrmanöver sollten das Abfahren von Straßenzügen, Passieren von Kreuzungen, Umfahren von statischen Hindernissen und Einparken umfassen. Darüber hinaus wurde im vorliegenden Projekt eine Erkennung von Schildern und Ampeln implementiert, um ein vorschriftsgemäßes Verhalten zu ermöglichen.

Zudem gab es einige Einschränkungen hinsichtlich der technischen Realisierung des Gesamtsystems. Die gesamte Erkennung der Umwelt sollte auf optischem Wege mittels eines Stereokamerasystems erfolgen. Dieses berechnet aus gleichzeitig aufgenommenen Bildern zweier nebeneinander liegender Kameras die Tiefeninformation, die eine Entfernungsmessung für Objekte im Sichtfeld ermöglicht. Als zusätzliche Sensoren wurden zudem ein Geschwindigkeitssensor, ein nach vorne gerichteter Ultraschallsensor als Not-Stopp,

sowie mehrere Infrarotsensoren zu allen Seiten für den Einparkvorgang ergänzt. Letztere sind nötig, da die Kameras starr auf dem Auto installiert wurden und somit der Blick nach hinten oder zur Seite nicht möglich ist. Als Kamerabasis wurden handelsübliche Webcams vorgesehen, um die Leistungsfähigkeit solcher Low-Cost-Lösungen zu evaluieren.



Abbildung E.01: Prinzipdarstellung der zusätzlichen Sensoren des Prototyps

Vorgehen und Architektur

Für die Entwicklung des virtuellen Prototyps wurden Modelle der Fahrzeughardware, des Fahrzeugverhaltens und der Bildverarbeitung benötigt. Die Kombination dieser drei Elemente liefert zu jedem eingehenden Bild eine Reaktion in Form von Ansteuerimpulsen für die Aktoren. Um einen geschlossenen Simulationskreislauf zu erreichen, wurde zudem eine Umgebungssimulation benötigt, die sowohl physikalische Effekte, als auch die Stereobilder der Kameras nachbilden kann. Abbildung E.02 zeigt diese Architektur im Schema.

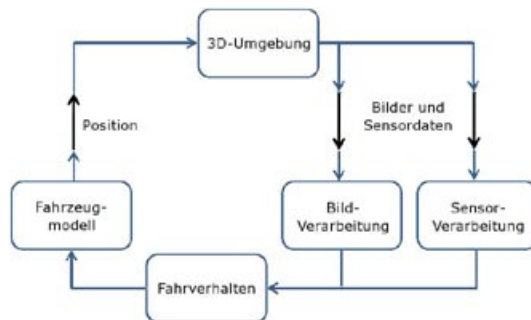


Abbildung E.02: Schematische Darstellung des Simulationskreislaufs

Für die Modellierung der Fahrzeugelemente sowie des Fahrzeugverhaltens wurde MATLAB/Simulink eingesetzt. Der intuitive Zugang zur Modellierung durch die grafische Darstellung von Simulink erlaubt eine schnelle Integration zusätzlicher Anforderungen und Spezifikationen in die Modelle. Diese können schrittweise bis zu einer fertigen Implementierung verfeinert werden. Zudem können die Modelle später automatisiert mittels Real-Time Workshop auf die Zielplattformen exportiert werden.

Die Simulation der Umgebung wurde in zwei Teile getrennt. Die Fahrzeugphysik wurde direkt in Simulink

DARPA Urban Challenge:
<http://www.darpa.mil/GRANDCHALLENGE/>
 Carolo-Cup:
<http://www.carolo-cup.de/>

integriert. Aufgrund der reichhaltigen Modellierungsprimitive von Simulink ist eine Implementierung dieser Funktionalität leicht möglich. Weiterhin wird die Integration mit den Modellen des Fahrzeugverhaltens und der Aktoren deutlich vereinfacht. Somit war eine Simulation des gesamten Fahrzeugverhaltens möglich. Um auch die Bildverarbeitung testen zu können, wurde für die Umgebungssimulation eine 3D-Anwendung entwickelt, die eine Darstellung der Umgebung sowie die Erzeugung und Weitergabe von Stereokamerabildern und Sensorwerten ermöglicht.

Die 3D-Simulation

Aufgrund der Integration des Physik-Modells in das Simulink-Modell reduziert sich diese Umgebung auf eine rein statische Darstellung. In jedem Zeitschritt werden die simulierten Objekte neu positioniert und anschließend für jeden Sensor die Umgebung abgetastet. Für die Abstandssensoren wird dann ein Vektor von Abstandswerten an Simulink zurückgegeben, der für jeden Sensor die jeweils gemessene Entfernung zu etwaigen Hindernissen enthält. Die virtuellen Kameras liefern die beiden leicht gegeneinander verschobenen Bilder.

Die 3D-Simulation war eine vollständige Neuimplementierung. Aufbauend auf der Open-Source 3D-Renderengine Irrlicht wurde eine Anwendung entwickelt, die neben den notwendigen Daten auch noch einige weitere unterstützende Funktionen im Entwicklungsprozess bot. Insbesondere die intuitive Analysemöglichkeit des Fahrzeugverhaltens anhand der in Abbildung E.03

dargestellten Visualisierung hat den Entwicklungsprozess stark unterstützt. Das System besteht im Wesentlichen aus drei Komponenten: Dem Auto, den Sensoren (im konkreten Fall Kameras, Ultraschall und Infrarot) und der „Szene“, also Straße und Objekte auf und neben der Straße.

Das zentrale Objekt der Simulation bildet das Fahrzeugmodell. Die Positionierung der Sensoren erfolgt relativ zum Fahrzeug, so dass sie sich passend mitbewegen, wenn das Fahrzeug bewegt wird. Die Landschaft, Straßen und Objekte der Szene werden in einem externen Editor positioniert und anschließend als komplette Szene geladen. Für die einzelnen Straßenelemente wie Kurve, Gerade und Kreuzung wurde eine Standardbibliothek mit Segmenten implementiert, die sich beliebig kombinieren lassen.

Der Ablauf eines Renderschrittes erfolgt wie folgt: Zuerst wird der 3D-Simulation die neue Position und Rotation des Autos übermittelt. Das Auto wird neu positioniert und die Szene gezeichnet. Diese Ansicht wird auf dem Bildschirm dargestellt und dient der Visualisierung des Fahrverhaltens. Nun werden die beiden Bilder des Stereokamerasystems erzeugt, die aufgrund der unterschiedlichen Positionen der Kameras leicht gegeneinander verschoben sind. Schließlich wird in der Blickrichtung jedes Sensors eine Kollisionskontrolle durchgeführt. Wird in der Reichweite eines Sensors ein Objekt getroffen, so wird dessen Abstand zurückgeliefert.

Irrlicht 3D Renderengine:
<http://irrlicht.sourceforge.net>

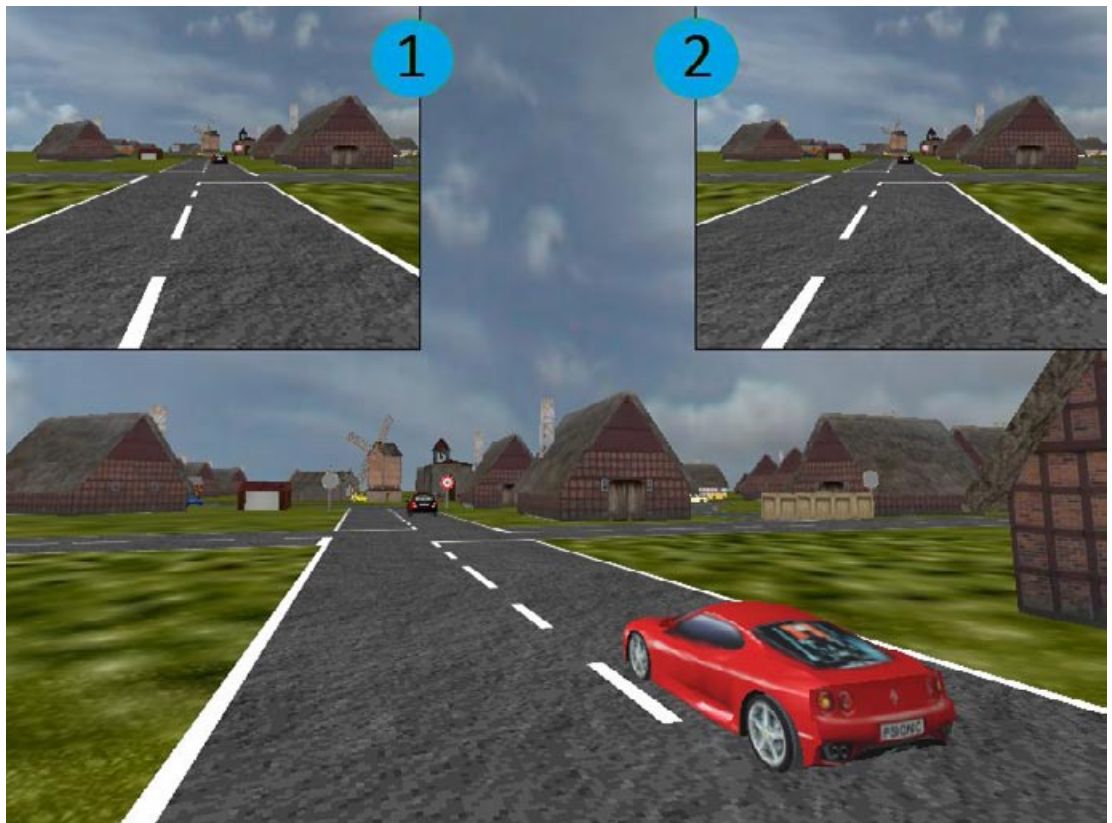


Abbildung E.03: Ansicht der 3D-Szene im Simulator

Um die 3D-Umgebung unabhängig von der Simulationsgeschwindigkeit von Simulink ausführen zu können, wurde sie als eigenständiges Programm implementiert und über TCP/IP an Simulink angebunden. Die Bilder und Sensoren werden nur auf Anfrage ausgeliefert, sobald Simulink die Daten empfangen und verarbeiten kann. Diese entkoppelte Anbindung ermöglicht zusätzlich Multiagentensimulationen und flexible Darstellungsoptionen.

Die Bildverarbeitung

In der Bildverarbeitung werden unterschiedliche Algorithmen auf eines oder beide Kamerabilder angewendet. Die Ergebnisse werden vom Simulink-Modell verarbeitet und können wie in Abbildung E.04 gezeigt im Simulationsfenster visualisiert werden. Viele Verarbeitungsschritte sind unabhängig voneinander und daher prinzipiell parallelisierbar. Die durchgeführten Verarbeitungsschritte sind:

- » Erstellung einer Tiefenkarte
- » Erkennung des Straßenverlaufs
- » Hinderniserkennung
- » Erkennung von Schildern und Ampeln

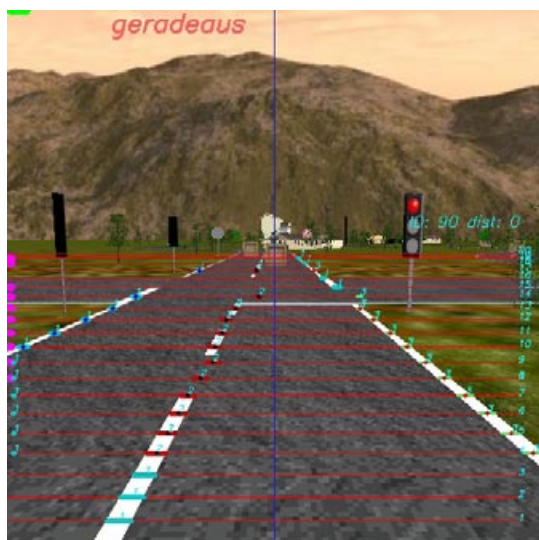


Abbildung E.04: Ergebnisse der Bildverarbeitung im Simulationsfenster

Nur für die Berechnung der Tiefenkarten aus Stereobildern werden beide Kamerabilder benötigt. Hierfür existieren verschiedene Algorithmen, zwei Implementierungen sind in der Open Source-Grafikbibliothek OpenCV enthalten. Die beiden Algorithmen unterscheiden sich wesentlich in ihren Laufzeiten, aber auch hinsichtlich der Qualität der Resultate. Allen diesen Algorithmen gemein ist das grundsätzliche Funktionsprinzip. Aus dem Versatz von gleichen Merkmalen innerhalb zweier aus unterschiedlichen Blickwinkeln aufgenommener Bilder wird die Tiefeninformation errechnet. Dies erfolgt nach dem Ansatz, dass aus einem größeren Versatz ein kleinerer Abstand zur Kamera folgt. Bei bekannten Kameraparametern können so absolute Entfernungen bestimmt werden. Die Komplexität des Algorithmus erwächst hierbei aus der Schwierigkeit, identische Merkmale in beiden

Bildern zu identifizieren. Je genauer dieser Vergleich ausfällt, desto höher ist die Laufzeit, in der Regel aber auch mit besserem Ergebnis. Derzeit wird der Stereo-Algorithmus von Birchfield [2] benutzt.

Für die Linienerkennung wurden verschiedene Ansätze evaluiert. Die erfolgreichereren Verfahren setzen dabei auf eine initiale Suche von hellen Punkten im Sichtbereich. Dazu wird in einem Scanline-Verfahren in bestimmten Zeilen des Bildes nach hellen Pixeln gesucht, um so die weißen Fahrbahnmarkierungen von den dunkleren Bereichen des Fahrbahnuntergrunds zu unterscheiden. In der nachgelagerten Verarbeitung erfolgt ein Clustering der Punktwolken um die Linienzüge der Fahrbahnmarkierungen zu extrahieren. Im Zuge dieses Schrittes werden nicht erkannte Punkte interpoliert, bzw. fehlerhaft erkannte Punkte entfernt. Die hierfür untersuchten Algorithmen unterscheiden sich unter anderem hinsichtlich der Güte der interpolierten Werte und der Robustheit der Verarbeitung bei wechselnden Lichtverhältnissen.

Für die Erkennung von Schildern und Ampeln werden im Kamerabild Bereiche, in denen bestimmte Farbwerte dominieren, gesucht. Alle relevanten Regionen - für Ampeln z. B. solche mit roten, gelben oder grünen Pixeln - werden einem Klassifikationsverfahren übergeben, das bei Schildern mittels eines Template-Verfahrens und bei Ampeln mittels einer Plausibilitätsprüfung die Wahrscheinlichkeit für das Vorhandensein eines dieser Objekte prüft. Für die Implementierung dieser Funktionen wurde wiederum auf die von OpenCV bereitgestellten Funktionen zurückgegriffen. Bei Schildern im nahen Bereich ist die Erkennungsrate sehr hoch, weiter entfernte Schilder werden immer noch gut in verschiedene Kategorien wie Geschwindigkeitsbegrenzung oder Vorfahrtregelung eingeteilt. Nach der Erkennung eines Objektes wird auf der von dem Objekt überdeckten Region ein mittlerer Tiefenwert berechnet. Somit muss die Berechnung der Tiefenkarte vor der Schilderkennung erfolgen. Aufgrund der berechneten Entfernung können so auch korrekte Bremsmanöver ausgeführt, bzw. die Geschwindigkeit an der richtigen Stelle angepasst werden. Das Erkennungsverfahren für Hindernisse auf der Fahrbahn arbeitet ebenfalls mit der Tiefenkarte. Hierzu werden Bildbereiche gesucht, in denen ein signifikanter Unterschied zwischen gemessenem und erwartetem Entfernungswert besteht. Bei Überschreiten eines Schwellwerts wird die Entfernung an das Fahrzeug übermittelt, um einen Ausweichvorgang einzuleiten. Vorteil dieses Verfahrens ist seine Unabhängigkeit von bestimmten Formen, so dass beliebige Objekte erkannt werden, ohne dass diese als Templates abgelegt sein müssen.

OpenCV: <http://sourceforge.net/projects/opencvlibrary/>

Realisierung auf der Hardware

Für den Aufbau und die Inbetriebnahme des realen Modellfahrzeugs waren im Wesentlichen zwei Aufgaben zu bearbeiten. Zum einen mussten auf dem verwendeten RC-Fahrzeug zusätzliche Hardwarekom-

ponenten installiert und verbunden werden. Zum anderen musste der für die jeweiligen Komponenten vorgesehene Software-Code in eine geeignete Form für die Zielplattform transformiert und kompiliert werden. Soweit möglich wurden dabei Funktionen von Simulink verwendet um automatisiert Zielcode aus den erstellten Modellen zu erzeugen.

Als Hardwareplattform wurde eine Kombination eines Netbooks für die Bildverarbeitung und eines existierenden Embedded-Systems mit Infineons TriCore für die Fahrzeugsteuerung und Sensoranbindung gewählt. Das TriCore-Modul bot PWM- und A/D-Anschlüsse, die die Anbindung von Sensoren und Fahrzeug-Aktorik sehr einfach möglich machten. Zudem existierte aus einem anderen Projekt die Anbindung einer Fernsteuerung, so dass das Fahrzeug manuell angehalten und konfiguriert werden konnte. Das Netbook ermöglichte einen einfachen Anschluss der für die Kamerasysteme vorgesehenen Webcams. Die relativ geringe Verarbeitungsgeschwindigkeit des Atom-Prozessors wurde als limitierender Faktor für die maximale Geschwindigkeit des Fahrzeugs akzeptiert. Die Kommunikation zwischen Netbook und TriCore-Modul erfolgte über eine lokale Ethernet-Verbindung, da beide Komponenten über eine solche Schnittstelle verfügten. Das Netbook bot zudem den Vorteil, dass sich das System relativ einfach debuggen ließ. Bei der Codeaufbereitung war durch die Festlegung des Bildverarbeitungsteils auf C++ und Intel-kompatible Systeme der Aufwand relativ gering. Lediglich die Schnittstellen zu Webcam und TriCore-Modul mussten auf die geänderten Protokolle umgestellt werden

Derjenige Teil des Simulink-Modells, der auf dem TriCore ausgeführt werden sollte, wurde in ein separates Modul ausgelagert. Nach einer Restrukturierung der Interfaces konnte das Modul durch Realtime-Workshop nach C exportiert und in das existierende System des TriCore integriert werden. Durch die gute Kapselung der Funktionen im exportierten Code war die Integration ohne Probleme möglich. Nach einer Anpassung der Timing-Parameter konnte das Simulink-Modul erfolgreich auf dem TriCore in Betrieb genommen werden. Die Anbindung der Netzwerkschnittstelle erfolgte im Anschluss manuell im Systemcode des TriCore, von wo aus die Daten in die für das Simulink-Modell erforderlichen Speicherbereiche kopiert wurden. Ähnlich verlief die Anbindung der Sensoren an das Simulink-Modell. An dieser Stelle war es lediglich nötig, periodisch die Sensoren auszulesen, den erzeugten Code auszuführen und das Ergebnis der Berechnung an die Aktoren zu senden.

Zusammenfassung und Ausblick

Der von der Projektgruppe gewählte Entwurfsprozess hat ein effizientes Vorgehen und ein erfolgreiches Ergebnis ermöglicht. Es wurden sämtliche in der Spezifikation vorgesehenen Fahrmanöver implementiert

und in der Simulation erfolgreich getestet. Die erstellte Simulation bot dabei ein hohes Maß an Flexibilität und dank der 3D-Simulation auch eine intuitive Möglichkeit der Fehleranalyse.

Die Umsetzung des Modells in die Realität wurde durch die eingesetzten Werkzeuge und das modellbasierte Vorgehen deutlich erleichtert. Dennoch traten Probleme auf, die in der Simulation bzw. im Modell nicht nachvollziehbar waren. In der Regel ließ sich dies darauf zurückführen, dass einige der relevanten Einflüsse auf der gewählten Abstraktionsebene nicht modelliert waren. An dieser Stelle musste also entweder die Diskrepanz beim Übergang in die Realität in Kauf genommen, oder ein zusätzlicher Aufwand für die Verfeinerung des Modells aufgebracht werden. Letzteres ist dabei in der Regel sicherer, da Fehlersuche und -behebung am realen Modell in der Regel sehr zeitaufwändig sind. Im Rahmen dieses einjährigen Projektes konnte der nötige Aufwand jedoch nicht in allen Fällen erbracht werden. Daher zeigt das Modellfahrzeug nicht alle Funktionen, die in der Simulation vorhanden sind, insbesondere das Erkennen und Umfahren von Hindernissen fehlt. Dennoch konnte das Fahrzeug, trotz schwieriger Lichtverhältnisse, über mehrere Stunden sicher seinem Rundkurs auf der Ideen-Expo in Hannover folgen. Die noch fehlenden Funktionen sollen in Zukunft in das Fahrzeug integriert werden. Dazu laufen derzeit erste Verfeinerungen des Fahrzeugmodells und der Simulationsumgebung.

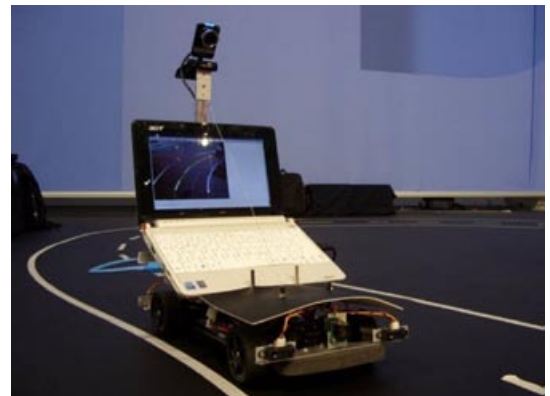


Abbildung E.05: Der funktionsfähige Prototyp auf der Ideen-Expo

Ich danke den Mitgliedern der Projektgruppe, den betreuenden Kollegen vom OFFIS und der Abteilung EHS der Universität Oldenburg für die Zusammenarbeit.

[1] Thomas Stahl, Markus Völter, Sven Efftinge, Arno Haase: *Modellgetriebene Softwareentwicklung: Techniken, Engineering, Management*. 2. Auflage. dpunkt Verlag, Mai 2007.

[2] Stan Birchfield, Caro Tomasi: *Depth discontinuities by pixel-to-pixel stereo*. *Conference on Computer Vision, Bombay, 1998*.

Autor und Kontakt:

Christian Stehno
OFFIS Institut für Informatik,
Oldenburg
fon: (04 41) 97 22 – 2 89/2 78
stehno@offis.de

GTD... Getting Things Done...

Eine Antwort auf die Frage: Wie behalte ich 10.000 Ideen und Projekte im Überblick?

Ich bin ein Fan von Management und Organisationsmethoden. Und es gibt wenige in neuem Design und mit neuartiger Sortierung aufgemachte Organisationswerkzeuge, an denen ich vorbeigehe ohne sie mitzunehmen – am anfälligsten bin ich für Ordner und Schachteln.

Auch die Faszination, die von elektronischer Organisationssoftware ausgeht, packt mich immer wieder. Und ganz schlimm ist es mit den immer wieder aufkommenden neuen Konzepten zum Selbst-, Zeit-, Projekt- oder sonst-was-Management.

Nach diesem seit Jahren begeisterten Ausprobieren und immer wieder neu Entwerfen meines Selbstmanagements frage ich mich: Gibt es das eigentlich wirklich? Die Methode, die mir dauerhaft hilft, mich und alles andere zu organisieren? Oder bricht das Leben doch immer wieder in die Organisation ein und hebt all diese schönen Methoden aus, die wir uns überlegt haben, um die moderne Komplexität der „Work-Life-Balance“ in den Griff zu bekommen?

Auf jeden Fall bin ich zu folgender Überzeugung gekommen: Jeder Mensch hat seine eigene Balance zwischen Chaos und Ordnung. Was dem einen der leere Schreibtisch sind dem anderen die Papierstapel, und man wird den einen nicht dazu bringen dauerhaft das andere zu leben. Es kommt darauf an, die Lösungen, Konzepte und Werkzeuge zu finden, die genau dieser eigenen Balance Rechnung tragen.

Und ja, das Leben bricht immer wieder in unsere Versuche der Organisation und Planung ein und letztendlich ist das ja wohl auch der Reiz des Managements, da darin die Herausforderung liegt und die Kreativität.

Ein Konzept für einen freien Kopf

Einer der Konzepte, mit denen ich mich in diesem Zusammenhang beschäftigt habe, ist GTD, Getting Things Done [1], das von David Allen konzipiert und ausgearbeitet wurde. Mittlerweile wird es von einer großen Fan-Gemeinde unterstützt. Auch ich bin davon angetan – vor allem deswegen, weil sich die Methode gut abwandeln lässt, um ein gewisses Maß an Chaos zu integrieren.

Grob gesprochen geht David Allen davon aus, dass man dann am kreativsten und leistungsfähigsten ist, wenn man den Kopf frei hat, um sich auf die anliegende Arbeit zu konzentrieren. Es stört nun mal, wenn man gerade versucht, einen Artikel zu schreiben oder sich eine Lösung für sein Projektdilemma zu erarbeiten, wenn man parallel daran denkt, heute Abend den Anruf an Freund XY nicht zu vergessen, weil er Geburtstag hat und auf dem Heimweg noch beim Elektromarkt vorbei sollte, um diesen Stecker für dieses Elektrozeugs zu holen. Es muss also ein zuverlässiges System

außerhalb des Kopfes geschaffen werden, in dem die unerledigten Arbeiten festgehalten und in Erinnerung gebracht werden, wenn man diese auch erledigen kann.

Und noch etwas ist für David Allen wichtig: Mehr als einmal über eine Sache nachdenken, das will er nicht. D.h., zu jeder Aufgabe die ansteht, sollte man klären, worin die eigene Verpflichtung besteht und dann entscheiden, was – wenn überhaupt – zu tun ist, um die Aufgabe zu erledigen. Hat man sich entschieden, kommt wieder das zuverlässige System ins Spiel, das einen zum gegebenen Zeitpunkt daran erinnert, was zu tun ist.

Es gibt noch eine weitere Anforderung an das System. Wenn es wirklich auf Dauer genutzt werden soll, muss es den Anwender überzeugen. Wann macht es Spaß, Aufgaben, Projekte und Gedankenketten zu organisieren? Höchstens wenn es schnell und bequem geht und möglichst noch kreative, bunte Aspekte hat. Mit anderen Worten: länger als 60 sec. sollte die Einpflege einer Handlung, Idee etc. in das Organisationssystem nicht dauern.

Der Kern

Der Kern von David Allens GTD besteht aus einer Methode, mit der in fünf Schritten die eigenen Arbeitsabläufe gesteuert werden. Das Prinzip ist einfach [1]:

- » Wir **erfassen** alles, was unsere Aufmerksamkeit erfordert,
- » **arbeiten durch**, was das bedeutet,
- » und **ordnen** die Ergebnisse, die wir
- » als Optionen für das **überprüfen**, was wir
- » **zu tun** beschließen.

Erfassen, durcharbeiten, ordnen, überprüfen, tun – eigentlich keine neuen Tätigkeiten und nichts, was wir nicht immer wieder in unserem Leben sowieso tun. Das Konzept an sich klingt nicht neu. Das Neue für mich daran war, wirklich zu verstehen, was diese einzelnen Arbeiten bedeuten und an Potenzial zur Verbesserung bergen. Welches Maß an erfassen, durcharbeiten, ordnen etc. benötige ich in meinem Leben und was ist der Kern dieser Tätigkeiten?

Durcharbeiten

Nehmen wir zum Beispiel das Durcharbeiten. In der Regel summen in meinem Kopf eine Reihe von Dingen, die gerade dringend erscheinen. Ich fange also mit dem an, was am lautesten schreit, versuche es zu Ende zu bringen und mich nicht durch Telefon, E-Mails und sonstige Ablenkungen davon abringen zu lassen. Manchmal mit mehr, manchmal mit weniger Erfolg. Natürlich denke ich zwischendrin auch an die anderen

Work-Life-Balance:

Der Begriff steht für einen Zustand, in dem Arbeit und Privatleben miteinander in Einklang stehen. Die Begriffsbildung Work-Life-Balance stammt aus dem Englischen: Arbeit (work), Leben (life), Gleichgewicht (balance). Wodurch ein Gleichgewicht charakterisiert ist, bleibt bei der Verwendung dieses Begriffs vielfach offen.

[Quelle: Wikipedia]

Kont@kt und Autorin

Dr. Cordula Hansen
fon: (07 11) 2 80 79 56
hansen@edacentrum.de

dringenden Aufgaben, die im Hintergrund weiterhin summen.

David Allen geht es beim Durcharbeiten meiner Ansicht nach primär um Nachdenken und Entscheiden. Gehen wir zunächst einmal davon aus, dass wir einen Eingangskorb haben, wo sich so alles tummelt, was täglich an uns herangetragen wird, dann ist der erste Schritt zu überlegen, worum handelt es sich eigentlich?

Ist es etwas, mit dem ich nichts unternehmen kann? Nichts tun sollte?

- » Ist es eine dieser Zeitschriften, die ich sowieso nie lese? Ab in den Müll.
- » Ist es etwas, das mich vielleicht/irgendwann interessiert? Ab in die Termin-/Wiedervorlagemappe. (Ich liebe zum Beispiel meinen Vielleicht/Irgendwann-Ordner. Da schmeiße ich alles Material rein, zu dem sich eine neue Idee entwickeln könnte, und sehe es in größeren Abständen durch).
- » Ist es etwas, dass ich bei Bedarf zur Hand haben möchte? Ab ins Archiv.

Ist es etwas, mit dem ich etwas tun sollte? Ja, hier sollte ich etwas tun...

- » ... und in der Zeit – z. B. 2 Minuten, in der ich es in mein System gebracht habe, habe ich es auch erledigt. Also tue ich es sofort
- » ... und es ist eine größere Sache: Also, delegieren (und nicht aus den Augen verlieren) oder selbst ran (asap oder Terminkalender)?

Meine Bilanz

Nach einem guten Jahr GTD hat für mich die größte Zeitersparnis und größte Erleichterung gebracht, dass ich genau einmal über ein Anliegen aus dem Eingangskorb nachdenke und dann bewusst entscheide, worum es sich handelt. Artikel, die ich irgendwann lesen will, sammeln nicht mehr im E-Mail-Eingangskorb oder im Posteingang rum. Ich überfliege sie tatsächlich sofort und entscheide dann: ab in den Müll oder in die Wiedervorlage, zu einem Termin, zu dem ich Zeit habe.

Weiteres Vorgehen

Haben Sie Interesse an weiteren Artikeln zu GTD und anderen Management- und Organisationskonzepten? Dann senden Sie einfach eine kurze E-Mail an hansen@edacentrum.de

[1] Allen, David, *Wie ich die Dinge geregelt kriege*, Piper Verlag, Birnbaum, M.D., *Essential EDA*, 1, 2005, S. 123



Seventh Framework Programme (FP7) in 2010

Funding instruments for European Project Consortia

The Seventh Framework Programme (FP7) provides more than 32 billion € funding for the Cooperation Programme in Europe. This article provides background information about the funding principles about the Cooperation Programme in more detail.

The specific programme on "Cooperation" supports all types of research activities carried out by different research bodies in trans-national cooperation. FP7 allocates EUR 32 413 million to the Cooperation programme and is therefore the most important funding instrument in the EU. The budget is devoted to supporting cooperation between universities, industry, research centres and public authorities throughout the EU and beyond.

The core of FP7, representing two thirds of the overall budget, is the Cooperation programme. It fosters collaborative research across Europe and other partner countries through projects by transnational consortia of industry and academia. The Cooperation programme is sub-divided into ten distinct themes. Each theme is operationally autonomous but aims to maintain coherence within the Cooperation Programme and to allow for joint activities cutting across different themes, through, for example, joint calls. The ten identified themes reflect the most important fields of knowledge and technology where research excellence is particularly important to improve Europe's ability to address its social, economic,

public health, environmental and industrial challenges of the future. Their continued relevance will be guaranteed by relying on a number of sources from the research sector, including the European Technology Platforms (ETP). Important themes identified in the Strategic Research Agendas (SRAs) developed by the ETPs are therefore covered by the Cooperation programme.

Across all these themes, support to trans-national cooperation will be implemented through:

- » Collaborative research
- » Coordination of national research programmes
- » Joint Technology Initiatives
- » Technology Platforms

Ten thematic areas to structure the R&D challenges in FP7

Research will be carried out in ten key thematic areas.

- » Health
- » Food, agriculture and fisheries, and biotechnology

- » Information and communication technologies
- » Nanosciences, nanotechnologies, materials and new production technologies
- » Energy
- » Environment (including climate change)
- » Transport (including aeronautics)
- » Socio-economic sciences and the humanities
- » Space
- » Security

“Information and communication technologies” is the most important thematic area for nanoelectronic design followed by the thematic area “Energy”. The procedure to review and fund project proposals is done by the European Commission (EC). The basic principle of funding in FP7 is co-financing. The EC gives grants to projects and contribute a certain percentage to the overall costs. The maximum reimbursement rates to the cost of a project depend on the funding scheme, the legal status of the participants and the type of activity.

The typical reimbursement rate for research and technological development activities is 50 %. Certain legal entities can receive up to 75 % (non-profit public bodies, SMEs, research organisations, higher education establishments). For demonstration activities, the reimbursement rate may reach 50 %. For other activities (consortium management, networking, training, coordination, dissemination etc.), the reimbursement can be up to 100 % of the eligible costs.

To apply for funding, it is necessary to respond to a Call by submitting the project proposal in time. Each Call is related to one or more thematic areas. The challenges, objectives and its “Funding Schemes” including the indicative budget will be announced together with the Call. The “Funding Schemes” are the types of projects, by which FP7 is implemented. Each consortium has to identify its funding scheme.

- » “Collaborative projects” are focused research projects – named IP or STREP projects – with clearly defined scientific and technological objectives and specific expected results (such as developing new knowledge or technology to improve European competitiveness). They are carried out by consortia made up of participants from different countries, and from industry and academia.
- » The “Networks of Excellence” are designed for research institutions willing to combine and functionally integrate a substantial part of their activities and capacities in a given field, in order to create a European “virtual research centre” in this field.
- » “Coordination and support actions” are projects that cover not the research itself, but the coordination and networking of projects, programmes and policies like coordination and networking activities, dissemination and use of knowledge.

National and European funding based on Technology Platforms (ETP) and Joint Technology Initiatives (JTI) and the EUREKA Programme

In addition to pure European funded projects there exist funding opportunities where national and European funding schemes are put together. As a result, the consortia will have several national clusters under an umbrella of a larger European proposal guided by industrial leadership.

ETPs

ETPs have been set up in a number of areas where Europe’s competitiveness, economic growth and welfare depend on innovation. The idea is to bring together stakeholders, under industrial leadership, to define and implement a Strategic Research Agenda (SRA). The implementation of the SRA will be supported by the cooperation programme in areas where they constitute true European added value. A checklist of “guiding principles” and several more documents to understand ETPs can be found on the Cordis website. The target is to play a key role in ensuring an adequate focus of research funding on areas with a high degree of industrial relevance by fostering an effective public-private partnership. Each ETP should address technological challenges that can potentially contribute to a number of key policy objectives which are essential for Europe’s future competitiveness. It is based on the Lisbon Strategy from March 2005 to foster the knowledge society and to leverage knowledge and innovation for growth is at the heart of this renewed strategy. A list of acting and planned ETPs can be found at the Cordis Website. Upcoming ETPs are “Energy-efficient Buildings”, “Green Cars” and “Factory of the future” which are already explained in the last newsletter edacentrum Q4 2009.

JTIs

For a limited number of ETPs, the scale and scope of their strategic research agendas and the resources involved justify setting up long-term public-private partnerships in the form of Joint Technology Initiatives (JTI). These initiatives, will combine private sector investment and/or national and European public funding, including grant funding from the Research Framework Programme and loan finance from the European Investment Bank. JTIs will be identified on the basis of the Specific Programme decisions by the EU. Important JTIs for funding nanoelectronics are ENIAC and ARTEMIS.

EUREKA

In contrast to the ETPs and its JTIs CATRENE is based on the EUREKA programme. CATRENE stands for “Cluster for Application and Technology Research in Europe on NanoElectronics”. It is the ambition of Europe and the European companies to deliver nano-/microelectronics solutions that respond to the needs of society at large, improving the economic prosperity of Europe and reinforcing the ability of its industry to be at the forefront of the global competition. CATRENE builds on the previous programmes JESSI, MEDEA, and MEDEA+.

This information is a short summary. More information, guide line and Calls can be found on the public websites.
<http://cordis.europa.eu/fp7>,
http://cordis.europa.eu/technology-platforms/home_en.html,
<http://www.medeaplus.org/>.

Cont@ct (European Projects)
 Dr. Volker Schöber
 fon: (05 11) 7 62 – 1 96 88
schoeber@edacentrum.de

FP7 projects @ edacentrum

In winter 2009/2010 the European Commission started two of its FP7 projects, where edacentrum is one of the partners

Two years ago, in the newsletter edacentrum 01 2008, we announced our interest to engage in European FP7 projects. This winter the European Commission started two of these projects, in which edacentrum is one of the partners. Within the first one, short title "R&D-ACCESS", edacentrum is a project partner due to its expertise in networking around EDA tools. In the second one entitled "SmartCoDe", edacentrum's role is to coordinate and to oversee all project activities and to drive the dissemination. In this article, we introduce both projects.



R&D-ACCESS – A new website to disseminate information on semiconductor design

R&D-ACCESS, which commenced in November 2009, is a 3-year coordination and support action (CSA) project funded by the European Commission within the 7th Framework Programme (FP7) under the theme "ICT-2009", in the area "Design of semiconductor components and electronic based miniaturized systems". The consortium consists of five partners from four European countries:

- » Technoconsult ApS (Danmark)
- » Design And Reuse S.A. (France)
- » Consorzio per la Ricerca e l'Educazione Permanente (Italy)
- » edacentrum GmbH (Germany)
- » Commissariat à l'énergie atomique (France)

In R&D-ACCESS a new website is being developed in order to disseminate huge amounts of information on semiconductor design. The objectives of the project are to identify R&D results on semiconductor design from FP7 projects and to provide these results to partners from outside the consortia. The R&D results are divided into four categories:

- » Training and Education
- » Intellectual Properties
- » Design Tools
- » Design Methodologies

The dissemination web platform facilitates the access to project results generated in huge numbers of IP, NoE, STREP and CSA projects from the FP7 programme. When the platform is implemented and routines for best practice have been established also relevant project results originating from e.g. FP6, ENIAC, ARTEMIS and national programmes will be invited to join the ACCESS platform.

The R&D-ACCESS platform is based on a web system developed as an extension to already existing European services like EuroTraining, IP Design-Reuse and edacentrum network. Since these services will be

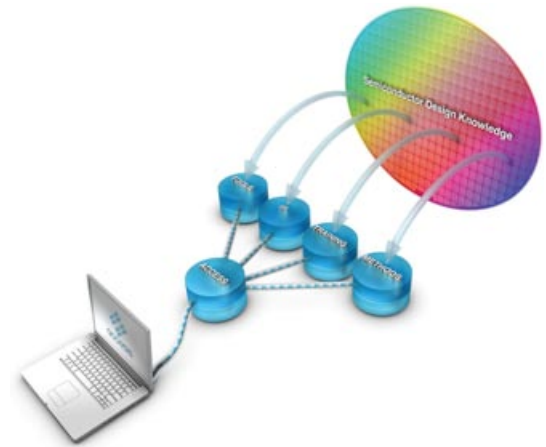


Figure E.06: Concept of R&D ACCESS

improved and already have nearly 40.000 subscribers the new combined ACCESS platform will be born with a tremendous user community.



EU Project SmartCoDe to Develop Local Energy Management Infrastructure with Minimal Consumer Cost

The project's objective is to enable the intelligent management of local energy grids that consist of renewable energy sources such as wind turbines and photovoltaics; energy consuming systems such as lighting, heating, ventilation, and air conditioning (HVAC), appliances such as refrigerators, ovens, and even the battery charger of an electrically-powered vehicle. The project aims to develop the fine-grained communications infrastructure, control and monitoring devices, and associated software, required to meet a consumer price point of less than €3 (three Euros) per managed device – a level at which surveys indicate consumer willingness to adopt the technology en masse. Successful fulfillment of the project's goals would lend considerable support to the EU's objective of deriving 20 percent of its energy from renewable resources by the year 2020.

SmartCoDe could significantly cut standby energy consumption by up to 10 percent, while residential demand side management could reduce energy consumption

The project is granted under the Project Number ICT-2009-243366. The new site will become available at <http://www.rd-access.eu>.

Author and Cont@ct (R&D-ACCESS):
Ivan Ring Nielsen
fon: +45 (22 12) 52 44
irn@technoconsult.dk

by up to 16 percent. This compares very favourably with the 10 percent to 30 percent savings achieved by today's energy management approaches, which are cost-effective only in single, high-consumption commercial sites.

On the demand side, SmartCoDe aims to schedule the use of energy or to switch energy using products (EuP) into standby, where customer requirements permit. A SmartCoDe system would thus enable individual consumers to participate in the energy market as an intelligently-managed "sub-grid".

On the supply side, SmartCoDe's smart energy management is intended to mitigate or even eliminate local energy grids' unpredictability of supply – an unpredictability that mandates the continued use of the main grid to guarantee supply, especially during peak periods. A significant increase in the predictability of supply would allow local energy grids to participate in the energy market as both consumers and reliable energy suppliers.

In addition to the consumer cost factor, SmartCoDe's energy management device is intended to meet three other criteria critical to the successful deployment of advanced energy management techniques in consumer environments, namely:

- » A small form factor that integrates readily into as many types of household appliance as possible.
- » A wireless communications infrastructure that enables communication and co-ordination between all energy sources, allowing sources to "announce" their availability.
- » High-grade data security akin to that of "Smart-Card" technology.

SmartCoDe is a 7th Framework Program (FP7) project funded by the European Commission. Its primary mis-

sion is to balance and reduce the energy consumption of small buildings and neighbourhoods and pave the way to energy-neutral / energy-positive local grids. The project, which commenced in January 2010, is a three-year Specific Targeted Research Project (STReP) funded under the programme "ICT-2009", in the area "ICT support to energy-positive buildings and neighbourhoods". It includes eight partners from five European countries, with the following responsibilities:

- » Ardaco, a. s., Slovakia: Secure data transmission, secure communication
- » edacentrum GmbH, Germany: Project coordination, dissemination of results, web portal
- » ennovatis GmbH, Germany: Energy management systems
- » Infineon Technologies Austria AG: System integration, system-on-chip (SoC), system-in-package (SiP)
- » Quiet Revolution Ltd., U.K.: Small-scale energy generation (wind turbines), energy forecasting
- » Tridonic Atco GmbH & Co KG, Austria: Lighting and building automation
- » University of Novi Sad, Serbia: Energy management software
- » Vienna Technical University, Austria: Modeling and design of wireless sensor networks

The team's deliverables – which should be complete by the end of 2012 – include:

- » Advanced power management methodology
- » Abstract models of a local energy cluster, EuP, and decentralised wind turbine
- » Executable specification and architectural models of the energy management device (SoC/SiP)
- » SmartCoDe demonstration
- » Energy (wind) generation forecasting methodology (Ne)

If you are interested to learn more about SmartCoDe visit project representatives from the project partner TU Vienna at the University Booth at DATE 10 in Dresden.

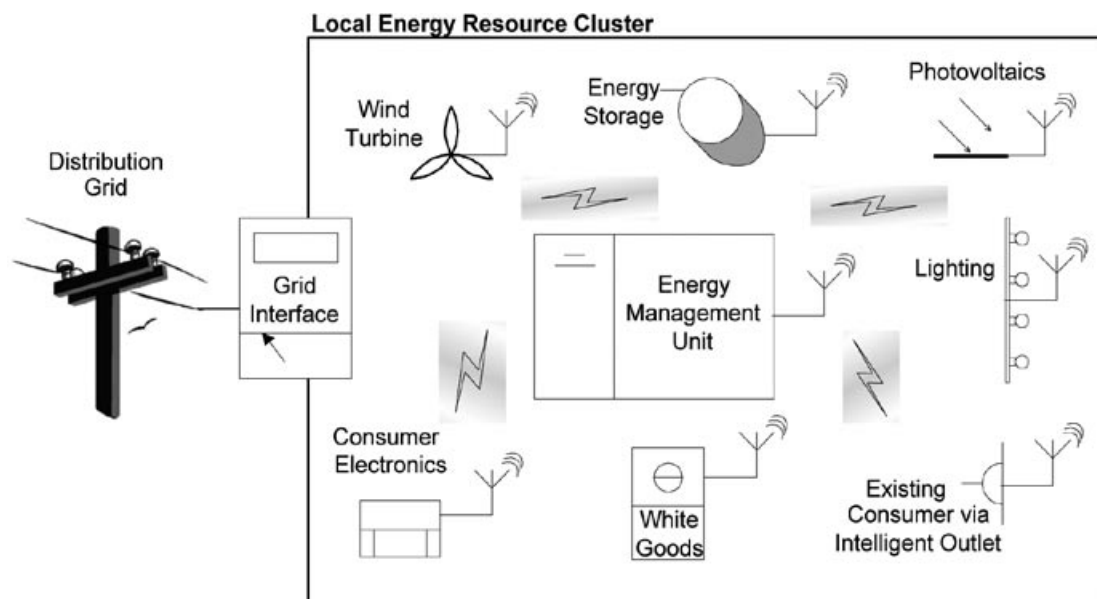


Figure E.07: Wireless control of a local grid

Information concerning SmartCoDe is available at www.fp7-smartcode.eu/

Cont@ct (SmartCoDe):
 Peter Neumann
 fon: +49 (5 11) 7 62 – 1 93 83
 neumann@edacentrum.de

4 Panorama

Meldungen

www.edacentrum.de/newsletter

Forschung: Informationsdienst Wissenschaft, vom 28.12.2009

Eines der größten deutschen Hochschul-Projekte zur Erforschung der Elektromobilität ist gestartet

Am 4. Januar 2010 startete die Universität Duisburg-Essen (UDE) eines der größten deutschen Hochschul-Projekte zur Erforschung der Elektromobilität. In das Großprojekt sind insgesamt 15 UDE-Lehrstühle unterschiedlicher Disziplinen mit mehr als 50 Wissenschaftlern eingebunden. Ingenieure, Ökonomen, Physiker, Informatiker und Psychologen wollen in dem Projekt untersuchen, wie Elektromobilität in einer Metropolregion wie NRW praxistauglich umgesetzt werden kann.

Forschung: Heise Newsletter, vom 13.1.2010

Forscher arbeiten am chemischen Computer

Ein internationales Team europäischer Wissenschaftler will neuronale Netze aufbauen, in denen Informationen über den Ablauf chemischer Reaktionen transportiert und gespeichert werden.

Forschung: Informationsdienst Wissenschaft, vom 15.1.2010

Gründung des In-Institutes für integrierte Systeme am Fachbereich Elektrotechnik/Informationstechnik der Fachhochschule Jena

Hauptarbeitsschwerpunkt des neuen In-Institutes wird die industrielle Forschung auf dem Gebiet des Entwurfs integrierter Systeme und der optischen Sensorik sein, mit dem Ziel, neue Erkenntnisse in neue oder verbesserte Produkte, Verfahren und Dienstleistungen einfließen zu lassen.

Forschung: Informationsdienst Wissenschaft, vom 18.1.2010

Hoch statt flach: Nanodrähte für eine neue Chip-Architektur

Silizium ist das gängige Material in der Elektronik, egal, ob es um Handys, Solarzellen oder Computer geht. Drähte aus Silizium im Nanometer-Bereich haben ein großes Potential für eine völlig neue Chip-Architektur, doch muss man zuvor ihre elektrischen Eigenschaften noch genauer erforschen und verstehen. Forscher vom Max-Planck-Institut für Mikrostrukturphysik und vom Forschungszentrum Dresden-Rossendorf (FZD) gelang es, den elektrischen Widerstand und den bislang unbekanntem Stromfluss im Inneren von Silizium-Nanodrähten darzustellen.

Forschung: elektroniknet.de, vom 25.1.2010

Bund: Geschäftsstelle für Elektromobilität

Zum 1. Februar 2010 richtete die Bundesregierung die »Gemeinsame Geschäftsstelle Elektromobilität« (GGE) von Verkehrs- und Wirtschaftsministerium mit dem Ziel ein, Lösungen für den Master-Plan Elektromobilität zu

erarbeiten und die Ressort-Zusammenarbeit zu bündeln.

Forschung: BMBF Newsletter, vom 11.2.2010

BMBF und VDE starten an 3000 Schulen neue Runde von „Invent a Chip“

Einen Computerchip nach eigenen Vorstellungen entwickeln – das können Schülerinnen und Schüler in Deutschland jetzt in einer neuen Runde des Nachwuchswettbewerbs „Invent a Chip“. Das Bundesministerium für Bildung und Forschung (BMBF) und der VDE starten dazu eine neue Runde des erfolgreichen Wettbewerbs. Teilnehmen können ab Mitte Februar interessierte Schülerinnen und Schüler ab Klassenstufe 8.

Forschung: Heise Newsletter, vom 12.2.2010

Forschungsprojekt zu fehlerfreiem Chip-Design

Wegen der extremen Komplexität aktueller Prozessoren und Systems-on-Chip entfällt auf die Fehlersuche dieser Halbleiterbauelemente ein enormer Teil ihrer jeweiligen Entwicklungskosten. Die Erforschung effizienter Verfahren zur sogenannten Verifikation integrierter Schaltungen ist deshalb eng mit der Chipentwicklung verknüpft. Nun haben sich Arbeitsgruppen vom IBM Research Lab Haifa, von Ericsson, TransEDA Systems (Ungarn), Testonica Lab (Estland), Unis aus Bremen, Graz, Linköping und Tallinn zum Diamond Consortium vereinigt, um neue Verfahren zur Fehlersuche und -bereinigung zu entwickeln. Die EU fördert das Projekt in den nächsten drei Jahren mit 3,8 Millionen Euro; mehr als 500.000 Euro gehen an die Arbeitsgruppe Rechnerarchitektur von Prof. Dr. Rolf Drechsler und Dr. Görschwin Fey an der Uni Bremen.

Forschung: Informationsdienst Wissenschaft, vom 17.2.2010

Von der Siliziumtechnik zur molekularen Elektronik

Kann Elektronik noch kleiner und leistungsfähiger werden? Forscher am Institut für Halbleitertechnik an der Technischen Universität Braunschweig entwickeln gemeinsam mit Kollegen an der Universität Princeton (New Jersey, USA) und an der TU München neuartige Bauelemente für zukünftige Computerchip-Generationen.

Forschung: Informationsdienst Wissenschaft, vom 17.2.2010

Computer können sich nach Programmabsturz selbst reparieren

Wenn große Computerprogramme plötzlich abstürzen und ganze Flughäfen oder Handelsfirmen lahm legen, sind daran oft nur kleine Softwarefehler schuld. Informatiker der Universität des Saarlandes haben jetzt

ein Verfahren entwickelt, mit dem diese Fehler gleich entdeckt und automatisch wieder behoben werden. Das „Pachika“ genannte System wird umfangreichen Computerprogrammen als eigenständiges Reparatur-Set einfach hinzugefügt.

Forschung: Informationsdienst Wissenschaft, vom 17.2.2010

Weg vom Silizium – hin zum Germanium?

Die Verwendung von Germanium als Grundmaterial für elektronische Schalter würde die Herstellung von schnelleren Chips mit einem höheren Integrationsgrad ermöglichen. Jedoch gibt es dabei noch eine Reihe von Problemen zu lösen. Bisher war es nicht möglich, auf Germanium-Basis einen bestimmten Typ von Transistoren (NMOS) mit einem technologisch interessanten Integrationsgrad herzustellen. Zwei neuartige Verfahren, die Wissenschaftler aus dem FZD gemeinsam mit internationalen Kollegen erfolgreich einsetzten, schaffen hier Abhilfe.

Forschung: Heise Newsletter, vom 18.2.2010

Zwei Milliarden Euro für Aachener „Silicon Valley“

Am Hochschulstandort Aachen sollen in den nächsten sieben Jahren zwei Milliarden Euro in einen Wissenschaftscampus fließen. Der RWTH Campus Aachen soll „eine der größten Forschungslandschaften in Europa“, ein zweites Silicon Valley werden.

Markt: elektroniknet.de, vom 27.1.2010

Die IC-Wachstumsmärkte 2010

In seinem jüngsten Marktreport »IC Market Drivers 2010« hat das amerikanische Marktforschungsinstitut IC Insights die zehn wichtigsten IC-Wachstumssparten des neuen Jahres identifiziert. Dem DRAM-Markt sagen die Analysten ein Plus von über 30 Prozent im Jahr 2010 voraus. Über dem durchschnittlichen Branchenwachstum von 15 Prozent rangieren demnach neben Flash-Speichern auch diverse für Automotive- und Computerapplikationen relevante ICs. Für 2010 rechnet IC Insights insgesamt mit einem Wachstum des IC-Marktes um 15 Prozent auf 270,7 Mrd. Dollar. Nach einem Einbruch von 10 Prozent sank das Umsatzvolumen des IC-Marktes im Vorjahr nach Angaben der Analysten um 10 Prozent auf 235,4 Mrd. Dollar.

Markt: Heise Newsletter, vom 1.2.2010

Weltweite Halbleiter-Umsätze schrumpften 2009 um 9 Prozent

Im vergangenen Jahr wurden mit Halbleitern nach Angaben des Branchenverbands SIA 226,2 Milliarden Euro umgesetzt. Der Dezember allein lag 29 Prozent über dem Vergleichsmonat des Vorjahres.

Markt: elektroniknet.de, vom 19.2.2010

DRAM-Markt wächst um 40 Prozent

Eine Marktstudie von iSuppli sagt dem extrem zyklischen DRAM-Markt in diesem Jahr ein deutliches Wachstum voraus. Nach drei verlustreichen Jahren wird das höchste Zeit.

Standardisierung: elektroniknet.de, vom 11.1.2010

AUTOSAR-Werkzeuge: dSpace und Vector forcieren Interoperabilität

dSpace und Vector Informatik wollen die Interoperabilität ihrer AUTOSAR-Werkzeuge optimieren, sodass zukünftig ein nahtloses Zusammenspiel des Seriene-Generators TargetLink und des AUTOSAR-Entwurfswerkzeuges DaVinci Developer möglich ist.

Standardisierung: Heise Newsletter, vom 15.1.2010

AUTOSAR-Standard in Version 4.0 veröffentlicht

Der Softwarearchitektur-Standard im Automotive-Bereich AUTOSAR ist in Version 4.0 erschienen. Im Fokus standen Ausbau der Methodiken und Templates, Unterstützung für Multicore-Prozessoren und neue Anwendungsschnittstellen.

Wirtschaft: Heise Newsletter, vom 28.12.2009

Großprojekt Elektroautos startet im Großraum Köln

Im Großraum Köln sind ab Januar 25 Elektroautos von Ford im Praxistest unterwegs. Die Grundfragen: Was kostet Elektromobilität und was bringt sie wirklich für die Luftqualität in Metropolen?

Wirtschaft: presstext Deutschland, vom 29.12.2009

Technische Weltrekorde am Jahresende 2009

Der kürzlich feierlich eröffnete und mehr als 800 Meter hohe Burj Dubai hat über 160 Stockwerke. Im 124. Stock befindet sich die welthöchste öffentlich begehbare Beobachtungsplattform. China zeigt unterdessen mit seinem jüngsten Hightech-Produkt – dem Wuhan-Guangzhou-Hochgeschwindigkeitszug – dass es in Sachen Hochleistungsbahnen die Nase klar vorne hat. Anfang Dezember brach ein Testzug mit 394,2 km/h den bisherigen Geschwindigkeitsrekord. Die Fahrzeit der 1.068 Kilometer Distanz verkürzt sich damit von bisher neun auf drei Stunden. Nicht nur in Sachen Höchstgeschwindigkeit, sondern auch bei der durchschnittlichen Reisegeschwindigkeit von rund 341 km/h ist der Expresszug Weltmeister.

Wirtschaft: Heise Newsletter, vom 30.12.2009

Halbleiterbranche sieht 2010 als Hoffnungsjahr

Der Geschäftsführer von Infineon gibt sich in einem Interview optimistisch, was die Entwicklung der deutschen Halbleiterbranche angeht.

Wirtschaft: EE Times Deutschland, vom 1.2.2010

EDA pundits confront market projections for 2010

2010 has just started, and there is no better time to generate estimates and predictions for this year's EDA market. Three EDA industry experts have agreed to share their projections with EE Times.

2009 was quite a tumultuous year for the EDA industry. However, there are signs that there is some economic light at the end of the tunnel. Revenue improved on a sequential basis in the third quarter of 2009, ending the longest string of successive declines since at least

1997, according to the EDA Consortium (EDAC) trade group.

EDA revenue for the third quarter of last year totaled nearly \$1.17 billion, up 3.8 percent compared to the second quarter of the year, according to EDAC's latest report. But revenue continued to decline on a year-to-year basis, down 7.2 percent compared to the third quarter of 2008. EDAC's four-quarter moving average also declined 13.1 percent.

EE Times presents a discussion with EDA pundits Walden Rhines, EDAC chair and chairman and CEO of Mentor Graphics Corp., Gary Smith, principal of Gary Smith EDA, and Joseph Borel, former executive vice president in central research and development at STMicroelectronics NV and now of the JB-R&D consulting company.

Wirtschaft: Informationsdienst Wissenschaft, vom 1.2.2010

Elektroautos erobern den Harz

Elektroautos haben viele Vorzüge: Sie sind leise und weniger wartungsintensiv als Fahrzeuge mit Verbren-

nungsmotoren. Im Harz soll ein flächendeckendes Netz an geschickt platzierten Ladestationen dafür sorgen, dass die Stromflitzer zukünftig das Bild der Region prägen.

Wirtschaft: Heise Newsletter, vom 4.2.2010

Virtuelles Prototyping: Synopsys übernimmt VaST Systems

Der EDA-Anbieter Synopsys übernimmt VaST Systems und will sich somit beim virtuellen Prototyping stärken.

Wirtschaft: presstext Deutschland, vom 22.2.2010

USA setzen auf Elektroautos

In den USA werden Elektroautos immer mehr gefördert. Zuletzt haben Wissenschaftler bei der American Association for the Advancement of Science beim jährlichen Treffen die Vorteile von Elektrofahrzeugen unterstrichen. Eigentümer von E-Autos können bei Nichtnutzung ihres fahrbaren Untersatzes diesen an das öffentliche Stromnetz anschließen und damit sogar Geld verdienen.

Von unseren Partnern im Ausland



ICT2010 – Digitally Driven –

Homepage:

http://ec.europa.eu/information_society/events/ict2010/index_en.htm

ICT2010 Twitter page:

<http://twitter.com/ict2010eu>

ICT 2010 – Digitally Driven – Homepage online

Brussels, Belgium, 27–29 September: The new website for the ICT 2010 research event is now online. The event will take place in Brussels, Belgium from 27–29 September. It is organised by the European Commission in cooperation with the Belgian Presidency of the European Union. ICT 2010 will focus on policy priorities such as Europe's Digital Agenda and the next financial programme of the European Union for funding research and innovation in ICT for over 2 billion Euros of funding available in 2011–2012. More than 4.000 participants are expected to attend the event as this biannual event has become a unique gathering point for researchers, business people, investors, and high level policy makers in the field of digital innovation. News and updates are also available from the ICT 2010 Twitter page. At ICT 2010 you can find

- » latest research trends in information and communication technologies
 - » European priorities for 2.8 billion Euros research funding in ICT, 2011–2012
 - » potential research and business partners at dozens of networking sessions to meet
 - » an exhibition with over 5.000 square meters of Europe's latest cutting edge ICT research
- Online registration will open in May 2010.



CATRENE due to Enhance Project Portfolio

Paris, 03 February 2010 – CATRENE, the industry-driven Cluster for Application and Technology Research in Europe on NanoElectronics (EUREKA 4140) has announced its third call for project proposals from 1st February to 1st June 2010. Participation in the Project Outline phase is mandatory until 18th March for participation in the subsequent Full Proposal phase. After the evaluation and selection process, the final decision can be expected on 30th June 2010 with project labelling. It can be assumed that the projects will start from January 2011.

Considering the pace of the technical and business evolution in the nanoelectronics domain, it was anticipated from the beginning that annual call for proposals would be launched within the first phase of the programme (2008–2011). With already 21 active projects resulting from the first and second call, involving 300 participating organisations from 16 European countries and almost 7.000 person-years of researchers, CATRENE is the leading European programme in nanoelectronics supported by industry and governments.

For more information on CATRENE, visit www.catrene.org

Related information and guidelines for preparation are accessible during this time on www.catrene.org

Cont@ct (CATRENE):

Otto Laaff

fon: +33 (1 40) 64 45 60

catrene@catrene.org

EDA Consortium Reports Industry Revenue Down in Third Quarter 2009

Source EDA Consortium, Market Statistics Service Press Release

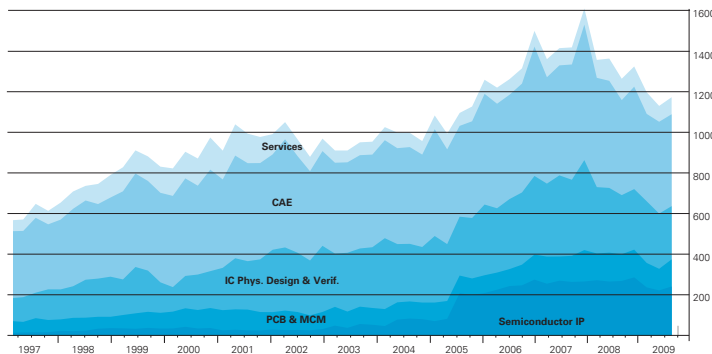


Chart 5.01: EDA and SIP Revenue, Q1 1997 to Q3 2009 [in Million US-\$]

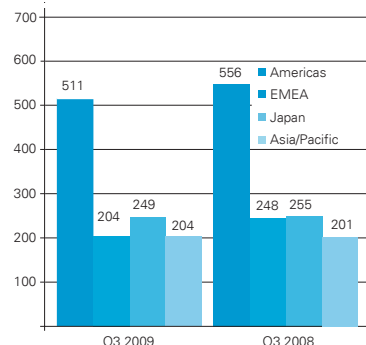


Chart 5.02: Comparison of the total EDA & SIP Revenue by Geographic Region [in Million US-\$]

The EDA Consortium (EDAC) Market Statistics Service (MSS) today announced that the Electronic Design Automation (EDA) industry revenue for Q3 2009 is \$1,167.9 million, a 3.8 % sequential increase from Q2. On a Q3/Q3 basis, EDA industry revenue declined 7.2 %, compared to \$1,258.6 million in Q3 2008. The four-quarter moving average declined 13.1 %.

“Just as the semiconductor industry has experienced sequential growth, the EDAC revenue numbers similarly represent a sequential increase over the previous quarter,” said Wally Rhines, EDAC chair and chairman and CEO of Mentor Graphics. “Most notable sequential increases were in the categories of printed circuit board, semiconductor IP, and services.”

Companies that were tracked employed 25,942 professionals in Q3 2009, down 7.9 % from the 28,176 employed in Q3 2008, and down 1.4 % from the 26,298 employed in Q2 2009.

Revenue by Product Category

Computer Aided Engineering (CAE), EDA’s largest category, generated a revenue of \$450.1 million in Q3 2009. This represents a 3.3 % decrease over the same period in 2008. The four-quarter moving average for CAE declined by 15.6 %. In the next largest category, IC Physical Design & Verification, revenue decreased to \$260.8 million in Q3 2009, a 10.0 % decrease com-

pared to Q3 2008. The four-quarter moving average declined 16.9 % for IC Physical Design & Verification. Printed Circuit Board and Multi-Chip Module (PCB & MCM) revenue increased 1.5 % compared to Q3 2008, to \$132.9 million. The four-quarter moving average for PCB & MCM decreased 10.6 %. Semiconductor Intellectual Property (SIP) revenue totaled \$240.7 million in Q3 2009, a 10.1 % decrease compared to Q3 2008. The four-quarter moving average for SIP decreased 8.0 %. Services revenue was \$83.5 million in Q3 2009, a decrease of 20.3 % compared to Q3 2008. The four-quarter moving average for services decreased 4.0 %.

Revenue by Consuming Region

The Americas, EDA’s largest region, purchased \$511.2 million of EDA products and services in Q3 2009, representing an 8.0 % decrease compared to Q3 2008. The four-quarter moving average was down 14.1 % for the region. Revenue in Europe, the Middle East, and Africa (EMEA) was down 17.6 % in Q3 2009 compared to Q3 2008 on revenues of \$204.0 million. The four-quarter moving average for EMEA was down 15.4 %. Q3 2009 revenue from Japan decreased 2.3 % to \$248.9 million compared to Q3 2008. The four-quarter moving average for Japan decreased 15.1 %. The Asia/Pacific (APAC) region increased to \$203.8 million in Q3 2009, a 1.6 % increase compared to the same quarter in 2008. The four-quarter moving average declined 4.7 %.

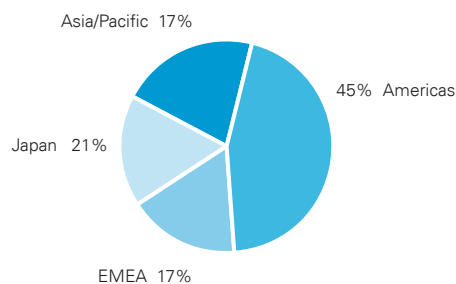


Chart 5.03: Distribution of the total EDA & SIP Revenue of Q3 2009 by Product Category

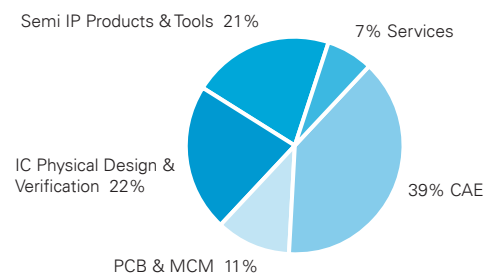


Chart 5.04: Distribution of the total EDA & SIP Revenue of Q3 2009 by Region

EMEA: Europe, Middle East, Africa
APAC: Asia/Pacific

Cont@ct:
EDA Consortium
111 West Saint John Street,
Suite 220, San Jose

6 Mitglieder

Mitglieder stellen sich vor

www.edacentrum.de/portrait/mitglieder

More information about CST's university program, the winner of the University Publication Award 2009 and the upcoming award 2010 can be found on the CST corporate website at: <http://www.cst.com/Content/Company/UniProgram.aspx>



CST AG

CST University Publication Award 2009: Winners announced

The CST University Publication Award is an annual grant to university institutes and researchers for their work in the application of 3D EM field simulation. The winners are awarded with extensions to their CST STUDIO SUITE installations.

Prerequisites for participation are that the papers are authored or co-authored by university researchers, published either in scientific journals or conference proceedings, and the numerical results are entirely or in part obtained through simulation using CST software products.

Cont@ct

Ruth Jackson
Marketing Communications,
CST
fon: (0 61 51) 73 03 – 7 52
info@cst.com

Submissions were evaluated on a number of criteria including originality of the application or the theory, clarity of presentation, as well as the skilful usage of CST software features. There is a special award for short papers which acknowledges the importance of short conference papers in promoting the practical application of simulation.



Globalfoundries

Globalfoundries bietet Kunden ab sofort weltweit Full-Service-Fertigung

Die ehemalige Fertigungssparte von AMD, die als Firma Globalfoundries mehrheitlich im Besitz der Investmentfirma Mubadala ist, hat den Halbleiterbauelemente-Auftragsfertiger Chartered Semiconductor aus Singapur integriert. Nach Angaben der beiden Unter-



Alcatel-Lucent Deutschland GmbH
www.alcatel-lucent.com



ChipVision Design Systems AG
www.chipvision.com



FZI – Forschungszentrum Informatik
www.fzi.de



Ansoft GmbH und Co. KG
www.ansoft.com



Concept Engineering GmbH
www.concept.de



GLOBALFOUNDRIES Dresden
www.globalfoundries.com



Atmel Automotive GmbH
www.atmel.com



CST – Computer Simulation Technology
www.cst.com



IBM Deutschland Entwicklung GmbH
www.ibm.com/de/entwicklung



Robert Bosch GmbH
www.bosch.de



Dassault Systèmes Deutschland GmbH
www.3ds.com



IMMS gGmbH
www.imms.de



Cadence Design Systems
www.cadence-europe.com



Fraunhofer Inst. f.integrierte Schaltungen
www.eas.iis.fhg.de



Infineon Technologies AG
www.infineon.com

Unter www.edacentrum.de/portrait/mitglieder/ finden Sie im Internet weitere Informationen

nehmen soll die Fertigung unter der Marke Globalfoundries weiterlaufen. Das Werk in Dresden soll dabei den so genannten Leading-Edge-Bereich abdecken. Dieser umfasst die Entwicklung und Fertigung neuer Spitztechnologien. In Singapur sollen die älteren Chip-Generationen produziert werden. Der neue Konzern firmiert unter Globalfoundries, hat 10.000 Mitarbeiter und setzt jährlich 1,7 Milliarden Euro um.



Melexis GmbH

Kontaktlose Authentifizierung: Melexis MLX90109 für den Heimgebrauch

Der RFID-Sendeempfänger mit Einchip-Niederfrequenz (125 kHz), MLX90109, wurde von Somfy für den Einsatz bei Sicherheitsanwendungen für Haushalte und Gebäude auserkoren. Ursprünglich als Anwendung für Fahrzeug-Wegfahrsperrungen entwickelt, wird der MLX90109 gleichermaßen industriellen Anforderungen im Bereich Zugangskontrolle oder Kennzeichnung von Haustieren gerecht. Obwohl der große Trend bei kontaktloser Authentifizierung in Richtung Hochfrequenz-HF-Kommunikation (13,56 MHz) geht, gibt es auch



Abbildung 6.01: MLX90109 (Copyright Rik Moens, Melexis)

Anwendungen, bei denen geringe Leistung, Robustheit und ein beschränktes Platzangebot nach einer niederfrequenten kontaktlosen Authentifizierung verlangen. In all diesen Fällen ist der MLX90109 das Schlüsselement für eine optimale Lösung.

Kont@kt
 GLOBALFOUNDRIES Dresden
 Module One LLC & Co. KG
 Hans-Jürgen Brand
 fon: (03 51) 2 77 – 60 16
 fax: (03 51) 2 77 – 9 60 16
 hans-juergen.brand@globalfoundries.com

Cont@ct
 Rik Moens
 Marketing & Communications
 Professional
 fon: (+32) 13 67 07 95
 rmo@melexis.com

Webseiten der Mitglieder | des edacentrum e. V.



Institut für angew. Funksystemtechnik
 www.iaf-bs.de



Mentor Graphics GmbH
 www.mentor.com/german



TexEDA Design GmbH
 www.texeda.de



Intel GmbH
 www.intel.com



MunEDA GmbH
 www.muneda.com



TU Braunschweig
 www.tu-bs.de/



ITIS e. V. – Universität der Bundeswehr
 www.itis-ev.de



OFFIS – Institut für Informatik
 www.offis.de



TU Chemnitz
 www.tu-chemnitz.de/etit/sse/



Magma Design Automation GmbH
 www.magma-da.com



OneSpin Solutions GmbH
 www.onespin-solutions.com



TU Darmstadt
 www.iss.tu-darmstadt.de



Melexis GmbH
 www.melexis.com



Synopsys GmbH
 www.synopsys.com



TU Dresden
 www.tu-dresden.de



OneSpin Solutions GmbH

360 mv von OneSpin Solutions wurde zum dritten Mal zu einem der industrieweit innovativsten und bedeutendsten Produkte für funktionale RTL-Verifikation gewählt

Die RTL-Verifikationslösung 360™ MV von OneSpin wurde erneut auf die renommierte Liste der „Hot 100 Products of 2009“ des EDN-Magazins gewählt. Laut EDN stellt diese Liste die innovativsten und bedeutendsten Produkte der Elektronikindustrie des Jahres 2009 heraus.

Als einziges Verifikationswerkzeug weltweit bietet 360MV eine automatische Abdeckungsanalyse für SystemVerilog Assertions (SVA), automatisch

geprüfte Kriterien, wann eine Verifikation als sicher beendet gelten kann, eine SVA-Entwicklung direkt aus Timing-Diagrammen sowie SVA-Debugging-Fähigkeiten, die die genauen Ursachen lokalisieren, warum die Überprüfung einer Zusicherung fehlschlägt. Diese Fähigkeiten ermöglichen die systematische Verifikation von Design-Operationen und -Transaktionen auf Spezifikationsebene mit bisher nicht gekannter Verifikationsabdeckung (coverage) und -Produktivität.

Auf der DATE in Dresden präsentiert OneSpin Solutions 360 MV vom 9.–11. März am Stand #29.

Zusätzlich bietet OneSpin regelmäßig Online-Seminare zu 360 MV an. Informationen und Registrierung sind auf <http://www.onespin-solutions.com/tutorial.php> zu finden.

Kont@kt

Stephanie Klünker
fon: (0 89) 9 90 13 – 4 46
Stephanie.Kluecker@onespin-solutions.com



TU Ilmenau
www.tu-ilmenau.de



Universität Bremen
www.uni-bremen.de



Universität Hannover
www.uni-hannover.de



TU Kaiserslautern
www.tu-kaiserslautern.de



Universität Erlangen
www.uni-erlangen.de



Universität Paderborn
www.upb.de



TU München
www.lis.ei.tum.de



Universität Frankfurt
www.uni-frankfurt.de



Universität Tübingen
www.informatik.uni-tuebingen.de



TRIAS Mikroelektronik GmbH
www.trias-mikro.de



Universität Freiburg
www.uni-freiburg.de



ZMD AG
www.zmd.biz

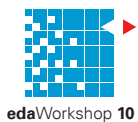
Unter www.edacentrum.de/portrait/mitglieder/ finden Sie im Internet weitere Informationen

Ausblick auf die kommende Ausgabe 02 2010



Projektspiegel

Projektbericht: „Smart Control of Energy Demand for buildings“ (SmartCoDe)



Fazit und kernaussagen vom edaWorkshop10 in Hannover

Am 4. Und 5. Mai wird der edaWorkshop10 in Hannover stattfinden, von dem wir berichten werden.



Eindrücke von DATE und Analog – SyEnA präsentiert erste Ergebnisse

Nicht nur das Projekt SyEnA hat seine Ergebnisse im Frühjahr präsentiert. – Eindrücke von DATE und Analog.



Panorama

Neuestes aus Forschung, Markt und Wirtschaft rund um das Thema EDA

Über weitere Themen wird kurzfristig entschieden.

Änderungen aus aktuellem Anlass vorbehalten.



EDA Consortium
www.edac.org



PRismaPR
www.prismapr.de



Silicon Intergration Initiative Si2
www.si2.org



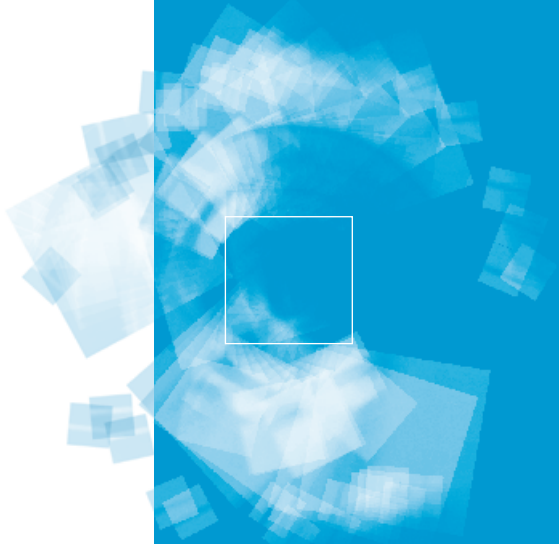
Silicon Saxony e. V.
www.silicon-saxony.net

Kooperationspartner

Sie sind noch nicht Mitglied im edacentrum, ?

... möchten aber nicht auf den „newsletter edacentrum“ verzichten ? Dann können Sie den „newsletter edacentrum“ für 40 € jährlich (4 Ausgaben) inkl. Porto beim edacentrum bestellen. Oder werden Sie Mitglied im edacentrum e. V. und profitieren Sie zusätzlich von den exklusiven Vorteilen, die eine Mitgliedschaft bietet: Erweitertes Informationsangebot im Internet, EDA-Atlas, technische Analysen und Marktanalysen, Roadmaps (inkl. Erstellung), Unterstützung bei der Standardisierung, Öffentlichkeitsarbeit im Bereich EDA für Firmen und Forschungseinrichtungen, Einbringen eigener Anforderungen in die EDA-Forschung, Kontakte zu Kompetenzzentren für EDA-Clusterforschung, Vergünstigungen bei Veranstaltungen des edacentrum (edaForum, Workshops, EDA-Kolloquium...), Erfahrungsaustausch mit anderen EDA-Anwendern, uvm.

www.edacentrum.de/mitgliedschaft.html



Ansprechpartner im edacentrum



Prof. Dr. Wolfgang **Rosenstiel** | Vorstand
fon (0 70 71) 2 97 54 82, (Ro)
rosenstiel@edacentrum.de



Prof. Dr. Erich **Barke** | Vorstand
fon (05 11) 7 62 – 1 96 90, (Ba)
barke@edacentrum.de



Dr. Jürgen **Haase** | Vorstand
fon (05 11) 7 62 – 1 96 98, (Haa)
haase@edacentrum.de



Dr. Cordula **Hansen** | Koordination (Leitung)
fon (07 11) 2 80 79 56, (CH)
hansen@edacentrum.de



Dipl.-Ing. (FH) Peter **Neumann** | Consulting
fon (05 11) 7 62 – 1 93 83, (Ne)
neumann@edacentrum.de



Dipl.-Ing. Ralf **Popp** | Öffentlichkeitsarbeit (Leitung)
fon (05 11) 7 62 – 1 96 97, (Pp)
popp@edacentrum.de



Dr. Volker **Schöber** | EDA-Clusterforschung (Leitung)
fon (05 11) 7 62 – 1 96 88, (VS)
schoeber@edacentrum.de



Maren **Sperber** | Sekretariat
fon (05 11) 7 62 – 1 96 99, (Sp)
sperber@edacentrum.de



Dr. Dieter **Treytnar** | Öffentlichkeitsarbeit
fon (05 11) 7 62 – 1 96 87, (Tr)
treytnar@edacentrum.de



Dr. Andreas **Vörg** | Consulting
fon (05 11) 7 62 – 1 96 86, (AV)
voerg@edacentrum.de



Dipl.-Ing. Susanne **Wahl** | Koordination
fon (05 11) 7 62 – 1 94 84, (Su)
wahl@edacentrum.de

Impressum

Herausgeber

edacentrum e.V.
Schneiderberg 32
30167 Hannover
fon (05 11) 7 62-1 96 99
fax (05 11) 7 62-1 96 95
www.edacentrum.de
info@edacentrum.de

Redaktion

Ralf Popp (V.i.S.d.P.),
Dieter Treytnar
newsletter@edacentrum.de

Autoren

Bannow, Boos, Einwich, Foglar, Kirchner, Lankes, Lehrke, Nebel, Nielsen, Sonntag, Stehno, Dionysys, HERKULES, ROBUST, SANITAS, SyEnA, edacentrum, R&D-ACCESS, SmartCoDe, CATRENE, EDA Consortium CST, GlobalFoundries, Melexis, One-Spin Solutions

Wir bedanken uns herzlich bei allen Autoren, die bei der Erstellung des Newsletters geholfen haben.

Satz, Grafik und Druck

stm Media GmbH, N. Möller, M. Hoinkis & D. Paul
Druckhaus Köthen GmbH, Köthen S.-A.

Fotos

Popp, Schöber, Vörg
N. + U. Möller (Titel)

Ausgabe

Der newsletter edacentrum 01 2010 ist erschienen am
5. März 2010, Auflage: 1 050

Redaktionsschluss

Der nächste Newsletter erscheint im Juni
Redaktionsschluss ist am 10. Mai 2010.

Alle im „newsletter edacentrum“ abgedruckten Beiträge sind urheberrechtlich geschützt. Alle Rechte, auch Übersetzungen, sind vorbehalten. Reproduktionen, gleich welcher Art (Mikrofilm, Fotokopie oder Erfassung in Datenverarbeitungsanlagen), nur mit schriftlicher Genehmigung des Herausgebers.

Für den Fall, dass im „newsletter edacentrum“ unzutreffende Informationen enthalten sein sollten, kommt eine Haftung nur bei grober Fahrlässigkeit in Betracht.