

newsletter edacentrum 03 2007

10,- Euro ISSN 1862 2283

electronic design automation centrum

www.edacentrum.de/newsletter

edaWorkshop 07

Projektspiegel

„PRODUKTIV+: Messung der Produktivität beim Entwurf nanoelektronischer Systeme“, dazu Schlussberichte von LEONIDAS+ und SIDRA

edaWorkshop – Erfolgreich aus der Taufe gehoben

Deutsche EDA-Forschung zu Gast in Hannover –
Ein Bericht vom edaWorkshop07

EDA-Service

Der vom edacentrum erstellte „edaTrend DAC07“-Bericht
ist für Mitglieder kostenfrei verfügbar

Editorial

Liebe Leserinnen und Leser,

was für ein Sommer! – Nein, eigentlich ist das ein Satz aus dem Herbst 2006. Genauer betrachtet, passt er aber eigentlich immer, denn irgendetwas Bemerkenswertes gibt es wohl in jedem Sommer. Aber eins ist wohl sicher, im Gegensatz zum letzten Jahr gehörte das Wetter nicht, oder höchstens negativ dazu: So war der April in diesem Jahr bisher der sonnenreichste Monat, der es in Kaiserslautern auf fast 350 Sonnenstunden brachte, während dort in den Monaten Mai bis August jeweils nur etwa 200 Stunden die Sonne schien [1]. Und, was hatte denn der Sommer im Bezug auf EDA zu bieten?

zigartige Kombination ergeben sich vielseitige Chancen zum Dialog zwischen Industrie und Forschung sowie zur Vorbereitung einer industriellen Verwertung von Forschungsergebnissen. Einen ausführlichen Bericht vom edaWorkshop07 finden Sie auf den Seiten 22–31.

Das sicher bedeutendste EDA-Ereignis des vergangenen Quartals war die Design Automation Conference (DAC). In diesem Zusammenhang möchten wir Sie noch einmal darauf hinweisen, dass der am 25. Juli erschienene „edaTrend DAC“ in diesem Jahr für Mitglieder und Projektpartner der Ekompass-Projekte letztmalig kostenfrei verfügbar ist. Wir hoffen, dass Inhalte und Form Sie überzeugen.

Ein kurzes DAC-Fazit, sowie weitere Informationen zu den edaTrend-Berichten finden Sie auf Seite 34.

Neben den Mitarbeitern des edacentrum haben auch die Partner der Projekte PRODUKTIV+, SIDRA und LEONIDAS+ fleißig Berichte geschrieben, die Sie auf den Seiten 5–17 finden.

Schließlich möchten wir Sie noch auf das edaForum07 am 5. und 6. Dezember in München hinweisen, dessen interessantes Programm bereits feststeht und Ihnen in diesen Tagen per Post zugehen wird. Eine kurze Übersicht der Vortragenden finden Sie auf Seite 32–33.

Darüber hinaus enthält der newsletter edacentrum wie üblich EDA-Neuigkeiten von weiteren Ekompass-Projekten, den Mitgliedern und der weiten Welt. Viel Freude beim Lesen dieser Ausgabe wünscht Ihnen

Ralf Popp für das edacentrum

[1] Quelle: Jörg Kachelmann in den ARD-Wetternachrichten am 10.9.2007 um 22:45 Uhr



Abbildung 0.1: Der erste edaWorkshop war ein voller Erfolg (S. 22)

Zunächst ist hier natürlich der zum ersten Mal veranstaltete edaWorkshop zu nennen. Bei dieser aus dem Ekompass-Workshop der Jahre 2002 bis 2006 hervorgegangenen Veranstaltung ist es gelungen, den Schwung und die Erfahrung der Vergangenheit mitzunehmen und eine neuartige Plattform für den Informationsaustausch zu schaffen: Der edaWorkshop ist dabei genauso ein wissenschaftlicher Workshop mit hohem Qualitätsanspruch geworden, wie eine Plattform zur Präsentation und zum Austausch von Forschungsergebnissen, die in öffentlich geförderten, industriellen Verbundprojekten erarbeitet werden. Durch diese ein-

Was war:

Abbildung 0.2: Impressionen von der DAC07 (S. 34)

Abbildung 0.3: Fachlicher Austausch beim VeronA-Tutorial (S. 19)

Abbildung 0.4: Entspannter Austausch auf dem edaWorkshop07 in Hannover (S. 22)

Abbildung 0.5: Ergänzende Informationen zum newsletter edacentrum finden Sie unter www.edacentrum.de/newsletter/



Abbildung 0.02



Abbildung 0.03


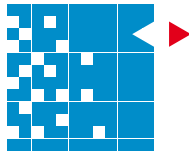


Abbildung 0.04



Abbildung 0.05

Inhaltsverzeichnis

Seite 05

Seite 22

Projektspiegel
Projektbericht
PRODUKTIV+:
Referenzsystem zur
Messung der Produk-
tivität beim Entwurf
nanoelektronischer
Systeme
 PRODUKTIV+ ist ein F&E-Projekt, das sich von den anderen Projekten des Ekompas-Förderkomplexes abhebt – denn das Projekt hat sich die „Modellierung und Messung der Entwurfsproduktivität in der Halbleiterindustrie“ zum Ziel gesetzt. Keine leichte Aufgabe ...

edaVeranstaltung
edaWorkshop –
Der Start ist geglückt!
 Aus dem Ekompas-Workshop wurde in diesem Jahr der edaWorkshop. Lesen Sie die Zusammenfassung der Keynote- und Übersichtsvorträge und anderer wesentlicher Programmteile des edaWorkshop07. Erfahren Sie wichtige Details über die Teilnehmer des Kooperationsmarktes (S. 30). Und denken Sie schon jetzt an neue Beiträge für den edaWorkshop08. (Deadline wird der 18. Dezember 2007 sein).

Überblick
Inhaltsverzeichnis **Seite 03**

Projektspiegel
Abschlußbericht vom Projekt SIDRA **Seite 11**
 Forschung zur Robustheit von ICs gegen elektrostatische Entladungen (ESD).

Projektspiegel
Abschlußbericht vom Projekt LEONIDAS+ **Seite 15**
 Jüngste Ergebnisse beim leitbahnorientierten Entwurf applikationsspezifischer Schaltungen.

Projektspiegel
Nachrichten von den Projekten **Seite 18**
 Meldungen der Ekompas-Projekte HERKULES, VeronA und VISION.

Projektspiegel
Neues aus der EDA-Clusterforschung **Seite 20**
 Neues von den Projekten AIS, FEST und SAMS.

Neues aus dem edacentrum
Erfolgreiches edacentrum-Musterdepot **Seite 20**
 Positive Entwicklung des Aktien-Musterdepots des edacentrum e.V.

edaWorkshop 2007
edaMedaille 2007 an Udo Steinkopf **Seite 29**
 Freuen Sie sich zusammen mit dem diesjährigen Preisträger und lesen Sie seine Laudatio.

edaWorkshop 2007
Kooperationsmarkt schlägt wieder ein **Seite 30**
 Unter dem Motto „Ideen suchen Abnehmer – Markt sucht Innovationen“ trafen sich zahlreiche Experten.

EDA-Veranstaltung
Design Automation Conference **Seite 34**
 Highlights von der diesjährigen DAC in San Diego, CA.

Projektmanagement
Alex und Bill – Aufsetzen zum Kick-off **Seite 35**
 Die Fortsetzungsgeschichte zum Projektmanagement.



Panorama
Meldungen aus der EDA-Welt **Seite 39**
 Eine EDA-Rückschau auf die vergangenen Monate mit dem „Pressescan“ im newsletter edacentrum.

Panorama
Meldungen aus dem Ausland **Seite 41**
 Neue interessante Nachrichten haben Si2, ENIAC und AENEAS zu vermelden.

Marktbeobachtung
10% EDA-industry revenue growth in Q1/2007 **Seite 42**
 Entwicklung der aktuellen Umsatzzahlen im Bereich EDA.

Neues von den Mitgliedern
Portraits und Neuigkeiten unserer Mitgliedsfirmen **Seite 43**
 Mitgliedsfirmen stellen sich und neue Produkte vor.

Ausblick
Vorschau auf die kommende Ausgabe **Seite 47**

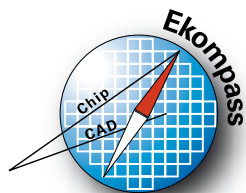



Seite 32

Seite 34

edaVeranstaltung
edaForum07
 Das Programm des am 6. und 7. Dezember in München stattfindenden edaForum07 steht fest. Während es in diesen Tagen verschickt wird, können Sie schon einmal „schnuppern“. Verschaffen Sie sich einen Überblick über die Vortragenden und lesen Sie, welche Themen vorgestellt und diskutiert werden.

edaTrend
Der „edaTrend DAC07“-
Bericht ist für Mitglieder
kostenlos
 Der „edaTrend DAC07“ ist am 25. Juli 2007 erschienen und berichtet umfassend von der diesjährigen DAC. An dieser Stelle sei noch einmal darauf hingewiesen, dass dieser Bericht den Mitgliedern des edacentrum e.V. in diesem Jahr letztmalig kostenlos als PDF-Datei zur Verfügung steht. Wie Sie den Bericht erhalten können, lesen Sie in diesem Beitrag.



1 Projektspiegel

Der Ekompas-Förderkomplex

www.edacentrum.de/ekompas

Die zur Zeit vom edacentrum betreuten Projekte gehören zu dem vom Bundesministerium für Bildung und Forschung (BMBF) zur Stimulation von EDA-Forschungsaktivitäten eingerichteten Förderkomplex namens Ekompas. Ekompas steht für „Entwurfsplattformen für komplexe angewandte Systeme und Schaltungen der Mikroelektronik“. Mit diesem Förderkomplex will das BMBF in erster Linie dazu beitragen, die einer starken internationalen Konkurrenz ausgesetzten Arbeitsplätze in der System- und Halbleiterindustrie sowie im EDA-Umfeld zu erhalten und auszubauen.

Ziel ist es, durch ein gemeinsames Vorgehen von Industrie, Forschung und öffentlicher Hand, in den für Deutschland (und für Europa) wichtigen Bereichen neue Entwurfsmethoden zu entwickeln, um die Komplexität zukünftiger Chipsysteme qualitätsgerecht und

effektiv beherrschen zu können. Dabei wird der Fokus auf solche Themen gelegt, denen für die Wettbewerbsfähigkeit der deutschen Industrie die größte Bedeutung zukommt.

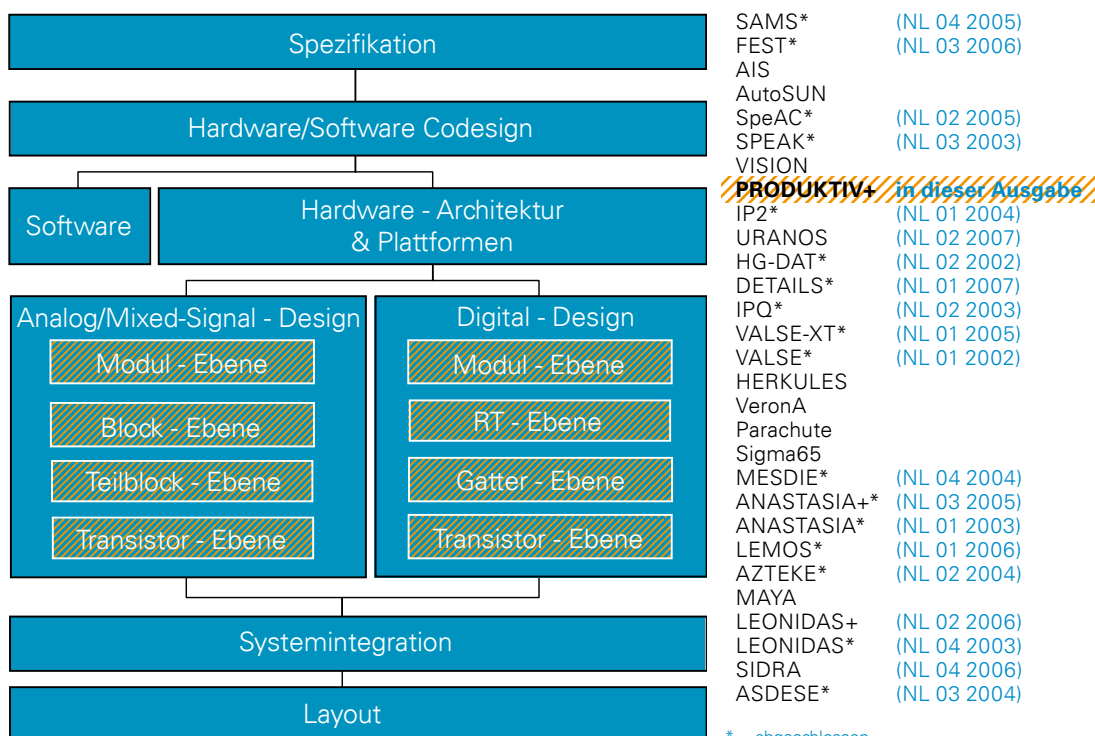
Der Förderkomplex Ekompas ist nicht nur von nationaler Bedeutung. Die meisten Forschungsvorhaben haben ein internationales Umfeld, insbesondere auf europäischer Ebene, wo Synergien aus gemeinsamen Stärken entstehen. Die für Ekompas sehr wichtige europäische Zusammenarbeit wird auch dadurch transparent, dass einige der Ekompas-Projekte in MEDEA-Projekte eingebettet sind.

Der Newsletter des edacentrum berichtet in loser Folge über die Projekte des Ekompas-Förderkomplexes.

Abbildung 1.01:
Übersicht über die aktuellen Ekompas-Projekte.

Projekt	FKZ	Laufzeit	Projektkoordination
AIS	01M3083	01.12.2006 – 30.11.2009	Dr. Volker Schöber, schoeber@edacentrum.de
AutoSUN	01M3178	01.07.2007 – 30.06.2010	Dr. Daniel Baumeister, daniel.baumeister@contiautomotive.com
MAYA	01M3172	01.06.2006 – 31.05.2009	Dr. Sebastian Sattler, sebastian.sattler@infineon.com
Parachute	01M3169	01.04.2006 – 31.03.2009	Thomas Steinecke, thomas.steinecke@infineon.com
PRODUKTIV+	01M3077	01.10.2005 – 30.09.2008	Frank Badstübner, frank.badstuebner@infineon.com
Sigma65	01M3080	01.10.2006 – 30.09.2009	Dr. Manfred W. Dietrich, manfred.dietrich@eas.iis.fhg.de
URANOS	01M3075	01.07.2005 – 30.06.2008	Dr. Hans-Jürgen Brand, hans-juergen.brand@amd.com
VeronA	01M3079	01.06.2006 – 31.05.2009	Peter Jores, peter.jores@de.bosch.com
VISION	01M3078	01.05.2006 – 30.04.2009	Dr. Joachim Gerlach, joachim.gerlach@de.bosch.com

Abbildung 1.02:
Das Bild zeigt verschiedene Entwurfsvorgänge des Schaltungsentwurfs. Dabei sind die Schwerpunkte des Projektes PRODUKTIV+ hervorgehoben, weil sich das Projekt PRODUKTIV+ in dieser Ausgabe des Newsletters präsentiert.





PRODUKTIV+: Messung der Produktivität beim Entwurf nanoelektronischer Systeme

Ein Meßsystem für die Wirksamkeit von Electronic Design Automation

J. Alt ¹, F. Badstübner ¹, H.-J. Brand ², E. Jentzsch ³, C. Sebeke ⁴, A. Vörg ⁵

¹ Infineon Technologies AG, ² AMD, ³ Cadence Design Systems GmbH, ⁴ Robert Bosch GmbH, ⁵ edacentrum GmbH

PRODUKTIV+ – der Exot unter den F&E Projekten

Der Titel dieses Projektes und seine Inhalte klingen für langjährige Leser des Newsletters sicher etwas exotisch. Während die hier üblicherweise vorgestellten Projekte neue Verfahren erforschen, die den Entwurf nanoelektronischer Systeme verbessern, beschäftigt sich PRODUKTIV+ mit der Quantifizierung der Wirksamkeit von EDA-Maßnahmen. Denn erst die quantitative Messung ermöglicht die objektive Bewertung der Entwurfsproduktivität, die Simulation von Projekten zur Gewährleistung der Planungssicherheit und die wirk-same Planung und Umsetzung von EDA-Maßnahmen.

Dafür hat das Projektkonsortium in PRODUKTIV+ die Einflussgrößen auf nanoelektronische Entwurfsprojekte in einem bisher einzigartigen Detaillierungsgrad modelliert. Hierbei werden nicht nur die technische Infrastruktur, wie EDA-Werkzeuge, Methodik und ihr Anwendungsbereich sowie Bibliotheken berücksichtigt, sondern auch der personelle Aufwand und die Fähigkeiten des Entwurfsteams. Da in der Nanoelektronik Unikate entwickelt werden, ist die Beschreibung der für ein Produkt notwendigen Innovationen notwendig. Dies sind wirtschaftliche Randbedingungen wie Kosten, Projektlaufzeit und „time-to-market“ für die Quantifizierung sowie die Komplexität eines Projektes und die Qualität seiner Entwurfsartefakte für die Vergleichbarkeit einzigartiger Projekte. Alle diese Aspekte sind Bestandteile des in PRODUKTIV+ modellierten Designsystems. Auf Basis dieses Modells kann die Frage: „Was macht ein erfolgreiches Projekt aus?“ beantwortet werden. Dafür wurden basierend auf dem PRODUKTIV+-Modell Beziehungen zwischen technischen und finanziellen Kennzahlen hergestellt.

PRODUKTIV+ kennt die Antwort – Wie technische Kennzahlen finanzielle Kennzahlen beeinflussen

Für Unternehmen, die mikro- oder nanoelektronische Systeme entwerfen, sind Investitionen in Electronic Design Automation (EDA) notwendig, um die gewünschten Produkte überhaupt zu ermöglichen. Modernste elektronische Systeme, z. B. aus der Automobilelektronik, der Kommunikation, der Medizin- und Sicherheitstechnik oder dem Unterhaltungssektor, wären ohne EDA nicht verfügbar. Diese „Enabling“-Funktion von EDA ist unstrittig. Weiterhin ist ein positiver Zusammenhang zwischen Investitionen in Entwurfsautomatisierung und dem ROI

(return-on-investment) einer Firma belegt ([2], [3]). Wenn es darum geht, festzulegen, wie viel EDA für ein bestimmtes Projekt oder eine Entwicklungsaufgabe notwendig ist, gibt es keine eindeutigen Antworten. Für Investitionen in EDA lässt sich bis heute der ROI nicht angeben. Das bedeutet auch, dass die Leistungen, die Innovationen einzelner Ekompass-Projekte für den Entwurf nanoelektronischer Systeme beisteuern, sich bisher nicht objektiv quantifizieren lassen.

Hier wird PRODUKTIV+ Abhilfe schaffen. Mit den Ergebnissen aus PRODUKTIV+ wird es möglich sein, komplexe Fragen wie die Folgenden quantitativ zu beantworten:

- » Der Standort im Billiglohnland hat niedrigere Stundensätze. Um welchen Faktor muss meine Produktivität höher sein, um meine höheren Stundensätze zu rechtfertigen?
- » Welche und wie viele Ressourcen muss ich einsetzen, um mein Produkt optimal am Markt zu platzieren?
- » Wie kann ich die Produktivität ermitteln, auch wenn jedes Arbeitsergebnis ein Unikat ist und die statistische Basis zur Ermittlung eher gering ist?
- » Wie viel EDA ist zur Durchführung eines Projekts notwendig?
- » Welche Parameter im Designsystem müssen geändert werden, um ein Projekt zum Erfolg zu führen?
- » Lässt sich ein Projekt erfolgreich abschließen?
- » Welche Produktivität hat(te) ein Projekt?
- » Warum hat(te) das Projekt eine zu niedrige Produktivität?
- » Wie hat sich die Produktivität durch eine Maßnahme im Designsystem verändert?

Die Hauptrolle zur Beantwortung dieser Fragen spielt die Produktivität. So wie in der Fertigung Investitionen in Automatisierungsanlagen die Produktivität der eingesetzten Arbeitskräfte erhöhen, so erhöhen EDA-Investitionen die Produktivität der Schaltungsentwickler. Allerdings ist „Produktivität“ selbst ein vielfach verwendeter Begriff, der bisher nicht eindeutig definiert ist. Er dient unter anderem innerhalb einer Firma zum Vergleich von Einheiten (z. B. Fabrikationsstätten). Als Vergleich über die Zeit wird die Entwicklung der Produktivität gemessen. Einzelne Firmen, aber auch ganze Volkswirtschaften, nutzen die Produktivität zum

Zusammensetzung des Projektkonsortiums:

Projektpartner:

- » AMD Saxony LLC & Co. KG – DDC
- » Cadence Design Systems GmbH
- » Infineon Technologies AG
- » Robert Bosch GmbH

Unterauftragnehmer:

- » Fraunhofer-IIS, EAS
- » Friedrich-Schiller-Universität Jena
- » OFFIS e.V. – Institut für Informatik
- » Leibniz Universität Hannover – IMS
- » Eberhard Karls Universität Tübingen – (TI)

Förderkennzeichen

01 M 3077

Laufzeit des Vorhabens:

01.10.2005–30.09.2008

Homepage:

www.edacentrum.de/produktiv+/

Vergleich untereinander. Die Firma Numetrics ist für den Bereich des Schaltungsentwurfs auf diese Art des Benchmarkings spezialisiert [4]. Für die genannten Vergleiche wird die Produktivität stark abstrahiert, z. B. in Fahrzeuge pro Tag oder auch Transistoren pro Designer und Jahr.

Zur Beantwortung der zuvor gestellten Fragen ist die Aussagekraft dieser abstrakten Darstellungen nicht ausreichend. Beispielsweise bleiben Komplexität und Qualität der Entwurfsartefakte bei diesen abstrakten Ansätzen unberücksichtigt, so dass ein Vergleich basierend auf Transistoren zwischen Analog- und Digital-Entwürfen unweigerlich falsche Informationen liefert. Zur gezielten Verbesserung des Entwicklungsprozesses durch, z. B. EDA-Maßnahmen, oder zur Optimierung der Projektsteuerung sind detaillierte Messungen und Analysen notwendig. Diese Zusammenhänge wurden bereits im Projektkurzbericht über PRODUKTIV+ dargestellt [1].

Zur Steuerung eines Unternehmens ist die Reduktion der Produktivität auf eine einzelne Kennzahl wenig geeignet. Hierzu haben sich in den letzten Jahren KPI-Systeme (engl. Key Performance Indicators) etabliert. Ein KPI-System wird auch als „Management-Cockpit“ bezeichnet, das regelmäßig aktuelle Werte über den internen Zustand des Unternehmens liefert. Auf der Basis des entwickelten Modells des Designsystems stellt PRODUKTIV+ die zur Planung, Beobachtung und Steuerung von Entwurfsprojekten abstrakten Aspekte durch aussagekräftige KPI dar. Von PRODUKTIV+ dürfen Entscheidungshilfen und Algorithmen zur objektiven Darstellung der KPI erwartet werden. So wie die Messinstrumente im Cockpit eines Flugzeugs den Piloten und seine Crew in die Lage versetzen, das Flugzeug schnell und sicher ans Ziel zu bringen, wird das „PRODUKTIV+ Cockpit“ durch die Anzeige der relevanten KPI EDA-Entscheider, Projektverantwortliche und das Management in die Lage versetzen, Projekte mit hoher Planungssicherheit und Wirksamkeit durchzuführen (Abbildung 1.03).



Abbildung 1.03: PRODUKTIV+ KPI-Cockpit

Abbildung 1.04 zeigt verschiedene Ebenen eines Unternehmens von den technischen Messgrößen bis hinauf

zum Management, in denen KPI definiert sind. So geben KPI unter anderem Auskunft über die Leistungsfähigkeit einer Abteilung, eines Entwicklungs- oder Logistikprozesses. Naturgemäß abstrahieren die Ebenen in Richtung Management mehr von technischen hin zu finanziellen KPI.

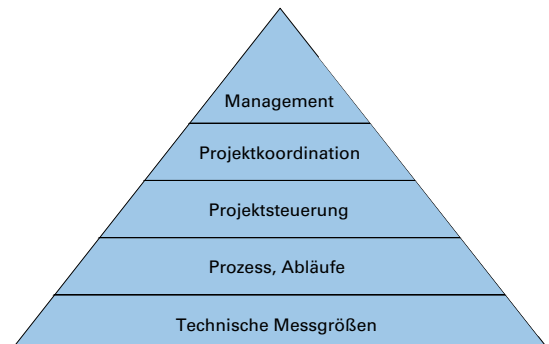


Abbildung 1.04: Ebenen für KPI's (Quelle: IFX, OFFIS)

Wesentlich für den Erfolg eines Unternehmens ist es, den Zusammenhang zwischen den technischen und finanziellen Kenngrößen möglichst exakt zu kennen. So gliedert sich der Umsatz für ein Produkt, einen Unternehmensbereich oder das gesamte Unternehmen auf in Gewinn (hoffentlich) und Kosten (unvermeidlich). Die Kosten wiederum sind aufgeteilt in:

- » Allgemeine Verwaltungskosten
- » Vertriebskosten
- » Entwicklungskosten
- » Herstellkosten

Für die Betrachtung des Einflusses von EDA auf die finanzielle Leistungsfähigkeit kommen die Entwicklungs- und Herstellkosten in Frage. Die Entwicklungskosten sind dabei unabhängig von der Anzahl der hergestellten Produkte. Die Herstellkosten umfassen die zur Produktion eines Stücks notwendigen Kosten wie Material oder Arbeitskraft und sind somit abhängig von der gefertigten Stückzahl. Die Laufzeit eines EDA-Werkzeugs oder der Aufwand für einen Designschritt tragen zur Projektdauer und damit zu den Kosten eines Projektes bei. Insbesondere werden die Entwicklungskosten durch EDA beeinflusst. Die Projektlaufzeit hat auch Auswirkungen auf den Umsatz, der mit einem Produkt erreicht werden kann (time-to-market). Ein EDA-Werkzeug zur automatischen Layoutgenerierung hat signifikanten Einfluss auf die Chipfläche und die verwendeten Maskenebenen. Damit sind auch die Herstellkosten von der Leistungsfähigkeit einzelner EDA-Werkzeuge beeinflusst. Somit können Wirkungsketten von technischen Kenngrößen des Designsystems hin zu finanziellen Kenngrößen wie Umsatz, Entwicklungs- und Herstellkosten aufgestellt werden.

Dieser kurze Einblick in die Zusammenhänge soll genügen, um den Einfluss von EDA auf finanzielle KPI zu verstehen. Tatsächlich sind die Zusammenhänge und Einflüsse auf die KPI, die im PRODUKTIV+-Modell des Designsystems erfasst sind, viel komplexer.

verwendet PRODUKTIV+ die Ontology Web Language (OWL) [14]. Aufgrund der Verwendung beider Beschreibungssprachen wurden Konzepte entwickelt, wie die UML- und OWL-Modelle aufeinander abgebildet werden.

Abbildung 1.07 zeigt ein Beispiel der UML-nach-OWL-Umsetzung anhand einer UML-Assoziationsklasse.

Eine Assoziationsklasse beschreibt eine Beziehung zwischen zwei UML-Klassen (z. B. `ResourceConsumption`). Ein solches Sprachkonstrukt existiert in OWL nicht. Daher wird das Konstrukt in eine OWL-Standardklasse mit zusätzlichen Object Properties umgesetzt. (Abbildung 1.07 unten)

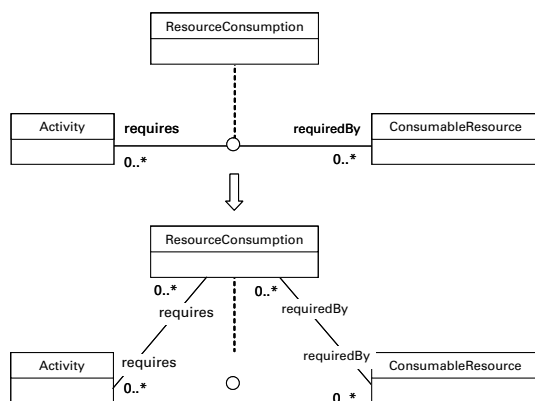


Abbildung 1.07: Umsetzung von UML- nach OWL-Klassen (Quelle: IMS)

Obwohl die grundlegenden Modellierungsaufwände am Anfang des Projektes geleistet wurden, wird die Ontologie kontinuierlich über die Projektlaufzeit weiter gepflegt. Dies stellt sicher, dass neue Erkenntnisse aus den nachfolgenden Arbeiten in die Modellierung einfließen.

Datenerfassung

Die Datenerfassung zur Extraktion der in der Modellierungsphase als relevant identifizierten Parameter aus dem Designsystem basiert auf dem zuvor dargestellten Ontologiemodell. Die Bausteine der Datenerfassung können wie folgt kategorisiert werden:

- » Technische Design-Daten (z. B. Clock-Skew, Fläche Metalllagen)
- » Nutzungsdauer der Werkzeuge (Aufwand für Setup, Lizenznutzung, Aufwand für Auswertung)
- » Betriebswirtschaftliche Daten (Lizenzkosten, Nutzungskosten für Rechner, Personalkosten)

In industriellen Entwicklungsorganisationen werden die Daten mit unterschiedlichen Systemen erfasst. Insbesondere existiert keine Verbindung zwischen betriebswirtschaftlichen und technischen Daten. Die Daten der Kategorie Laufzeiten existieren in Logfiles von Werkzeugen oder IT-Systemen.

Die Abbildung 1.08 zeigt schematisch einen Auszug der verschiedenen, in PRODUKTIV+ genutzten Daten-

quellen. Unter anderem die Datenquellen zur Erfassung der Eingangsgrößen zur Berechnung des unten unter „Analyse- und Prognoseverfahren“ dargestellten Beispiels „Trend on Design Closure“ (Designsystem Logdaten). Dabei steht die automatisierte Erfassung von Daten im Mittelpunkt.

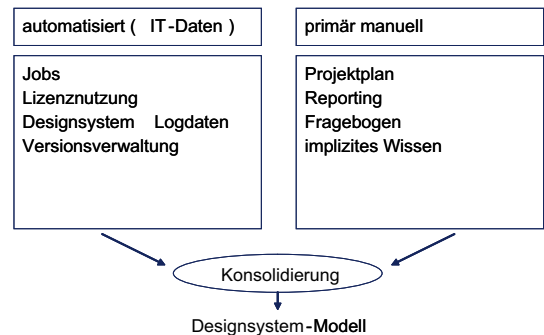


Abbildung 1.08: Prinzip der Datenerfassung (Quelle: IFX)

Wesentliche Quellen für technische Daten des Designsystems sind

- » Logdaten aus der Load-Sharing Facility (LSF) (Laufzeit des Jobs, Speicher- und CPU-Bedarf)
- » Lizenzdaten (Dauer der Lizenznutzung)
- » Report-Files der verwendeten EDA-Werkzeuge (z. B. Synthese-Timing (CPS), LVS, Noise Violation)

Zumindest innerhalb einer Firma sind die Formate für LSF und Lizenz-Logdaten wohl definiert. Inhalt und Format der Report-Files von EDA-Werkzeugen weisen allerdings kein einheitliches Muster auf. Hier kann der Nutzer üblicherweise festlegen, welche Daten im Report enthalten sein sollen. Auch können neue Werkzeug-Versionen zu einer Änderung des Formats führen.

Im Rahmen von PRODUKTIV+ wurde ein flexibler Daten-Extraktor entwickelt, der als sinnvolle Ergänzung für industrielle Design-Flows die gewünschten Daten extrahieren kann. Hier kann bei der Integration von EDA-Werkzeugen in den Design-Flow durch entsprechendes Skripting sichergestellt werden, dass zu bestimmten Designschritten Daten erfasst und in eine zentrale, firmeninterne Datenbank geschrieben werden.

Analyse- und Prognoseverfahren

Bei der Entwicklung der auf den erfassten Daten aufbauenden Analyse und Prognoseverfahren werden von den Partnern parallele Ansätze verfolgt, deren Genauigkeit und Aussagekraft in der Validierungsphase von PRODUKTIV+ verglichen werden (Best-in-Class-Ansatz). In PRODUKTIV+ wird zwischen Analyseverfahren für abgeschlossene Projekte, also basierend auf realen Projektdaten, und Simulationsverfahren zur Prognose basierend auf historischen Projektdaten unterschieden. Auf den Status beider noch in der Entwicklung befindlichen Verfahren wird im Folgenden eingegangen.

Analyse

In der Modellierungsphase von PRODUKTIV+ wurden 49 Eingangsparameter ermittelt, die zur Komplexität einer Entwicklungsaufgabe beitragen. 16 Parameter davon erscheinen signifikant und mit vertretbarem Aufwand ermittelbar. Dadurch konnte mit den ursprünglich geplanten Methoden kein funktionaler Zusammenhang ermittelt werden, da die dafür mindestens erforderlichen mehr als 250 kompletten Datensätze nicht zur Verfügung stehen. Zur Lösung dieses Problems werden zwei Ansätze verfolgt:

- » Die 49 Eingangsparameter zur Bestimmung der Komplexität können den Klassen: Fläche, Funktion, Timing, Performance, Leistung, Entwicklungstechnologie und Kommunikation zugeordnet werden. Unter der Annahme, dass eine Linearkombination dieser Klassen im Bezug auf den Entwicklungsaufwand existiert, können Subnetze identifiziert und trainiert werden. Damit sinkt die Anzahl der erforderlichen vollständigen Parametersätze.
- » Die Komplexität der Entwicklungsaufgabe wird für eindeutig identifizierbare Bereiche ermittelt, z. B. für das Layout eines digitalen Schaltungsteils. Dort liegen auch weitgehend vollständige Datensätze vor, die zwar als Vereinigungsmenge etwa 49 Eingangsparameter umfassen, in den Teilbereichen wie oben jedoch wesentlich dünner besetzt sind. Die Gesamtkomplexität der Entwicklungsaufgabe ergibt sich auch hier aus der Kombination aller Komplexitätsfunktionen. Da die Abfolge, Parallelität, und Abhängigkeit der Arbeiten durch die internen Prozesse festliegt, besteht die Erwartung, dass die Kombination zu einer Gesamtkomplexität möglich wird.

Simulation

Es liegen erste Lösungsansätze vor, die in Kombination ein PRODUKTIV+-Gesamtsimulationssystem ermöglichen. Die Basis ist das PRODUKTIV+-Modell des Designtsystems. Um dieses mit Leben zu füllen, wird von der Ontologie eine Instanz gebildet. Hierfür existieren bereits Prototypen, welche die komplexen Zusammenhänge innerhalb eines konkreten (firmenspezifischen) Designtsystems darstellen und nur die relevanten Parameter zur Auswahl stellen. Erste Erfolge verzeichnet das Konsortium auch bei der Visualisierung der Ergebnisse, sowie der Einbettung von verschiedenen Berechnungs- und Einzelsimulationsmethoden. Für die Simulation werden drei Verfahren angewandt:

- » Der Design Project Character (DPC, Gesamtkomplexität der Designaufgabe) verfolgt eine schnelle, geschlossene und gesamthafte Berechnung der Entwicklungsaufgabe.
- » Petri-Netze, erweitert um eine Zeitkomponente, mit verschiedenen Marken und Konfliktlösungspotential stellen den zeitlichen Aspekt detailliert dar.
- » Ein Multi-Agentensystem, bestehend aus einer Gruppe individueller virtueller Agenten, die kollektiv ein Problem lösen, wird zur Simulation und

Optimierung eingesetzt. In PRODUKTIV+ wird ein Multiagentensystem eingesetzt, das Rollenbeschreibungen unterstützt und somit in der Lage ist, sich selbst zu regeln.

Ein bereits abgeschlossener PRODUKTIV+-Beitrag hat den Einfluss der technischen Kenngrößen des Designtsystems, die unter anderem während der Synthese im Schaltungsentwurf erfasst werden, auf die Projektlauzeit und damit einen Beitrag zu den finanziellen KPI eines Unternehmens dargestellt. Diese Darstellung ist Voraussetzung für die Beobachtung und Steuerung von Entwicklungsprozessen. Damit wird z. B. ein Projektleiter in die Lage versetzt, einzelne Designschritte kontinuierlich zu beobachten. So wird er durch diese Beobachtung in die Lage versetzt, ggf. Maßnahmen wie Prozess-Parallelisierung zu verwenden, um den gegebenen Zeitrahmen einzuhalten. Ein Beispiel ist in Abbildung 1.09 gegeben.

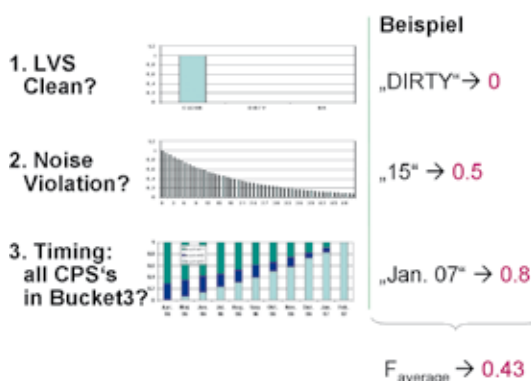


Abbildung 1.09: Beispiele für Entscheidungshilfen bzw. Algorithmen (Quelle: AMD)

Erläuterungen zu Abbildung 1.09:

LVS (Layout vs. Schematic)

Suche nach Unterschieden zwischen Transistor-Level-Schaltplan und Layout. Beispielsweise könnte der Fehler auftreten, dass Pins im Layout anders als die im Schaltplan verknüpft sind.

Noise Violation (Signalstörung)

Beispiel: Die Potentialänderung der Leitung A hat zu großen Einfluss auf die parallel verlaufende Leitung B, so dass Schaltfehler im Netz der Leitung B entstehen.

Timing

Einordnung des Critical Path Slack (CPS) in diskrete Wertebereiche (Buckets).

Grafisch sind in Abbildung 1.09 die Funktionen zur Bewertung von 3 technischen KPI „LVS Clean“, „Noise Violation“ und „Timing“ dargestellt. Die abgelesenen Werte werden in einer initial sehr einfach gehaltenen Gewichtungsfunktion Faverage, die das arithmetische Mittel über die Funktionswerte bildet, zu einem Bewertungsfaktor zur Ermittlung der Projektdauer (Design Closure) zusammengefasst. Der so prognostizierte Zeitverlauf ist in Abbildung 1.10 dargestellt.

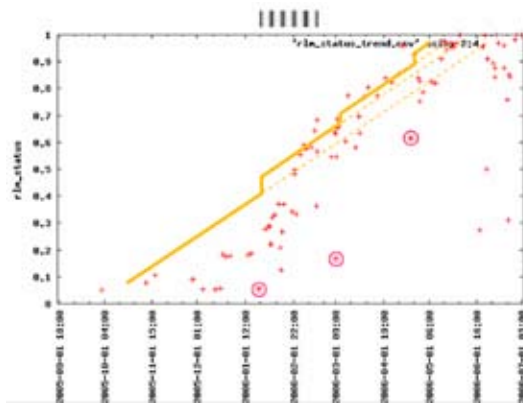


Abbildung 1.10: PRODUKTIV+-Cockpit Einflussgröße – Trend on Design Closure (Quelle: AMD)

Die Knicke im Zusammenhang mit den markierten „Ausreißern“ im Zeitverlauf geben in der Analysephase Hinweise auf potentielle Störgrößen im Designsystem, die durch Back-Annotation auf die technischen Messgrößen in den Log-Dateien gezielt zur Optimierung des Designsystems eingesetzt werden.

Validierung

Nach Abschluss der Arbeiten an den „Analyse- und Prognoseverfahren“ schließt sich eine Validierungsphase an. Die erarbeiteten Analyse- und Simulationsverfahren werden dann zu einem durchgängigen Flow zusammengefasst bzw. die Genauigkeit der Verfahren verglichen. Dabei wird davon ausgegangen, dass das entstehende System partnerspezifische Ausprägungen aufweisen wird. Ziel ist die Entwicklung eines umfassenden Referenzsystems, das standardisiert werden kann.

Zusammenfassung

Das Projekt PRODUKTIV+ ist auf einem guten Weg, einen signifikanten Beitrag zur Transparenz des Wertes von EDA im Entwicklungsprozess für integrierte Schaltungen zu leisten. Die noch verbliebene Zeit wird insbesondere dazu genutzt werden, die Verfahren zur Analyse und Simulation prototypisch weiterzuentwickeln, einzusetzen und dadurch an realen Projekten zu validieren. Die so gewonnenen Erkenntnisse aus dem praktischen Einsatz dienen der Verfahrensoptimierung. Möglicherweise erfolgt während der Validierung eine Anpassung der Ontologie. Da Simulation und Analyse auf automatisierten Instanzierungsverfahren der Ontologie beruhen, sind keine Schwierigkeiten aufgrund von Modelländerungen zu erwarten.

Mit Ende des Projektes wird es möglich sein, Investitionen in Entwurfstechnologie dort vorzunehmen, wo der Nutzen maximal ist. Der Einsatz von Schaltungsentwicklern kann so effizient geplant werden, dass die Projektdauer minimiert wird. Darüber hinaus soll die Planungsqualität neuer Projekte entscheidend verbessert werden. Allgemein können die Entwurfsprozesse verbessert werden und Managemententscheidungen in wesentlich größerem Umfang auf der Grundlage

relevanter wirtschaftlicher Daten (z. B. ROI) durch die angestrebte Quantifizierung getroffen werden.

Referenzen

- [1] Jürgen Alt, Andreas Vörg: „PRODUKTIV+: Referenzsystem zur Messung der Produktivität beim Entwurf nanoelektronischer Systeme“ (Projektkurzbericht), newsletter edacentrum, Ausgabe 01 2006, S. 10 ff, <http://www.edacentrum.de/projekte/files/produktiv+-pkb-012006.pdf>
- [2] International Business Strategies, Inc: „Analysis of the Relationship Between EDA Expenditures and Competitive Positioning of IC Vendors for 2003“ (Handel Jones Report), 2004, interner Bericht für edacentrum Mitglieder, https://secure.edacentrum.de/mitglieder_intern/handel_jones_reports.html.
- [3] International Business Strategies, Inc: „Analysis of the Relationship Between EDA Expenditures and Competitive Positioning of IC Vendors“ (Handel Jones Report), 2002, interner Bericht für edacentrum Mitglieder, https://secure.edacentrum.de/mitglieder_intern/handel_jones_reports.html.
- [4] Numetrics, Homepage <http://www.numetrics.com>
- [5] Richard Sohnius, Eyck Jentzsch, Wolf-Ekkehard Matzke: „Holonc Simulation of a Design System for Performance Analysis, IEEE HoloMAS 2007 – 3rd International Conference on Industrial Applications of Holonic and Multi-Agent Systems in Regensburg, Deutschland, September 2007
- [6] Peter van Staa, Christian Sebeke: „Can Multi-Agents wake us from IC design productivity nightmare?“ (Keynote), IEEE HoloMAS 2007 – 3rd International Conference on Industrial Applications of Holonic and Multi-Agent Systems in Regensburg, Deutschland, September 2007
- [7] Vadim Ermolayev, Wolf-Ekkehard Matzke: „Towards Industrial Strength – Business Performance Management“, IEEE HoloMAS 2007 – 3rd International Conference on Industrial Applications of Holonic and Multi-Agent Systems in Regensburg, Deutschland, September 2007
- [8] Neele Hinrichs, Peter Leppelt, Erich Barke: „Building up a Performance Measurement System to Determine Productivity Metrics of Semiconductor Design Projects“, IEMC 2007 – 19th International Engineering Management Conference, GOLD track in Austin, Texas/USA, Juli 2007
- [9] Stefan Häusler (OFFIS), Frank Poppen, Sonja Preis (OFFIS), Kevin Hausmann (OFFIS), Wolfgang Nebel (OFFIS, Uni Oldenburg), Axel Hahn (OFFIS, Uni Oldenburg), Peter Leppelt (IMS), Amir Hassine (IMS), Erich Barke (IMS): „Modellierung von Kom-

Kont@kt (PRODUKTIV+):

Projektkoordination:

Infineon Technologies AG
Frank Badstübner
fon (0 89) 2 34 - 2 31 41
frank.badstuebner@infineon.com

Projektmanagement:

edacentrum GmbH
Dr. Andreas Vörg
fon (05 11) 7 62 - 1 96 86
voerg@edacentrum.de

plexität und Qualität als Faktoren von Produktivität in Design-Flows für integrierte Schaltungen“, eda-Workshop in Hannover, Deutschland, Juni 2007

[10] Richard Sohnius, Vadim Ermolayev, Eyck Jentzsch, Wolf-Ekkehard Matzke: „An Approach for Assessing Design Systems: Design System Simulation and Analysis for Performance Assessment“, 9th International Conference on Enterprise Information Systems in Funchal, Madeira – Portugal, Juni 2007

[11] Jürgen Alt: „Die Produktivität von Entwicklungsprojekten wird messbar“, Markt&Technik, Ausgabe 10 in Magazin, 9. März 2007

[12] Amir Hassine, Markus Olbrich, Erich Barke: „Computer Aided HRM for the Semiconductor Industry: Limits and Perspectives“, Asian Pacific Industrial Engineering and Management Systems Conference (APIEMS) in Bangkok/Thailand, Dezember 2007

[13] Peter Leppelt, Amir Hassine, Erich Barke: „An Approach to Make Semiconductor Design Projects Comparable“, Asian Pacific Industrial Engineering and Management Systems Conference (APIEMS) in Bangkok, Dezember 2007

[14] W3C: „Ontology Web Language (OWL)“, <http://www.w3.org/TR/owl-features/>

SIDRA: Safe IC Design for Robust Applications

Von Petra Rose



Das Projekt SIDRA wurde im Rahmen der BMBF-Förderinitiative Ekompass vom August 2004 bis zum Dezember 2006 gefördert. Technisches Ziel von SIDRA war es, Simulationsmethoden zu entwickeln, die es ermöglichen, präventiv Schwachstellen im Design festzustellen, um integrierte Schaltkreise (ICs) gegen die elektrostatische Zerstörung durch schnelle transiente Pulse nach dem Charge-Device-Modell (CDM: Pulse bis zu 10 A bei $t < 2$ ns) zu schützen. Dies ist notwendig, um für immer sensitivere Technologien die Anforderung an die Robustheit gegen elektrostatische Entladungen und gleichzeitig hohe Qualitätsanforderungen zu erfüllen.

Wesentliche Ergebnisse der Arbeiten sind die Verbesserung der ESD-Schutzstrukturen sowie die Entwicklung der Simulations- und Messmethodik. Die steigende Qualität der ESD-Elemente hilft die Redesign-Wahrscheinlichkeit zu reduzieren und resultiert somit in einer Zeit- und damit Kostenersparnis. Dadurch wird die Funktion zukünftiger, teils sicherheitskritischer Designs im Feld abgesichert.

Hauptergebnisse des SIDRA-Projektes umfassen u. a.:

- » die Entwicklung einer CDM-Simulationsmethodik zur präventiven Detektion von Schwachstellen im Design;
- » neu entwickelte Messmethoden, die in der Zukunft bei der Entwicklung und Charakterisierung von ESD-Schutzkonzepten und Produkten eingesetzt werden;
- » die Entwicklung eines Satzes freigaberelevanter Teststrukturen. Durch die Auswahl der Teststrukturen, basierend auf den Erkenntnissen in SIDRA, konnte die Testchipfläche deutlich reduziert werden;
- » Richtlinien für ein robustes und effizientes ESD-Layout.

Die erreichte Fachkompetenz ermöglicht eine bessere Konkurrenzfähigkeit hinsichtlich der Beratung externer

Foundry-Kunden. Zudem steigern die erzielten Fachkenntnisse in ESD-Fragen das Ansehen und die Konkurrenzfähigkeit der eigenen Produkte.

Neben der internen wurde auch die externe Verwertbarkeit vorbereitet. Dabei zielt die externe Verwertbarkeit in erster Linie auf die direkte Einflussnahme von ESD-Standardisierungsverfahren ab. Einige SIDRA-Partner sind Mitglieder in den Standardisierungsgremien der ESD Association (ANSI), JEDEC und IEC. Die wichtigsten aus SIDRA Themengebieten unterstützten Standardisierungsaktivitäten sind:

- » CDM-Charakterisierung (ESDA)
- » Transmission Line Pulsing (ESDA)
- » Transient Latch-up (ESDA)
- » ESD auf Systemebene (ESDA und IEC)

Nachfolgend die Darstellung der Ergebnisschwerpunkte der deutschen SIDRA-Partner.

Atmel Germany GmbH

Das SIDRA-Projekt gliederte sich für Atmel in zwei große Hauptschwerpunkte. Zum einen sollten im Teilbereich „Charakterisierung“ neue und bereits vorliegende ESD-Schutzstrukturen untersucht und weiterentwickelt werden. Zum anderen konzentrierte sich

Zusammensetzung des Projektkonsortiums:

Partner:

- » Atmel Germany GmbH
- » Infineon Technologies AG
- » Robert Bosch GmbH
- » X-Fab Semiconductor Foundries AG

Unterauftragnehmer:

- » Fraunhofer IZM München
- » FH Osnabrück
- » IMMS gGmbH
- » Melexis GmbH

Europäische Projektpartner:

- » ST Microelectronics (I)
- » Philips (NL)
- » TU Wien (A)
- » ETH Zürich (CH)

Europäische Unterauftragnehmer:

- » Synopsys (CH)
- » Universität Padua (I)

Förderkennzeichen:

01 M 3159

Laufzeit des Vorhabens:

01.08.2004–31.12.2006

der Teilbereich „Simulation“ auf die Einführung eines ESD-Bauelemente-Simulators, der für zukünftige Entwicklungsaufgaben auf Basis des hauseigenen 0.35 µm SmartPower SOI-Prozesses als wichtiges Werkzeug dienen wird.

Die im SIDRA-Projekt vermessenen Grundstrukturen, wie Dioden und Transistoren, zeigten schon von Beginn an eine hohe ESD-Festigkeit. Die bis dahin schon befriedigende bis gute Weitenskalierung der Elemente unter CDM-Stress konnte durch Maßnahmen wie z. B. Layoutanpassungen noch weiter verbessert werden. Mit Hilfe der gemeinschaftlich entwickelten Teststrukturen war es zudem möglich, weitere kritische Parameter wie die Anschlusswiderstände, das Gateoxid-Verhalten bei vf-TLP-Stress und den Aufbau eines Primär-Sekundär-Schutzes näher zu untersuchen und die Forschungsergebnisse in Entwicklungsrichtlinien einfließen zu lassen. Durch begleitende TIM-Messungen (Transient Interferometric Mapping) der TU Wien konnte zudem eine Schwachstelle im Metallanschluss der Basis-Diode festgestellt werden, was durch eine nachträgliche Bauelemente-Simulation bestätigt wurde. Aus diesen Erkenntnissen wurden Dioden mit wesentlich verbesserten Eigenschaften abgeleitet.

Der während des Projektes noch mit relativ einfachen Basisstrukturen kalibrierte Bauelemente-Simulator lieferte auch bei weit komplexeren Strukturen gute bis sehr gute Übereinstimmungen mit der Messtechnik. Es konnte sowohl eine Parallelschaltung zweier Dioden, als auch eine komplexere Mehrfinger-Struktur eines ggNMOS-Transistors (grounded-gate NMOS) vollständig nachsimuliert werden. Untermuert wurden die Ergebnisse mittels der TIM-Messungen der TU Wien, so dass diese zu einem tieferen Verständnis der physikalischen Hintergründe des Schaltverhaltens und der Leistungsverteilung im Bauelement führten.

Zum Projektende lässt sich abschließend feststellen, dass das Potential von SOI auch im vieldiskutierten ESD-Bereich sehr hoch ist und mit den vorherrschenden Bulk-Technologien konkurrieren kann. Alle vermessenen Bauelemente zeigten überdurchschnittliche ESD-Festigkeiten. Mit dem im Projekt eingeführten ESD-Simulator steht nun auch ein wertvolles Tool zur Bauelemente-Entwicklung zur Verfügung, dessen Einsatz im Vorfeld einen großen Teil an Entwicklungsarbeit einsparen kann. Die aus dem Projekt abgeleiteten Erkenntnisse fließen als Komponente der zukünftigen Designmanuals direkt in hauseigene Richtlinien für ein robusteres ESD-Layout ein und dienen als Basis für interne Schulungen in der Schaltungsentwicklung.

Auf der Grundlage der erzielten Ergebnisse wird eine deutlich reduzierte Fehlerhäufigkeit in neuen Designs erwartet. Dieses wird zu Einsparungen von Redesigns bei internen Entwicklungsprojekten, sowie auch bei Kundendesigns im Foundry-Bereich führen.

Robert BOSCH GmbH

Die Arbeit in AP 1 fokussierte sich auf die Evaluierung der neuen Charakterisierungsmethoden im CDM-Zeitbereich, die von Fraunhofer-IZM im Rahmen von SIDRA entwickelt wurden. Dies beinhaltet die Erprobung der ultra-fast TLP-Messtechnik (Pulse < 2 ns), der repetierenden Messmethode zur Analyse des transienten Verhaltens von ESD-Schutzstrukturen sowie Transient Latch-up Untersuchungen der SIDRA-Teststrukturen. Die Ergebnisse der Messungen waren die Grundlage sowohl für die Modifizierung und Kalibrierung der Bauelementmodelle als auch für die Definition der Ausfallkriterien bei zu hoher CDM-Belastung für die Schaltkreissimulation.

Der Fokus der Bosch-Aktivitäten im Arbeitspaket 2 war die Mixed-Mode-Device-Simulation von ESD-Eingangsschutzschaltungen. Im Vergleich zu Einzelstrukturen ist die CDM-Device-Simulation von Schaltungen ein großer Schritt nach vorn auf dem Gebiet der ESD-Device-Simulation. Damit werden nicht nur Informationen über das CDM-Entladeverhalten einzelner Bauelemente gewonnen, sondern auch wichtige Hinweise über das Zusammenspiel der einzelnen Bauelemente innerhalb einer Schaltung. Die erste positive Erfahrung im Rahmen des SIDRA-Projektes demonstriert eindrucksvoll das Potential der Mixed-Mode-Device-Simulation zur Optimierung von CDM-Robustheit der ESD-Schutzschaltung.

Der Nutzen für die Absicherung von IC-Designs von Bosch gegenüber CDM mittels Schaltungssimulation, bearbeitet in AP3, besteht in der

- » Darstellbarkeit von Kompetenz im ESD-Schutz gegenüber Kunden,
- » Vermeidung von Redesigns,
- » Absicherung der Funktion im Feld, auch für zukünftige Halbleitertechnologien.

Damit ist die Wirksamkeit bei der Akquisition neuer IC-Entwicklungsprojekte, der Durchführung dieser Projekte und der späteren Nutzung beim Endverbraucher gegeben.

Direkt verwertbar sind die CDM-Entwurfshinweise, die für alle zukünftigen IC-Entwürfe genutzt werden. Es ist geplant, diese auch im Rahmen der intern verfügbaren „Design-Kits“ den IC-Entwicklern kurzfristig zur Verfügung zu stellen.

Die CDM-Schaltungssimulation ist ebenfalls unmittelbar verwertbar. Sie wird seit Beginn 2007 für erste IC-Produkte genutzt. Es ist geplant, diese in die Standardumgebung der Schaltungsentwicklung bei Bosch zu implementieren.

Infineon Technologies AG

Infineon erzielte in allen drei Arbeitspaketen ausgezeichnete Fortschritte durch die Designsicherheit der Produkte und die Effizienz im Entwicklungsflow

Eine ausführliche Aufgabenbeschreibung des SIDRA-Projektes finden Sie im newsletter edacentrum 04/2006.

deutlich verbessert werden konnten. Dies soll an Hand von zwei ausgewählten Beispielen aus Arbeitspaket 1 und Arbeitspaket 3 verdeutlicht werden.

Eine wichtige Fragestellung bei der Entwicklung von Schutzkonzepten gegen schnelle transiente Pulse ist die experimentelle Charakterisierung des Einschaltverhaltens der Schutzelemente. Aus detaillierten Simulationsstudien (Arbeitspaket 2 und Projekt ASDESE) wurde vorhergesagt, dass Schutzelemente bei Belastung mit sehr schnellen Pulsen die Spannung zu Beginn des Pulses nicht ausreichend klemmen können. Obwohl der erhöhte Spannungsabfall über dem Schutzelement nur wenige hundert Pikosekunden andauert bevor das Schutzelement vollständig einschaltet, kann durch diese Spannungsbelastung die zu schützende Schaltung bereits geschädigt werden.

Bei der Entwicklung von experimentellen Charakterisierungsmethoden arbeitete Infineon eng mit dem FhG IZM-M zusammen. Das FhG IZM-M ist gemeinsamer Unterauftragnehmer von Atmel, Bosch, XFAB und Infineon und hat daher eine zentrale Rolle in Arbeitspaket 1. Am FhG IZM-M wurde ein Verfahren entwickelt, mit dem die zeitliche Auflösung des Einschaltverhaltens im Vergleich zu den bisher eingesetzten Charakterisierungsmethoden um mehr als eine Größenordnung verbessert werden konnte. Das neu entwickelte Verfahren beruht auf einer Belastung des Schutzelements mit repetierenden Pulsen, die über ein Sampling-Oszilloskop mit hoher zeitlicher Auflösung analysiert werden können. Mit diesem Verfahren lassen sich zeitliche Auflösungen von bis 25 ps erzielen. Die experimentelle Ausführung für Scheibenmessungen ist in Abbildung 1.11 gezeigt.

Die Anwendung des neuen Verfahrens auf Schutzstrukturen in 90-nm-CMOS- und 65-nm-CMOS-Technologien brachte zwei wesentliche Ergebnisse: Zum einen konnten damit die Vorhersagen aus der TCAD-Bauelementesimulation eindrucksvoll verifiziert werden. Zum anderen konnte das Einschaltverhalten von neuartigen komplexen Schutzelementen, die in diesen Technologien zum ersten Mal eingesetzt wurden, verifiziert werden. Es wurde nachgewiesen, dass diese Schutzstrukturen für einen sicheren Betrieb sehr gut geeignet sind. Im Vergleich zu konventionellen Schutzstrukturen verbessert der Einsatz dieser neuen Schutzstrukturen die Betriebssicherheit und spart zudem deutlich Chipfläche.

Das zentrale Ziel von Infineon in SIDRA war die Entwicklung eines ESD-Gesamtchip-Simulators. Mit diesem Simulationswerkzeug sollte die ESD-Festigkeit eines größeren Schaltungsblocks vorhergesagt und optimiert werden können. Dazu wurde ein völlig neues Simulationskonzept entwickelt, da die herkömmlichen Simulationsansätze aufgrund der Komplexität typischer Produkte von Infineon (> 200 Signalpins,

10–20 Versorgungsspannungen) nicht angewendet werden können.



Abbildung 1.11: Aufbau zur experimentellen Charakterisierung des Einschaltverhaltens von Schutzelementen gegen schnelle Transienten auf Scheibenebene.

Das neue Verfahren basiert auf drei Säulen:

- » Es wurden neue Kompaktmodelle mit drastisch reduzierter Komplexität entwickelt. Der negative differentielle Widerstand im Einschaltbereich von Schutzelementen und Schaltungstransistoren, der typisch für sogenannte „Snap-Back“-Schutzelemente und auch Treiberstrukturen ist und häufig zu Konvergenz- und Rechenzeitproblemen führt, wurde durch ein einfaches „An/Aus“-Modell ersetzt.
- » Für alle Bauelemente im Entladepfad werden die „An“- und „Aus“-Zustände permutiert. Damit ist eine vergleichsweise einfache DC-Simulation möglich. Die physikalisch unmöglichen Lösungen der Simulation (beispielsweise wenn der Strom durch ein Bauelement im „Aus“-Zustand größer als der Einschaltstrom ist) werden durch den Simulator eliminiert.
- » Ein neuer Simulationsflow wurde definiert und letztlich programmtechnisch umgesetzt.

Der neu entwickelte HBM-Gesamtchip-Simulator wurde auf zahlreiche Beispiele mit großem Erfolg angewandt. Beispielsweise konnte in einem Produkt mit mehr als 300 Pins und zehn verschiedenen Versorgungsspannungen eine Schwäche im ESD-Versorgungsschutzkonzept erkannt werden. Der „virtuelle“ ESD-Test wurde auch schon erfolgreich auf ein „System-On-Chip“ und ein „System-In-Package“ angewandt.

Der große Vorteil des ESD-Gesamtchip-Simulators ist offensichtlich: Der ESD-Gesamtchip-Simulator löst den extrem zeitaufwändigen und fehleranfälligen manuellen

Check ab. Der „virtuelle ESD-Test“ erlaubt nahezu eine 100%ige Vermeidung von ESD-Designschwächen. Allein die Vermeidung eines „tödlichen“ ESD-Fehlers führt leicht zu einer Einsparung von 500 k€ für Maskenkosten, die bei einem Re-Design anfallen würden. Damit kann der Nutzen des Gesamtchipsimulators gar nicht hoch genug eingeschätzt werden.

XFAB Semiconductor Foundries

Neue Methoden der ESD-Charakterisierung von ESD-Strukturen konnten innerhalb des Projektes SIDRA erfolgreich entwickelt und getestet werden. Mit den entwickelten Testmethoden konnten neue Erkenntnisse bezüglich des ESD-Verhaltens von ESD-Schutzstrukturen gewonnen werden. Die neuen Methoden der ESD-Charakterisierung von Bauelementen und Schaltungen mit kurzen ESD-Pulsen sowie das im SIDRA-Projekt entwickelte Teststrukturkonzept werden in der Entwicklung von Standard I/O-Bibliotheken und speziellen ESD-Schutzschaltungen, z. B. in 0,35 µm und 0,18 µm Technologien, eingesetzt. Dabei dienen ergänzend zur Ermittlung der ESD-Festigkeit mit konventionellen 100 ns weiten Pulsen, kurze „very fast“ TLP-Pulse zur Charakterisierung des Triggerverhaltens der ESD-Strukturen sowie der zu schützenden Schaltung.

Ein wesentliches Ziel der Arbeiten von XFAB innerhalb des Projektes SIDRA war die Entwicklung einer Methodik des simulationsgestützten Entwurfs sowie der Optimierung von ESD-Schutzstrukturen. In verschiedenen XFAB-Technologien konnten erfolgreich ESD-Bauelementesimulationen durchgeführt werden. Physikalische Bauelementesimulationen dienen zur Vorhersage des ESD-Verhaltens von Bauelementen bzw. kompletter ESD-Schutzschaltungen. Durch die Vorhersage von Bauelementeparametern wie Durchbruchspannung, Triggerspannung oder Haltespannung können Teststrukturen im Entwurf von ESD-Schutzschaltungen

zielgerichtet entwickelt werden. Dadurch kann die Anzahl der Teststrukturen und damit der Aufwand für deren Erstellung und Charakterisierung reduziert werden. So konnten in 0,6 µm HV-CMOS-Technologie mit Hilfe von physikalischen Bauelementesimulationen verschiedene verbesserte ESD-Schutzstrukturen, speziell für Mixed-signal und High-voltage Anwendungen, mit vergleichsweise geringem Aufwand implementiert werden. Bei diesen konnten die Ergebnisse der Bauelementesimulation durch die ESD-Charakterisierung bestätigt werden. ESD-Schutzstrukturen, die in 0,6 µm HV-CMOS-Technologie implementiert wurden, konnten erfolgreich auf andere XFAB-Technologien transferiert werden, z.B. 0,6 µm SOI-CMOS oder 0,35 µm HV-CMOS-Technologie. Neben ESD-Simulationen von einzelnen Bauelementen wurden dabei auch komplexe Mixed-mode Simulationen von ESD-Schutzschaltungen, bei denen physikalische Bauelementemodelle und Spice-Modelle kombiniert werden, durchgeführt.

Die innerhalb des SIDRA-Projektes gesammelten Ergebnisse bezüglich des ESD-Verhaltens von Bauelementen und Schaltungen fließen in der Erstellung von ESD-Design-Guidelines ein. Neue Konzepte für ESD-Schutzstrukturen, speziell für High-Voltage-Anwendungen, konnten erfolgreich in verschiedenen XFAB-Technologien implementiert werden. Diese ermöglichen es, die gestiegenen Anforderungen an die ESD-Festigkeit von integrierten Schaltkreisen zu erfüllen. Weiterführende Arbeiten umfassen die Erstellung eines schaltungsbasierten ESD-Design-Checkers. Mit diesem ESD-Design-Checker sollen bereits in einem frühen Entwurfsstadium auf Schaltungsebene und innerhalb der Cadence-Design-Umgebung IC-Designs auf mögliche ESD-Schwachstellen hin geprüft werden. Als Grundlage dient dafür eine Datenbasis mit Ergebnissen der ESD-Charakterisierung aller in einer Technologie zur Verfügung stehenden Bauelemente.

Kont@kt (SIDRA):

Dr. Petra Rose
Projektkoordination
Robert Bosch GmbH,
Tübinger-Strasse 123
72762 Reutlingen
fon: (0 71 21) 35 65 60
fax: (07 11) 8 11 - 5 14 65 60
petra.rose@de.bosch.com



LEONIDAS+: Leitbahnorientierter Entwurf applikations-spezifischer Schaltungen

Von Markus Olbrich und Irmtraud Rugen-Herzig

Durch die zunehmend komplexen Eigenschaften des Verbindungsnetzwerks auf Chips ergibt sich eine schwer beherrschbare Vielfalt von möglichen gegenseitigen Beeinflussungen, von denen sich jede einzelne kritisch gegenüber einem stabilen Betrieb auswirken kann. Das Resultat kann eine Schaltung sein, die nicht funktionsfähig ist oder zumindest nicht die gewünschte Spezifikation erreicht, obwohl alle aktuellen Entwurfsregeln korrekt berücksichtigt wurden. Die Folgen sind Redesigns und verzögerte Produkteinführungen, wodurch Kosten wachsen und Gewinnchancen schwinden. Diese Problematik zeichnete sich bereits vor mehreren Jahren ab, wodurch sich der leitbahnorientierte Entwurf zu einer zusätzlichen Kernkompetenz für den Systementwurf entwickelte.

Im Fokus des Projektes stand das Know-how zur Entwicklung von spezifischen integrierten Schaltungen für Produkte in den Bereichen Broadcast-Media (Digital Audio Broadcasting), Automotive-Anwendungen zur Erhöhung der Sicherheit (ABS) und Umweltverträglichkeit (Motorsteuerung), mobile Kommunikationstechnik (Handys), DRAM-Technologie sowie der Bildsignalverarbeitung und -übertragung für Produkte der Unterhaltungselektronik (Multimedia-PC, Displays). Die genannten Anwendungen stellen aufgrund der ständigen Verkleinerung der Strukturen und der steigenden Komplexität der Verbindungsleitungen innerhalb der Schaltungen besondere Herausforderungen bei erhöhten Anforderungen an ihre Zuverlässigkeit. Außerdem müssen die Entwicklungszeiten verringert und Test-

zeiten weiter verkürzt werden, um Marktpositionen durch frühe Produkteinführungen erhalten und Kosten einsparen zu können.

Entscheidende Faktoren sind dabei die Leitungseigenschaften: Das Leitungsdelay (Signallaufzeit auf den Leitungen) ist mittlerweile größer als das Transistor-delay. Zusätzlich nehmen die Kopplungen zwischen den Leitungen zu, weshalb sie nicht mehr unabhängig voneinander betrachtet werden dürfen. Heterogene Leitungssysteme in komplexen Mixed-Signal-Schaltungen sind außerdem im Entwurf wegen unterschiedlicher Anforderungen an die Modellierung schwer handhabbar. Weiterhin wird der Test von integrierten Schaltungen durch das Leitungsdelay erschwert.

Um den genannten Herausforderungen zu begegnen, musste die erforderliche Entwurfskompetenz deutlich erweitert bzw. teilweise erst entwickelt werden. Allgemeine Lösungen „von der Stange“, wie sie von den führenden amerikanischen EDA-Firmen angeboten wurden, waren nicht ausreichend für leitbahnzentrierte Entwurfsmethoden wegen der besonderen Schwerpunkte bei den durch die Projektpartner vertretenen Anwendungen. Daher mussten spezielle Tools und Methoden entwickelt werden, die eine gezielte Berücksichtigung der Leitbahnen im Entwurf ermöglichen.

Die Entwurfsfähigkeit ist eine Voraussetzung für die Verfügbarkeit spezifischer SoCs für die genannten

Zusammensetzung des Konsortiums:

Partner:

- » Atmel Germany GmbH
- » Robert Bosch GmbH
- » Cadence Design Systems GmbH
- » Institut für Mikroelektronische Systeme, Leibniz Universität Hannover
- » Infineon Technologies AG
- » NXP Semiconductors

Unterauftragnehmer:

- » Universität Siegen, Institut für Mikrosystemtechnik
- » TU Dresden, Institut für Feinwerktechnik und Elektronik-Design
- » TU Darmstadt, Fachgebiet Mikroelektronische Systeme
- » Redemund & Thiede Datentechnik GmbH
- » Universität Ulm, Abteilung Allgemeine Elektrotechnik und Mikroelektronik
- » Qimonda AG

Förderkennzeichen:

01 M 3074

Projektlaufzeit:

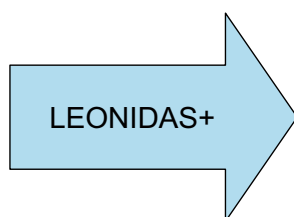
01.03.2005–28.02.2007

Steigerung der Entwurfskompetenz



Steigerung der Entwurfseffektivität

Selektive Extraktion zur Beherrschung der Komplexität
Modellierung von DSM-Effekten: X-Talk, Prozessvariationen
Constraints Mgm. und Umsetzung
Leitbahnzentrierte Place&Route-Verfahren
Leitbahnorientierter Designflow



Optimale Ausnutzung der Nanometer-Technologien
Kürzere Designzeiten durch weniger Designzyklen
Entwürfe von Chips mit hoher Zuverlässigkeit
Hohe Designproduktivität

Abbildung 1.12: Projektziele von LEONIDAS+

Anwendungen. Dieser Wettbewerbsvorteil sichert den Industriestandort. Daher haben die Forschungsarbeiten unmittelbaren volkswirtschaftlichen Nutzen und sichern Arbeitsplätze. Um in Deutschland die Kompetenz zum leitbahnorientierten Entwurf in den genannten Anwendungsbereichen aufzubauen, wurden durch das BMBF zwei Verbundvorhaben gefördert: LEO-NIDAS (April 2002 bis März 2004) und LEONIDAS+ (März 2005 bis Februar 2007), dessen Ergebnisse hier kurz vorgestellt werden.

Projektziele

Entscheidend war die Erkenntnis, dass die Leitbahneigenschaften nicht mehr „parasitäre“, also störende Effekte zweiter Ordnung sind, sondern bestimmende Entwurfsparameter aktueller Chips darstellen. Sie sind zentraler Entwurfsgegenstand und müssen von Beginn an auf allen Abstraktionsebenen entworfen und mit berücksichtigt werden.

Ziel dieses Projekts war es, einen solchen leitbahnzentrierten Entwurf zu ermöglichen. Die gesamte Thematik mit ihrer allgemeinen Bedeutung hat weitreichende Auswirkungen. Der begrenzte Projektumfang erforderte es allerdings, sich auf eine Reihe von Kernbereichen innerhalb der Zielanwendungen zu konzentrieren, die für sich abgeschlossen wurden. Damit wurden in benachbarten Bereichen weitere Entwicklungen angestoßen und eine nachhaltige Wirkung erzielt. Abbildung 1.12 zeigt die technischen Projektziele im Überblick.

Highlights der Projektergebnisse

Eine wesentliche bei Leitbahnen auftretende Komplikation ist der Crosstalk, das heißt das Übersprechen von Signalen durch Kopplungen zwischen den Leitungen. In LEONIDAS+ wurden einerseits die Kopplungen über das Substrat untersucht. Dabei entstand ein Tool, das in dieser Hinsicht kritische Bereiche identifiziert und einer Analyse zuführt. Zum anderen ist der Crosstalk zwischen Leitungen relevant für das Zeitverhalten einer digitalen Schaltung. Entscheidend dabei sind die logischen Abhängigkeiten der Signale. Hierzu wurde ein Verfahren zur Abschätzung des Worst-Case-Crosstalks entwickelt. Dabei werden auch logisch unmögliche Situationen erkannt und herausgefiltert. So können unnötige „Optimierungen“ in Zukunft vermieden werden, die andere Designparameter, wie Power und Fläche verschlechtern. Zusätzlich wird die Anzahl der Optimierungsschleifen verringert, was Entwurfszeit und Kosten einspart.

Die Arbeiten zur Berücksichtigung von Prozessvariationen im Entwurf haben zu neuen Verfahren geführt, die u.a. die Berechnung von charakteristischen Verteilungsgrößen um Größenordnungen beschleunigen. Dadurch wird der Einfluss der Interconnect-Variationen nun auch für dreidimensionale Leitungsmodelle praktikabel. Diese bessere und schnellere Analyse ermöglicht Entwürfe mit einer höheren Ausbeute bei der

Herstellung und führt zu erhöhter Zuverlässigkeit der Produkte.

Im Rahmen des Projektes sind besondere Fortschritte zur Lösung der Fragestellung erzielt worden, wie eine Menge von Constraints automatisch bei der Layoutsynthese berücksichtigt werden kann. Der entwickelte parasitensymmetrische Verdrahter legt die Leitungen eines Busses simultan unter Berücksichtigung der differentiellen Widerstände, Kapazitäten und Induktivitäten. Die entstehenden Leitungsgeometrien wurden verifiziert, indem die Leitungsparameter extrahiert und auf ihre Symmetrie hin analysiert wurden. Die Verwendung des parasitensymmetrischen Verdrahters verspricht kürzere Entwicklungszeiten von HF-Schaltungen und weniger durch falsche Leitungsführung verursachte Redesigns.

In einer weiteren Arbeit zum Umgang mit Constraints ging es um die Stromdichten in Leitungen. Die Pinanschlüsse können nun im Layout automatisch stromdichtegerecht ausgeführt und die Stromdichten verifiziert werden. Zusätzlich wurde ein Floorplanner entwickelt, der eine Vielzahl von Constraints gleichzeitig berücksichtigt. Die grundlegenden Arbeiten zur Identifikation und Speicherung der wesentlichen Constraints im leitungsorientierten Layoutentwurf fanden Eingang in ein kommerzielles Tool von Cadence.

Das Layout einer Schaltung wird üblicherweise in zwei Schritte unterteilt: Erst werden die Bauelemente platziert und anschließend die Leitungen zwischen ihnen verlegt. Dieses Vorgehen kann nicht optimal sein, weil entscheidende Details der Verdrahtung auch Rückwirkung auf die Platzierung haben müssen. Ein Teil der Arbeiten konzentrierte sich daher darauf, diese strikte Trennung aufzubrechen und einen fließenden Übergang zu ermöglichen. Das Ergebnis ist ein neues Verfahren zur gleichzeitigen Platzierung und Globalverdrahtung. Außerdem wurde ein Tool zur 3D-Platzierung entwickelt, das die Delaybedingungen von Anfang an berücksichtigt. Dadurch werden Verletzungen der Timingbedingungen frühzeitig vermieden, was verkürzte Entwicklungszeiten erwarten lässt.

Die Leitungen haben auch Einfluss auf die Testbarkeit von Signalpfaden. Es wurde eine Umgebung entwickelt, die den Designer dabei unterstützt, Testpunkte an den Stellen im Signalpfad einzufügen, wo sie die Timing-Bedingungen nicht verletzen und trotzdem die Testbarkeit deutlich erhöhen. Zusätzlich verringert das Tool die Anzahl der Testmuster bei gleicher Fehlerabdeckung. Dies erhöht die Testqualität, da die gesparten Testmuster für zusätzliche Tests verwendet werden können.

Beim Schaltungsentwurf genügt es nicht, die Leitbahnen durch grobe Ersatzschaltungen aus Widerständen zu modellieren. Der entwickelte „Partielle Layoutflow“ ermöglicht es, Leitungsgeometrien während des



Abbildung 1.13: Mitarbeiter im Projekt LEONIDAS+

Schaltungsentwurfs präzise durch parametrisierbare Zellen zu beschreiben. Diese werden vor der Simulation automatisch charakterisiert, wodurch eine vollständige Integration in den Entwurfsflow gegeben ist. Die Simulationsergebnisse sind durch bessere Modellierung aussagestärker bei guter Performance. Der partielle Layoutflow verringert dadurch die Entwurfszeit und vermeidet Redesigns, die durch unvorhergesehene Auswirkungen der Leitungseigenschaften nötig wären.

Fazit

Während der Projektlaufzeit ist eine Vielzahl prototypischer Entwurfswerkzeuge entstanden. Diese

werden zurzeit in den Firmen in ersten Pilotprojekten erprobt. Die Fülle an Ergebnissen konnte hier nur in Ausschnitten angerissen werden. Als Ergebnis sind die Leitbahnen als wesentlicher Entwurfsgegenstand in den bearbeiteten Bereichen deutlich handhabbarer geworden. Die erfolgreichen Projektarbeiten haben zusätzlich – zu den skizzierten Ergebnissen – neue Forschungsgebiete und Förderprojekte angeregt, wie die Behandlung von Prozessvariationen in 65 nm-Technologien und darunter sowie den Constraint-geführten Entwurf. Die beteiligten Mitarbeiter (Abbildung 1.13) blicken auf ein erfolgreiches Projekt zurück.

Kontakt (LEONIDAS+):

Projektkoordination:

Infineon Technologies AG
Irmtraud Rugen-Herzig
fon: (0 89) 2 34 - 2 10 46
irmtraud.rugen-herzig
@infineon.com

Projektmanagement:

Leibniz Universität
Hannover, IMS
Dr. Markus Olbrich
fon: (05 11) 7 62 - 1 96 61
markus.olbrich
@ims.uni-hannover.de

Nachrichten von den Projekten

www.edacentrum.de/projekte

Neben den Berichten von PRODUKTIV+, LEONIDAS+ und SIDRA vermelden auch andere Projekte Neuigkeiten. So ist Herkules ein Durchbruch der Verifikation gelungen, VeronA hat erfolgreich ein Tutorial veranstaltet und ein neuer Fach- und Kooperationsworkshop kündigt sich an.



Fach- und Kooperationsworkshop zum Thema Verifikation

Die Projekte HERKULES, URANOS, VeronA und VISION sowie das Clusterforschungsprojekt FEST laden dieses Jahr zu einem Kooperationsworkshop rund um das Thema „Verifikation“ ein. Der Workshop findet statt:

- » am Dienstag, den **16. Oktober 2007**, von 9:00 h bis ca. 17:00 h
- » im Werkhof Hannover Nordstadt (fünf Gehminuten vom edacentrum entfernt)

Detaillierte Informationen zum Ablauf, zur Organisation und zur Einreichung von Vorträgen finden Sie unter: www.edacentrum.de/kooperations-workshop/verifikation

Kont@kt & Anmeldung:

Dr. Cordula Hansen
fon: (07 11) 2 80 79 56
hansen@edacentrum.de

Wie bereits in den vorherigen Workshops werden auch dieses Mal die sich aus den Vorträgen ergebenden Fragestellungen und Diskussionen im Vordergrund stehen. Das Ziel des Workshops ist der Austausch von Gedanken, Sichtweisen, Lösungsansätzen und Erfahrungen zum Thema Verifikation. Um dieses Ziel zu unterstützen, wird der Workshop in einer Kombination aus Arbeitsgruppen und Vorträgen durchgeführt. (CH)



Herkules meldet einen Durchbruch bei der Verifikation parametrierter Schaltungen

20. Juni 2007. Beim edaWorkshop in Hannover stellte der Projektpartner OneSpin Solutions GmbH eine Erweiterung seiner Verifikationslösung 360™ Module Verifier vor, mit der Anwender erstmals alle Konfigurationen einer parametrierter Schaltung in einem einzigen Durchlauf vollständig verifizieren können.

One-Shot-Analyseverfahren für konfigurierbare IP-Komponenten

HERKULES präsentierte ein viel beachtetes Ergebnis zur Verifikation parametrierter IP-Komponenten (Intellectual Property). Solche Schaltungen lassen sich für die Wiederverwendung in verschiedenen konkreten

Systemumgebungen anpassen, in dem Parameter geeignet gesetzt werden. Eine sorgfältige Verifikation solcher Module erfordert derzeit die Durchführung der entsprechenden Tests separat für jeden Parametersatz, d. h. der Aufwand steigt exponentiell mit der Anzahl der Parameter.

Die neue Lösung nutzt nun Techniken der formalen Verifikation auf Basis von OneSpins Produkt-Flaggschiff OneSpin 360™ Module Verifier, um allgemeine Aussagen über alle Parametersätze zu prüfen. Im Gegensatz zu Simulations- und Assertion-basierten Verifikationsansätzen erlaubt diese Lösung bereits in einem einzigen Durchlauf die vollständige Verifikation mehrerer Konfigurationen – mit der Gewähr, dass jede einzelne Konfiguration fehlerfrei funktioniert. Dadurch müssen nicht mehr länger vielfache Konfigurationen generiert und separat verifiziert werden.

Parametrierter DMA-Controller vollständig verifiziert

Zur Erprobung des Ansatzes wurde ein DMA-Controller (Direct Memory Access) mit 8 Parametern als Beispielschaltung in VHDL entwickelt. Die 138240 zulässigen Konfigurationen dieser Schaltung wurden in einem einzigen Durchlauf auf einem Rechner in ca. 3 Minuten verifiziert. Die Entwicklung des vollständigen Eigenschaftssatzes für alle Konfigurationen wurde in nur 6 Personentagen – gegenüber 4 Tagen zur Entwicklung eines solchen Satzes für eine einzelne Konfiguration – geleistet. Demgegenüber steht simulatives Vorgehen, das alle (benötigten) Konfigurationen

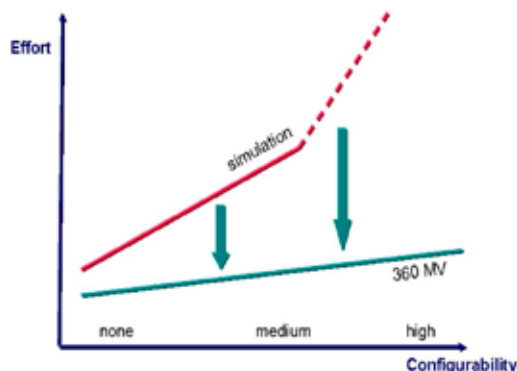


Abbildung 1.14: Steigender Verifikationsaufwand bei zunehmender Parameter-Anzahl: Während für hochgradig konfigurierbare Schaltungen der Simulationsaufwand etwa exponentiell steigt, werden diese durch den Einsatz formaler Techniken mit moderatem Aufwand beherrschbar.

Kont@kt (OneSpin) :

Dr. Klaus Winkelmann
OneSpin Solutions GmbH,
München
fon: (0 89) 9 90 13 - 4 11
fax: (0 89) 9 90 13 - 1 00
klaus.winkelmann@onespin-solutions.com

einzelnen, 'on demand' und unvollständig verifiziert. Zusätzlich lieferte der formale Ansatz eine exakte Beschreibung der zulässigen Parametersätze: z.B. werden alle Konfigurationen als nicht-zulässig ausgeschlossen, die für zwei verschiedene Register die gleiche Adresse vergeben.

Damit wurde das Projektziel erreicht, das Potenzial der formalen Verifikation zu einer drastischen Aufwandsersparnis bei der Verifikation parametrisierter Schaltungen zu nutzen.



Richtigstellung zum Projektkonsortium von URANOS

Bedauerlicherweise ist der Redaktion des „newsletter edacentrum“ in der letzten Ausgabe ein Fehler unterlaufen: Beim Projektbericht zum Projekt URANOS wurde ein falsches Projektkonsortium angegeben. Das richtige Projektkonsortium besteht aus den Projektpartnern:

- » AMD Saxony LLC & Co. KG – DDC
 - » FZI Karlsruhe – SIM
 - » Infineon Technologies AG
 - » Silicon Image GmbH (ehem. sci-worx)
- und den Unterauftragnehmern:

- » Fraunhofer-IIS, EA
- » Technische Universität Chemnitz – SSE
- » Technische Universität Chemnitz – TI
- » Universität Bremen – AGRA
- » Universität Trier – Lehrstuhl für Wirtschaftsinformatik II

Wir bitten, diesen Fehler zu entschuldigen. (Pp)



VISION entwickelt ganzheitlichen Ansatz zum Thema „Modellierung und Analyse verteilter Systeme“

Auf dem am 10. und 11. Juli 2007 veranstalteten projektinternen Workshop zum Thema „Ganzheitliche Modellierung verteilter mikroelektronischer Systeme und Ansätze zur methodischen Analyse des Kommunikationsverhaltens“ wurden erfolgreich Ergebnisse aus den ersten beiden Arbeitspaketen zusammengeführt und gemeinsam weiterentwickelt.

Auf der, beim Projektpartner Infineon Technologies AG durchgeführten Veranstaltung stand die Evaluierung bezüglich existierender Standards zur Modellierung verteilter Systeme im Mittelpunkt. In diesem Zusammenhang wurden verschiedene Methoden diskutiert, welche einen einheitlichen Modellierungsansatz ermöglichen. Ein auf der neuesten Version der

Unified Modeling Language (UML) basierende Ansatz soll sowohl für die Darstellung der Struktur als auch des Verhaltens eines mikroelektronischen Systems der zu betrachtenden Applikationsdomänen Automobil und Mobilkommunikation angewendet werden können. Damit soll auch erstmalig die Lücke zwischen Hardware- und Softwareentwicklung bzw. zwischen Anforderungs-Management und der Entwicklungstätigkeit geschlossen werden. Das Vorgehen erlaubt eine ganzheitliche Beschreibung des zu entwerfenden Systems auf sehr hoher Abstraktionsebene, was die frühzeitige Erkennung von Fehlern im Systemintegrationsprozess unterstützt, kostenintensive Entwicklungs- und Korrekturzeiten minimiert und den effizienten Entwurf heutiger hochkomplexer Systeme überhaupt ermöglicht.

Weiterhin konnten sich die teilnehmenden Projektpartner auf den Aufbau eines konkreten Beispielsystems zur Veranschaulichung der im Projekt VISION adressierten Forschungsthematik verständigen. Dieser Abgleich garantiert sowohl eine einheitliche Sichtweise auf die Anforderungen und Durchführung der Systemmodellierung und -analyse als auch ein durchgängiges Konzept zur automatisierten Erzeugung von virtuellen Prototypen, die zur frühzeitigen Evaluierung des Systems eingesetzt werden. (Tr)



Folien des Tutorials „Formalisierte Methoden zur Verifikation analoger Schaltungen“ im Internet

Auf mehrfachen Wunsch sind die bei dem Tutorial „Formalisierte Methoden zur Verifikation analoger Schaltungen“ gezeigten Folien im Internet als PDF-Datei verfügbar. Die Datei umfasst 133 Seiten (16 MB) und enthält alle bei dem Tutorial präsentierten Folien. Zum Öffnen des Dokuments wird ein Passwort benötigt, dass unter dem hier oder auf der VeronA-Webseite (www.edacentrum.de/verona/) angegebenen Kontakt erfragt werden kann.



Die Folien des Tutorials sind unter www.edacentrum.de/verona/tutorial.pdf verfügbar.

Das Tutorial wurde am 21. Juni 2007 vom Projekt VeronA („Verifikation analoger Schaltungen“) mit Unterstützung des Clusterforschungsprojektes FEST („Funktionale Verifikation von Systemen“) veranstaltet. Der interessierten Öffentlichkeit wurde dabei ein umfassender Überblick über diesen zukunftssträchtigen EDA-Bereich gegeben. Die dabei behandelten Themenkomplexe umfassten Pareto-Optimierung, Verifikation hybrider Systeme, Model Checking analoger Systeme sowie Einführungen in die Theorie und den Stand der Technik der formalen Analyse digitaler Schaltungen. Neben diesem Überblick ermöglichte die Veranstaltung die projektinterne gegenseitige Information zum Stand der Forschungsarbeiten bei der formalisierten Verifikation analoger Schaltungen, die Gegenstand des Arbeitspakets 2 in VeronA sind. Das Tutorial stieß auf gute Resonanz innerhalb und außerhalb der beiden Projekte. (Pp)

Kont@kt (VeronA):

Ralf Popp
fon: (05 11) 7 62 - 1 96 97
popp@edacentrum.de

Kont@kt (VISION):

Dr. Dieter Treytnar
fon: (05 11) 7 62 - 1 96 87
treytnar@edacentrum.de



Neues aus der Clusterforschung

www.edacentrum.de/clusterforschung



Schlussveröffentlichung von SAMS auf dem edaWorkshop07

Das SAMS-Projekt präsentierte mit dem Vortragenden Prof. Dr. Christoph Grimm die Schlussveröffentlichung des Clusterforschungsprojekts und stellte ein Resümee über die Ergebnisse nach drei Jahren Projektlaufzeit vor. Die Veröffentlichung ist im Tagungsband des edaWorkshop07 enthalten und kann über das edacentrum bezogen werden.



Prof. Dr. C. Grimm



Das Projekt „Funktionale Verifikation von Systemen“ (FEST) im Juni 2007 abgeschlossen

Nach drei Jahren Laufzeit beendete FEST seine Projektarbeit. Letzte Ergebnisse wurden auch auf dem edaWorkshop07 in Hannover präsentiert. Hier gab es einen von Prof. Bernd Becker von der Uni Freiburg gehaltenen Übersichtsvortrag zu dem Sie einen Bericht in dieser Ausgabe des newsletter edacentrum auf Seite 27 finden.

Kont@kt
(EDA-Clusterforschung):
Dr. Volker Schöber
fon: (05 11) 7 62-1 96 88
schoeber@edacentrum.de

Weitere Ergebnisse zu dem Projekt werden auf dem Fach- und Kooperationsworkshop „Verifikation“ (Seite 18) am 16. 10. 2007 in Hannover vorgestellt.

FEST mit dem Beitrag „Eigenschaftsbasierte Entwurfsmethodik für die Systemebene“ auf dem edaWorkshop07

In dem edaWorkshop-Vortrag von Prof. Dr. Hans Evinger wurden die Forschungsergebnisse der TU Darmstadt im FEST-Projekt näher betrachtet, die sich zum Einsatz bei der Prototypenentwicklung eignen. Durch eine Modellierung der Eigenschaften eines Blocks in einem sogenannten „Cando“-Objekt können die Moduleigenschaften für den Prototyp verifiziert werden. Diese Cando-Objekte stellen eine abstrakte Beschreibungsform der Eigenschaften von Teilen eines Systems dar, mit denen auch verbotene Eigenschaften dargestellt werden können.

Mit Hilfe dieser Modellierung kann ein Prototyp verfeinert, simuliert und dessen Eigenschaften im Gesamtkontext verifiziert werden. Während der Verfeinerung der Verifikation, werden auch die Cando-Objekte verfeinert, um somit die Blockeigenschaften zu vervollständigen. Cando-Objekte unterstützen die Verfeinerung der Verhaltensmodelle, um die Beschrei-

2

Neues aus dem edacentrum

Termine und Formalien für neue Projekte

www.edacentrum.de/projekttermine

Die Termine für die Einreichung zur Steuerungsgremiumssitzung am 5. Dezember 2007 in München sind:

- » Anmeldung einer Einreichung bis: 23. 10. 2007
- » Abgabe der ersten Version bis: 06. 11. 2007
- » Abgabe der letzten Version bis: 20. 11. 2007

Bitte berücksichtigen Sie bei der Einreichung nicht nur die Termine, sondern unbedingt auch die Vorgaben bzgl. des Umfangs. Projektskizzen dürfen maximal einen Umfang von 16 Seiten, Vorhabenbeschreibungen einen Umfang von 50 Seiten haben. Bei beiden Angaben sind Titelseite, Inhaltsverzeichnis und Anhang nicht eingerechnet. (Su)

Kont@kt: Dr. Cordula Hansen, fon: (07 11) 2 80 79 56,
hansen@edacentrum.de

Publikationen

www.edacentrum.de/edatrend/press/

Mit der Veröffentlichung seines „edaTrend DAC07“-Berichts (s. S. 34) hat das edacentrum eine weit rei-

chende Präsenz in den Online-Medien erzielt. In mehr als 20 Portalen wurde über dieses neue und bislang immer noch einmalige Angebot informiert. Darüber hinaus wurden Auszüge aus dem Bericht an mehreren Stellen im Internet veröffentlicht. Eine Auflistung der Referenzen ist auf der oben angegebenen Webseite der edaTrend-Berichte zu finden. (Pp)

Kont@kt: Ralf Popp, fon: (05 11) 7 62 - 1 96 97,
popp@edacentrum.de

Erste Entwicklung des Musterdepots

<http://www.onvista.de>

Am 10.7.2007 wurden 250 Aktien von Ansoft zum Kurs von 19,97 € in das Musterdepot aufgenommen.

Das Musterdepot konnte seinen fast 10 % igen Wertzuwachs (im newsletter edacentrum 02/2007) nicht halten und stagniert derzeit auf hohem Niveau. Dennoch ist die Wertentwicklung mit einem Plus von derzeit 6,24 % weiterhin erfreulich. Zu verdanken ist dies in erster Linie der Nokia-Position, deren Wert sich seit Einrichtung des Depots am 13.3.2007 knapp

unter
www.edacentrum.de/newsletter/
finden Sie im Internet
weitere Informationen.

bung der Eigenschaften in VHDL oder Verilog-HDL abzubilden. Dieses Verfahren soll die Reduktion der Modellkomplexität und die Vermeidung von Überspezifikation ermöglichen.

Nach erfolgreicher Verifikation kann man die RTL-Codierung der Module durchführen. Die Beschreibung der Cando-Objekte unterstützt die OneSpin MV 360-Eigenschaftssprache, wodurch eine Integration in die Umgebung einer industriellen Verifikationsumgebung erleichtert wird. Das vorgestellte Verfahren stellt eine universelle Methode dar. Der Vortragende wünscht sich noch eine breite Sammlung von Benchmarks, um diese neue Vorgehensweise besser für den industriellen Einsatz zu qualifizieren.

AIS

Das Projekt AIS schließt den Aufbau der Homepage ab und arbeitet an einem gemeinsamen Demonstrator

Der Webserver für das AIS-Projekt ist fertig gestellt und steht als sichere Informations- und Austauschplattform zur Verfügung. Für die Forschungs- und Industriepartner ist ein geschützter Bereich eingerichtet, worüber sich Berichte herunterladen lassen. Informationen für den Zugriff erhalten Sie von Dr. Schöber.

Die Projektpartner haben im ersten Halbjahr begonnen, die Anforderungen, Schnittstellen sowie eine Demonstrationsumgebung für den Entwurf Autonomer Integrierter Systeme festzulegen und aufzubauen. Die Demonstratorplattform wird genutzt, um die erforschten individuellen Lösungen in einem Gesamtkomplex aller Partner zu demonstrieren. Dazu nutzt jeder Forschungspartner einen Demonstrator, der einen programmierbaren LEON-Prozessor enthält. Damit können die eigenen aber auch die Ergebnisse der anderen Partner überprüft und die Funktionsweise der Entwurfsplattform zum Entwurf autonome integrierter Systeme des gesamten Projekts dargestellt werden. Das Board basiert auf einem Leon SPARC zur Prototypenentwicklung mit GR-CPCI Xilinx XC2V6000 Bausteinen der Firma Gaisler Research.



Prof. Dr. H. Erekling

Darüber hinaus präsentierte die Uni Tübingen auf dem edaWorkshop07 ihre ersten Ergebnisse mit dem Titel „Applikationsspezifische Zuverlässigkeitsbewertung von MPSoCs“. Das Ziel der Uni Tübingen, die zusammen mit dem FZI in Karlsruhe an diesem Thema arbeitet, ist die Etablierung der Zuverlässigkeit als zusätzliches Optimierungskriterium auf Systemebene. Problem bei der Zuverlässigkeit ist insbesondere der ständig wachsende Einfluss transienter Fehler, wie sie beispielsweise durch Alpha-Strahlen entstehen können. Details zur Veröffentlichung können dem edaWorkshop-Tagungsband entnommen werden.



B. Sander

verdoppelte. Aber auch Magma und IBM erzielen derzeit ein Plus im zweistelligen Bereich. Schlusslicht ist weiterhin die Aktie von Mentor mit einem Wertverlust von 14 %.

Aktuell sind die in Abbildung 2.01 dargestellten Aktien im Musterdepot enthalten Veränderungen durch Neuaufnahmen und Austritte werden berücksichtigt.

Kont@kt: Dr. Dieter Treytnar, fon: (05 11) 7 62 - 1 96 87, treytnar@edacentrum.de

edacentrum wird Mitglied bei AENEAS

www.edacentrum.de und www.eniac.eu/web/aeneas/aeneas_ex.php

Das edacentrum hat zum 31.8.2007 eine assoziierte Mitgliedschaft bei der AENEAS Association, einer Industrievereinigung zur Unterstützung der ENIAC-Aktivitäten beantragt, um die Interessen der deutschen EDA-Gemeinde in diesen Gremien zu vertreten. Nähere Informationen zu AENEAS finden Sie auch auf Seite 41. (Pp)

Kont@kt: Dr. Jürgen Haase, fon: (05 11) 7 62 - 1 96 98, haase@edacentrum.de

Stückzahl	WKH	Name	Aufnahme Kurs Datum	Kaufbetrag	Betrag	Kurs Datum Uhrzeit	Kurs Aktuell Zusatz	G/V gesamt +/- %
250	000088	ANSOFT CORPORATION REGISTERED SHARES DL .01	19,07 10.07.07	4.902,50	5.435,00	04.09. 09:10:05	24,74 G	+442,50 +8,86%
306	070737	NOKIA CORP. REGISTERED SHARES EO 0,06	16,36 13.03.07	5.006,16	7.438,86	04.09. 15:45:50	24,31 G	+2.432,70 +48,59%
255	003733	SYNOPSYS INC. REGISTERED SHARES DL .01	19,58 13.03.07	4.992,30	5.049,00	04.09. 09:16:50	19,80 G	+56,10 +1,12%
327	073557	CADENCE DESIGN SYSTEMS INC. REGISTERED SHARES DL 0,01	15,24 13.03.07	5.016,16	5.182,95	04.09. 09:10:09	15,85 G	+166,77 +3,32%
70	051209	INTL BUSINESS MACHINES CORP. REGISTERED SHARES DL .20	71,23 13.03.07	4.986,10	6.041,00	04.09. 15:47:34	86,30 G	+1.054,90 +21,16%
178	040002	KON. PHILIPS ELECTRONICS N.V. AANDELEN AAN TOONDER EO 0,20	28,01 13.03.07	4.985,78	5.144,20	04.09. 14:54:19	28,80 G	+158,42 +3,18%
468	051836	ADVANCED MICRO DEVICES INC. REGISTERED SHARES DL .01	10,89 13.03.07	5.002,92	4.539,60	04.09. 15:38:04	9,78 G	-463,32 -9,26%
129	001235	DASSAULT SYSTEMES S.A. ACTIONS PORT. EO 1	38,80 13.03.07	5.005,20	5.808,92	04.09. 08:09:19	43,48 G	+803,72 +12,06%
1.263	002557	ATMEL CORP. REGISTERED SHARES O.N.	3,96 13.03.07	5.001,46	4.849,82	04.09. 14:40:20	3,84 G	-151,66 -3,03%
1.408	000439	BOSCH CORP. REGISTERED SHARES O.N.	3,55 13.03.07	4.999,40	4.942,08	04.09. 09:08:03	3,51 G	-56,32 -1,13%
440	023100	INFINEON TECHNOLOGIES AG NAMENS-AKTIE O.N.	11,37 13.03.07	5.002,80	5.126,00	04.09. 15:49:52	11,65 G	+123,20 +2,46%
347	000755	MELEXIS N.V. REGISTERED SHARES O.N.	14,40 13.03.07	4.996,80	4.302,80	04.09. 09:04:19	12,60 G	-694,00 -13,89%
541	075051	MAGMA DESIGN AUTOMATION INC. REGISTERED SHARES DL .0001	7,50 13.03.07	4.999,50	6.403,59	04.09. 09:10:51	9,99 G	+1.403,79 +28,08%
423	000050	MENTOR GRAPHICS CORP. REGISTERED SHARES O.N.	11,82 13.03.07	4.999,96	4.293,46	04.09. 09:10:52	10,15 G	-706,41 -14,13%
				69.906,88	74.367,37			+4.376,48 +6,24%

Tabelle 2.01: Auflistung des am 13.3.2007 eingerichteten „edacentrum e.V.-Aktien-Musterdepots“, Stand 4.9.2007



edaWorkshop 07

Deutsche EDA-Forschung zu Gast in Hannover – Ein Bericht vom edaWorkshop07

von Peter Neumann (Ne), Ralf Popp (Pp), Susanne Sass (Su), Dieter Treytnar (Tr), Volker Schöber (VS) und Andreas Vörg

Übersicht

Das neue Konzept wird angenommen! – Jedenfalls scheinen über 120 Teilnehmer des edaWorkshop07 im Courtyard by Marriott Hotel, Hannover, am 19. und 20. Juni 2007 so zu denken. Die Erweiterung des Ekompas-Workshops mit wissenschaftlichen Beiträgen und die bewährten Programmteile wie die Posterausstellung und der Kooperationsmarkt boten wieder einmal einen Überblick über die gute Qualität der deutschen EDA-Forschung und demonstrierten eindrucksvoll wie sinnvoll die Förderung in diesem Bereich ist.

Höhepunkte der Veranstaltung waren die eingeladenen Vorträge von Dr. Gerd Teepe von AMD sowie Prof. Dr. Rudy Lauwereins von IMEC, deren Vorträge im Anschluss an diese Übersicht besprochen werden.

In vier Projektvorträgen (über die ebenfalls innerhalb dieses Artikels berichtet wird), auf Postern sowie durch einige Demonstrationen wurden die erzielten Ergebnisse aus geförderten Ekompas-Projekten vorgestellt.

Die wissenschaftlichen Beiträge wurden in acht Vorträgen und mit sieben Posterbeiträgen präsentiert. Die Themen beinhalteten sowohl detaillierte Erkenntnisse aus der Projektarbeit, als auch Forschungsarbeiten außerhalb der Förderprojekte. Die Ergebnisse und ins-

besondere die Diskussionen zwischen den Experten lieferten Anstöße zu fortführenden Arbeiten.

Der jährliche Kooperationsmarkt unter dem Motto „Ideen suchen Anwender“ der wieder im Rahmen der Posterausstellung statt fand, war dieses Jahr kleiner als in 2006, zog aber ähnlich viele Interessenten in seinen Bann.

Es ist ein positives Schicksal des edaWorkshop, dass – wie jedes Jahr – das Wetter trotz des bisher kühlen Sommers mitspielte. Am gemeinsamen Abend wurden auf der Terrasse des Gartensaals am Neuen Rathaus von Hannover bei lauen Temperaturen bis in die späten Abendstunden nicht nur fachliche, sondern auch soziale Kontakte geknüpft. In diesem Rahmen wurde die EDA-Medaille 2007 an Dipl.-Ing. Udo Steinkopf verliehen. Damit wird sein Lebenswerk in Forschung und Lehre auf dem Gebiet Electronic Design Automation gewürdigt (s. rechts).

Der edaWorkshop wurde von allen Beteiligten gelobt und die Mischung aus wissenschaftlichen, projektbezogenen und eingeladenen Vorträgen für äußerst sinnvoll befunden. Selbstverständlich gab es im ersten Jahr seines Bestehens auch einige Reibungsverluste. Aber das war aufgrund des neuen Konzeptes auch nicht anders zu erwarten. Sie können aber sicher sein, dass wir alle Anregungen aufnehmen und zum nächsten edaWorkshop nach Möglichkeit umsetzen werden. (Tr, Pp)

Weitere Informationen zum edaWorkshop sowie eine Bildergalerie der Veranstaltung finden Sie unter www.edacentrum.de/edaWorkshop/.

Der edaWorkshop08 findet am 6. und 7. Mai in Hannover statt. Mehr Informationen s.o.

Kont@kt:

Ralf Popp

fon: (05 11) 7 62 - 1 96 97
popp@edacentrum.de



Abbildung 3.01: Ausgelassene Kontaktpflege in der Abendsonne auf der Terrasse des Neuen Rathaus in Hannover

Rudy Lauwereins von IMEC

Multi-core platforms are reality... but where is the software support?

Ein Höhepunkt des diesjährigen edaWorkshops war die Keynote von Prof. Dr. Rudy Lauwereins, IMECs Vizepräsident, Teilzeitprofessor der Katholischen Universität Leuven und Direktor des „Institute for BroadBand Technologies“, IBBT.



Abbildung 3.02: Rudy Lauwereins von IMEC bei seinem Keynote-Vortrag auf dem edaWorkshop07

Zu Beginn seines Fachvortrags über die Entwicklung im Bereich Prozessor-basierter Systeme beschrieb Lauwereins den Stand der Technik und unterteilte die Anwendungen in drei Gruppen:

- » Transducer, sehr kleine Geräte mit geringer Rechenleistung und sehr niedrigem Stromverbrauch.
- » Mobile Geräte aus dem Bereich Consumer. Obwohl für diese Anwendungen erheblich mehr Rechenleistung benötigt wird, ist doch die Mehrzahl dieser Geräte batteriebetrieben.
- » Rechner im Allgemeinen, welche die höchste Rechenleistung bereitstellen.

Betrachtet man die Anzahl der Prozessor-Kerne, so werden die Systeme üblicherweise in Single-Core-, Multi-Core- (2–8 Prozessor-Kerne) und Many-Core-Systeme (> 8) kategorisiert. Lauwereins stellte fest, dass im Transducerbereich vorrangig Single-Core-Systeme zur Anwendung kommen, während im Rechnerbereich derzeit 2–4-Core-Systeme üblich sind. Demgegenüber sieht er im Bereich mobiler Consumer-Geräte bereits heute so genannte Many-Core-Systeme im Einsatz, die er im Folgenden einer genaueren Betrachtung unterzog.

Die Kommunikation der Komponenten bei Many-Core-Systemen wird gegenwärtig fast ausschließlich über Bussysteme umgesetzt. Dies ist ein Ansatz, bei dem sich die Anzahl der Cores nicht skalieren lässt und der, laut Lauwereins, somit für die Zukunft nicht in Frage kommt. Da für die nächste Generation ein Anstieg auf typischerweise 16–100 Cores pro Implementierung erwartet wird, gilt die Verwendung von Networks-on-Chip (NoCs) zum Zwecke der Komponenten-Kommunikation als sicher.

Von zukünftigen Multi-Prozessor-Plattformen erwartet Lauwereins des Weiteren, dass sie heterogene Compute-Cluster beinhalten, die wiederum über einen homogenen internen (many-core) Aufbau verfügen. Weitere gängige Bestandteile solcher Plattformen werden Hardware-Beschleuniger, On-Chip-Memory und ein über Standardschnittstellen verbundenes Off-Chip-Memory sein. Alle diese Komponenten werden über ein flexibles, Service-bereitstellendes NoC (d.h. garantierte Latenzzeiten, Durchsatz etc.) verbunden.

Da die effiziente Ausnutzung paralleler Hardware-Ressourcen aber auch eine Parallelisierung der Software erfordert, muss die den Software-Applikationen inhärente Parallelität über geeignete Beschreibungsformen spezifiziert werden. Die Verteilung der hieraus entstehenden parallelen Funktionsblöcke auf Many-Core-Systeme werde sich als eine der größten Herausforderungen in der Zukunft erweisen, so Lauwereins.

Das „Tal der Tränen“ (Valley of Misery) befindet sich dabei laut Lauwereins zwischen dem sequentiellen Code des Embedded-Software-Designers und der Many-Core-Plattform des Hardware-Ingenieurs. Seine Überbrückung könne nur über eine Annäherung von beiden Seiten erfolgen: Während die Hardware-Plattform in erster Linie einen vorhersagbaren Service (Latenzzeiten, Durchsatz, etc.) garantieren soll, muss der sequentielle Code

- » einerseits „gesäubert“ werden, d.h. Kontroll- und Datenstrukturen werden im Hinblick auf die tatsächliche darunter liegende Hardware überarbeitet, und
- » andererseits über zusätzliche Information eine weitere Spezifizierung bezüglich seiner inhärenten Parallelität erhalten.

Diese statischen Angaben können durch ein sog. Pareto-Diagramm ergänzt werden, welches zusätzliche dynamische Einflüsse, wie z. B. die Benutzeraktivität, berücksichtigt und in einem dreidimensionalen Raum (Constraints, Energy und Execution-Time) aufgespannt wird. Die tatsächliche Verteilung der Software-Applikation(en) auf die einzelnen Cores erfolgt bei diesem methodischen Ansatz dynamisch zur Laufzeit durch den Runtime-Manager. Die gegenwärtige Position im Pareto-Diagramm definiert dabei die (gewichteten) Randbedingungen zur Ermittlung der Ressourcen-Anforderung.

Lauwereins erläuterte im Anschluss als Beispiel die am IMEC entwickelte Software Defined Radio Plattform. Hierbei handelt es sich um eine Designumgebung, die eine Echtzeit-Verifikation der Algorithmen über Matlab-Modelle zulässt.

Als „Algorithm-Architecture-Co-Design“ bezeichnete er den auf die Algorithmenverifikation folgende Entwicklungsschritt, der Matlab-Algorithmen gegen

Transaction Level Modeling (TLM) Architektur-Beschreibungen verifiziert. Lauwereins betonte, dass es sich bei der TLM-Beschreibung nicht um ein abstraktes Abbild einer bereits bestehenden Architektur handelt, sondern um eine Architekturentwicklung: In einem Verfeinerungsprozess zwischen Algorithmus und Architektur wird ein Hardwaremodell entwickelt, welches das Verhaltensmodell abbildet.

Die entwickelte Architektur wird dann auf RTL-Modelle herunter gebrochen und über state-of-the-art Synthese-und-Layout-Design-Flows in eine GDSII-Beschreibung übersetzt.

Das herauszuhebende Ergebnis seines Beispiels war, dass es der IMEC-Mannschaft gelungen ist, ein Power-Problem im Stand-by-Modus frühzeitig aufzudecken und durch eine Feedback-Schleife auf die TLM-Architekturentwurfphase effektiv und schnell zu beheben. (Ne)

Gerd Teepe von AMD

Halbleiter – Triebfeder der Innovation

Der Vortrag: „Semiconductors – the intrinsic driving force of innovation“ von Dr. Gerd Teepe war im Programm mit dem Titel „EDA – Driving Productivity Beyond Semiconductors“ angekündigt. Die kleine Änderung des Titels wurde ihm aber dank seines interessanten Vortrags gerne verziehen. Zu Beginn seiner Präsentation dankte er Prof. Erich Barke für die gern angenommene Einladung, fügte aber verschmitzt hinzu, dass er doch gerne informiert worden wäre, dass er im direkten Anschluss an das opulente Mittagssmahl kämpfen muss. Den Kampf gewann er mit Leichtigkeit. Teepe griff im weiteren Verlauf Punkte des Grußwortes von Dr. Katenkamp (BMBF) auf.



Abbildung 3.03: Gerd Teepe von AMD bei seinem Keynote-Vortrag auf dem edaWorkshop07

Beobachtungen aus der Elektronikbranche

Anhand diverser Grafiken belegte Teepe, dass die Halbleiterindustrie, unter anderem auch speziell der Barcelona Prozessor von AMD, im Einklang mit der ursprünglich von Gordon Moore eingeführten Roadmap liege. Bemerkenswert sei dabei die Tatsache, dass die Industrie die jeweils aktuellen Prognosen seit

Jahrzehnten nicht nur erfüllt, sondern jeweils übertrifft. Laut Teepe seien diese positiven Abweichungen auf die Vielzahl an Innovationen in der Elektronik zurückzuführen, die in den vergangenen Jahrzehnten beständig die überragende Leistungsfähigkeit der Halbleiterindustrie belegen. Als Beispiel nannte er Innovationen bei Prozessoren, wie „Instruction Pipeline“, „Integrated Cache“, „Multimedia, Extensions“ und „Dual Core“.

„... und wo sind wir heute?“

Ein Ende der Innovationen sei nicht in Sicht. Dafür brachte Teepe Beispiele aus den Bereichen der Prozessoren, Kommunikation sowie Power- und Mixed-Signal-Elektronik. Heute ist AMD in der Lage, den 4-Kern-Prozessor „Barcelona“ mit Northbridge zur Vernetzung der 4 Kerne sowie L1, L2 und L3-Cache auf einem einzigen Chip mit 470 Millionen Transistoren zu entwerfen und zu fertigen.

Interessant sei ebenfalls die Beobachtung, dass Moores Prognose auch für die Kommunikation elektronischer Geräte und Komponenten gilt. Alle 18 Monate kommen Produkte mit doppelter Bandbreite gegenüber der vorausgegangenen Generation auf den Markt. Das betrifft nicht nur den Bereich für kurze Verbindungswege mittels USB, PCI-Express etc. sondern auch die Datenübertragung per LAN/WLAN (z. B. IEEE 802.11 a/b/g/n) und Mobilfunk (GPRS, UMTS, HSDPA).

Mixed-Signal- und Power-Technologien folgen dem digitalen Technologiefortschritt in gleichbleibendem Abstand seit über 20 Jahren.

Einfluss der Elektronik

Dass ein solcher Innovationsmotor wie die Elektronik Auswirkungen auf das gesamte Wirtschaftswachstum hat ist klar. Die Größe des Beitrags sei bemerkenswert. Dale W. Jorgenson und Samuel W. Morris (Harvard University) schreiben der Informationstechnologie seit 1995 einen Beitrag am Wirtschaftswachstum von 25 % zu. Vergleiche man das hervorragende Ergebnis mit dem Beitrag zum wirtschaftsweiten Produktivitätswachstum aller anderen Industrien, gehe die Informationstechnologie als klarer Gewinner hervor. Teepe brachte viele Beispiele aus den Bereichen Automobilbau, Geschäftsleben, Gesundheitswesen und Energieerzeugung die plausibel machen, dass Innovationen in diesen Bereichen am einfachsten durch Elektronik realisierbar sind.

Elektronik Investitionskonzepte

Vor diesem Hintergrund sind für Teepe die EU-Förder Richtlinien verständlich, die kein zweites Dresden gestatten. In Dresden hat AMD eine neue Fab gebaut und die alte Fab auf 300 mm umgerüstet. Als Standort für eine weitere Fab wurden AMD in New York 1 Milliarde US\$ Subventionen angeboten. Auch die Erfolgsgeschichte „Dresden“ wurde mit Fördergeldern geschrieben, die sich vielfach ausgezahlt haben. Teepe

betrübt das Fehlen eines nachhaltigen Förderkonzeptes zu Industrieansiedlung in Deutschland und damit fehlende Investitionskonzepte für den Innovationsmotor Elektronik. Teepe gab zu bedenken, dass China und Indien gut positioniert in den Startlöchern lauerten.

Markttrends – „Shrink, shrink, shrink ...“ und „Convergence“

Für Teepe war und ist „Shrink“ (Miniaturisierung) das beherrschende Schlagwort. Der Technologiefortschritt ist vor allen Dingen durch die immer weiter fortschreitende Miniaturisierung integrierter Schaltungen geprägt. Teepe gliedert diese in vier Phasen. Die erste Phase bezeichnet er als „Triple Shrink“. Sie ist in starkem Maß von der Miniaturisierung bei gleichbleibender Versorgungsspannung (5 V) und der Erhöhung der Taktfrequenz geprägt.

Die zweite Phase „Second Shrink“ ist durch die Einführung neuer Materialien (Kupfer, SOI, Channel-Stress (Stress erhöht die Mobilität der Elektronen. Zur Ausnutzung dieses Effekts wird der Transistorkanal künstlicher Druck- und Zugspannung ausgesetzt), low-k (inter-metal), high-k (Transistor)) und Versorgungsspannungsanpassung geprägt.

Die dritte „Single Shrink“ und vierte (aktuelle) Phase erhöht die Anzahl der Metallisierungsschichten im Chip von aktuell 9 auf künftig 11 Schichten und wird von der Nutzung weiterer Effekte, ähnlich dem Stress-Effekt, geprägt sein. Laut Teepe wird Kupfer für die Metallisierungsschicht bleiben und künftig nicht durch Silber ersetzt werden. Die Versorgungsspannung wird sich ihrer technologischen Grenze von ~ 1 V nähern. Hier erwartet Teepe Herausforderungen bei der Aussteuerung der Transistoren, die mit 200-300 mV Schwellspannung arbeiten. Weitere Prognosen von Teepe für die vierte Phase sind, dass die in der Vergangenheit stark steigende Taktfrequenzkurve flacher werden wird. Mehr Integration unter anderem von Cache und IP-Komponenten, Transaktions-basierte Kommunikation über schnelle serielle Verbindungen und Low-Power sind laut Teepe weitere Merkmale der vierten Phase. Zudem werde es immer schwieriger den Transistor zu verkleinern.

Teepe betonte die Wichtigkeit von Öffentlichkeitsarbeit für Elektronik, da die Öffentlichkeit die Elektronik unter anderem in Autos, Handys und Fernseher steckt, nicht mehr oder bestenfalls im Fall von Fehlfunktionen wahrnehme.

Teepe ist überzeugt, dass das zweite Schlagwort für die Zukunft „Convergence“ lautet. Damit verbindet er die Standardisierung und Beschränkung des technologisch Möglichen auf 5 Bereiche: einige wenige Computer-Architekturen, Computer I/O, Internet Connectivity (Ethernet), Telekommunikations- (GSM) und Medienstandards (DVD Blue Ray). Selbst Supercomputer basieren schon heute auf den „Mainstream“ Computerarchitekturen. Als wesentliche Architekturen nannte Teepe die x86-Linie, ARM, MIPS, und Power. Die

Beschränkung im Bereich der Computerarchitekturen begründet Teepe unter anderem mit der Dominanz verfügbarer Software. Die Software habe die Hardware bereits vom Geschäftsvolumen überholt. Hard- und Software teilten sich zu jeweils 50 % die Systementwicklungskosten.

Die Notwendigkeit von EDA

Für die Realisierung der aufgezeigten Trends ist laut Teepe die EDA-Weiterentwicklung in den im Folgenden genannten Bereichen unerlässlich.

- » Constraint-Einhaltung. Constraints (Rules) können in allen Bereichen (digital, analog, mixed-signal) nur noch werkzeuggestützt eingehalten werden,
- » Gemeinsame Nutzoberflächen,
- » Offene Schnittstellen und Standards,
- » Tools und IP-Integration,
- » Design for Test (DFT), Ausbeute und Fertigung (Design for Manufacturability, DfM),
- » Time-to-market,
- » Metriken.

Teepe verwendete für die EDA den bildlichen Vergleich eines Bolzenschneiders zum Knacken der künftigen Applikationen. Dabei stehen die Hebelarme des Bolzenschneiders für EDA.

Zusammenfassung

Teepe fasste seinen Vortrag zusammen, indem er nochmals die künftigen Herausforderungen für Halbleiterindustrie und EDA nannte. Der optische Miniaturisierungs-Roadmap werde sich von 65 nm über 45, 32 bis 22 nm fortsetzen. Damit werden die Technologiefortschritte sehr viel „trickreicher“ sein müssen als in der Vergangenheit. Der Entwurf integrierter Schaltungen werde mit steigender Komplexität, höherer Variabilität der Endgeräte, wachsenden variablen Abhängigkeiten zwischen den Komponenten und umfangreicheren Regelwerken („we are out of manual-mode“) geprägt sein. EDA-Software werde noch größere Parameteräume beherrschen müssen und für die nächsten Phasen der Miniaturisierung der Halbleiterelektronik EDA absolut notwendig sein.

Fragen und Antworten

Teepe stimmte dem Hinweis Wenzels (DLR) zu, dass die Zusammenarbeit von Soft- und Hardware zunehmend schwieriger werde. Laut Teepe liegt das an der starken Abhängigkeit von Hard- und Software und daran, dass die in der Vergangenheit verfolgte Optimierung der Single-Thread Beschleunigung nun durch die Optimierung der Verteilung mehrerer Threads in Multi-core-Systemen abgelöst wird.

Auf die Frage: „Gibt es in Zukunft eine Existenzberechtigung für weitere Architekturen, neben den genannten (x86, ARM, MIPS, Power)?“ von Herkersdorf (Universität München) die „Convergence“ betreffend, antwortete Teepe, dass die Software-Dominanz und damit das



Abbildung 3.04: Teepe stimmte der Ergänzung Waldschmidts (Universität Frankfurt) zu, dass Moore-Variationen auch für Speicherkapazität und Optik gelten.

Expertenwissen für etablierter Architekturen so groß geworden sei, dass hieraus unweigerlich die Konvergenz hin zu einigen wenigen Architekturen folgt. (AV)

Reimund Wittmann von Nokia

Zukünftige HF-System-Entwurfstechnologien – DETAILS sind entscheidend!

Pünktlich um 10 Uhr begann am Dienstag der Projektvortrag von DETAILS. Reimund Wittmann griff die Bitte aus den einleitenden Worten von Herrn Professor Barke auf, sich mehr an Produkten zu orientieren. Er stellte voran, dass Systeme und Produkte für den Anwender zuverlässig, kostengünstig und einen hohen Gebrauchswert aufweisen sollten. Gerade dies biete ein hohes Potential für das kontinuierlich interessante Thema der Low-Power-Schaltungen. Weitere Fragen, die bei Produkten adressiert werden müssen, so Wittmann, sind die Fragen nach Kosten, Nutzen, Entwurfszeit und der Time-to-Market. Dadurch entstehen neue Herausforderungen wie das Ziel einer durchgängigen Simulation, in der auch Prozesse durchlaufen werden können, die für Designer nicht zugänglich sind. Einen Lösungsansatz dazu bietet DETAILS.



Abbildung 3.05: Reimund Wittmann von Nokia bei seinem Vortrag auf dem edaWorkshop07

Wittmann verwies auf die Erforschung von effizienten Methoden für den HF-IP-Schaltungsentwurf. Daraus basiert eine algorithmische Schaltungstechnik, die für 65 nm CMOS demonstriert wurde, so Wittmann. Auch eine sprachbasierte Full-Custom-Entwurfsmethodik

(SystemC / -AMS) entstand, die zu höherer Linearität, geringerer Verlustleistung, weniger Fläche und höherer Zuverlässigkeit führte. Die erfolgversprechenden Entwurfstechniken und die Automatisierungskonzepte für Analog-IP führten 2006 zur Gründung der IP GEN Rechte GmbH. Mit den Ergebnissen ist nun erstmals eine durchgängige statistische Modellierung des technologischen Prozesses möglich, dank der Monte-Carlo-Simulation mit neuartigem statistischen Design-Kit. Ausbeuteoptimierung und Designzentrierung sind ebenfalls verlässlich durchführbar. Ein weiterer Fortschritt durch DETAILS ist die Reduktion des Systemverifikationsaufwandes für Systeme mit HF-Komponenten anhand von dynamischen Design-Regeln.

Im Folgenden betrachtete Wittmann die für das Gigabit-Radio zugehörigen Systemmodelle. Zum Vergleich wurden diese Modelle in SystemC, SystemC-AMS und Verilog-AMS simuliert. In der HF-Entwurfsumgebung werden in SystemC automatisierte Schnittstellen von und zur Systemebene bereitgestellt. Dadurch können in der Systemsimulation auch Analogeffekte in den Modellen berücksichtigt werden, wodurch Details erhalten blieben, so Wittmann. Ebenso lassen sich auch die bestehenden SystemC-Systemtestbenches für die Verifikation der Analogkomponenten nutzen.

Die Projektziele von DETAILS wurden damit erreicht. Der Entwicklungsaufwand wurde deutlich reduziert, die Planungssicherheit erhöht. Eine Entwurfsplattform mit strukturiertem, interaktivem und zuverlässigem Arbeitsablauf ist nun vorhanden. Ebenso wurden Verfahren zur präzisen Systemplanung und Konzipierung unter Einbezug von geeigneten Test- und Kalibrierungsverfahren erarbeitet. Diese Entwurfstechnologie wurde an kritischen Anwendungsbeispielen im Bereich System, Schaltung und Bauelemente erfolgreich verifiziert. Kooperation, so betonte Wittmann, sei der Schlüssel für die Innovation gewesen. Dank interdisziplinärer Zusammenarbeit von führenden Chip- und Systemherstellern, CAD-Firmen und Forschungseinrichtungen, sowie dem engen Netzwerk benachbarter Förderprojekte konnten ohne Mehraufwand wichtige Themenfelder wie Low-Power oder das Gigabit-Radio einbezogen werden. Als ein Beispiel für diese fruchtbare Zusammenarbeit nannte er SAMS und die Kooperation beim Radio. Dank SAMS wurde ein SystemC-AMS-Gesamtmodell verwendet, welches sonst nicht in den Entscheidungsfluss gelangt wäre. Das Gigabit Radio sei am Anfang nur eine Idee gewesen, aber man hätte so viel Anschub erhalten, dass sich das Ganze zum Produkt entwickelt hätte. (Su)

Markus Olbrich vom IMS Hannover:

LEONIDAS+ – Fortschritte beim leitbahnenorientierten Entwurf

Das Projekt LEONIDAS+ präsentierte sich ebenfalls mit einem Vortrag im Rahmen des edaWorkshop. Die Ergebnisse des Projektes werden im in dieser Ausgabe

des Newsletters abgedruckten Abschlußbericht vorgestellt. Da der Vortrag eine Zusammenfassung des Abschlußberichtes war, wird an dieser Stelle auf eine Wiederholung verzichtet. Bitte lesen Sie den LEONI-DAS+ Abschlußbericht ab Seite 15. (Tr)



Abbildung 3.06: Markus Olbrich vom IMS Hannover bei seinem Vortrag auf dem edaWorkshop07

Bernd Becker von der Uni Freiburg:

FEST – Innovationen für die funktionale Verifikation von Systemen

Bernd Becker gab in seinem Vortrag einen Überblick über die erreichten Ergebnisse im Projekt FEST (Funktionale Verifikation von Systemen), welches seine Forschungsaktivitäten zum Juni 2007 beendete. Er startete mit der Beschreibung der Motivation zum Projekt, die sich aus dem drohenden so genannten „Verification Gap“ speist, durch den die Verifikation die Entwurfskosten von Halbleiterbausteinen zu dominieren droht. Es gäbe zwar große Fortschritte auf der Blockebene, aber immer noch viele Lücken, um zu einem durchgängigen Entwurfsprozess zu gelangen, so Becker. Im Projekt FEST wurden von den einzelnen Forschungspartnern dazu die nachfolgend genannten Ergebnisse erarbeitet.



Abbildung 3.07: Bernd Becker von der Uni Freiburg bei seinem Vortrag auf dem edaWorkshop07

An der Universität Frankfurt wurde eine Methodik zum „Mixed-Signal Model Checking“ erforscht. Über ein Frontend wird dabei eine Mixed-Signal-Netzliste in eine BDD-basierte digitale Beschreibungsform transformiert, die das analoge Verhalten abschnittsweise

nachbildet. Die so repräsentierte Schaltung wird gegen eine ebenfalls transformierte, digitale Spezifikation verglichen. Zur Verifikation dieser beiden digitalen Modelle werden auch Techniken aus der Digitaltechnik genutzt. Aus diesen Arbeiten ergaben sich CTL-Spracherweiterungen für AMS-Schaltungen zur Abbildung des Verhaltens einer Schaltung. Anhand von Beispielen wie Voltage Controlled Oscillator (VCO) und Phase Locked Loop (PLL) wurde die Wirksamkeit der Mixed-Signal Verifikation demonstriert.

Von der Universität Freiburg wurden die Ergebnisse zur einfacheren Eigenschaftsprüfung durch Ausblenden komplexer Module vorgestellt. Ziel war es dabei, das Debugging bei Systemen zu unterstützen, in denen spezifizierte Eigenschaften verletzt werden. Hierzu werden Komponenten durch Einführen von Black Boxes ausgeblendet. Durch eine Konstruktion von Gegenbeispielen mit einer reduzierten Anzahl von Komponenten soll dem Verifikationsingenieur eine bessere Fehlerklärung ermöglicht werden, die auch eine automatische Fehlerlokalisierung bei der Eigenschaftsprüfung unterstützt.

Die TU Kaiserslautern erreichte neue Ergebnisse zur Frontend-Modellgenerierung. Ihr Verifikations-Frontend ermöglicht nun die Modellierung von arithmetischen Prozessorkomponenten durch eine „Arithmetic Bit-Level (ABL)“-Beschreibung. Hierdurch ist jetzt erstmals die Modellierung und vollständige Verifikation von fest kodierten Festkommaarithmetiken sowie ein erhöhter Automatisierungsgrad bei der funktionalen Verifikation von SoC-Schnittstellen basierend auf parallelen Protokollen, wie beispielsweise das AMBA-Protokoll, möglich.

Die Universität Tübingen erforschte neue Methoden und Werkzeuge zur Verifikation hardwarenaher (HW) eingebetteter Softwarekomponenten (SW). Das Ziel war es, für die hardwarenahe Softwareverifikation einheitliche Modelle erstellen zu können, um aus einer Spezifikation die zu überprüfenden Eigenschaften zu extrahieren. Als Ergebnis erhält man automatisiert erstellte Modelle, die in einem Systemkomplex verifiziert werden können. Zur Verifikation von SW in einer HW-Umgebung begibt sich dabei das Projekt auf noch zu erforschende neue EDA-Anwendungsgebiete: Die Uni Tübingen arbeitete dazu im letzten Jahr an den drei Schwerpunkten „Eigenschaftsextraktion aus der Systemebene“, „Optimierung von formalen Verifikationstechnologien“ und „Semiformale hardwarenahe Software Verifikation“.

Die Arbeiten der TU Ilmenau konzentrierten sich auf die Verbesserung der Zeitverifikation auf Systemebene. Mit einer neuen Methodik zur Verifikation von Zeiteigenschaften und -restriktionen von funktionalen Systemmodellen ist es nun möglich, dass eine automatisierbare Transformation annotierter Modelle erfolgen kann, sowie die Verifikation dieses Analysemodells

Forschungspartner im Projekt FEST sind die Technische Universität Darmstadt, Technische Universität Ilmenau, Technische Universität Kaiserslautern, Universität Tübingen, Universität Frankfurt am Main und die Universität Freiburg. Weitere Informationen zum Projekt finden Sie hier: <http://www.edacentrum.de/clusterforschung/>.

durch eingebundene Model Checker. Zusätzlich wurde ein kombinierter Verifikationsansatz für spezielle „Discrete Event Models“ erforscht.

Ein weiterer Schwerpunkt im Projekt sind die Arbeiten der TU Darmstadt zu „Eigenschaftsbasiertes Design in der formalen Verifikation“, die im nächsten Vortrag von Prof. Hans Eveking nachfolgend detailliert erläutert wurden. Insgesamt verfolgte das Projekt mit seinen Aufgaben das Ziel, die Lücken für einen zusammenhängenden Verifikationsprozess über alle Abstraktionsebenen zu schließen. Dazu stellte Bernd Becker die Schnittstellen zwischen den individuellen Verifikationslösungen der Partner dar, um eine gemeinsame Verifikationsstrategie aus den Forschungsansätzen des Projekts dazustellen.

Ralf Pferdmenges von Infineon:

LEMOS – Was haben Chips und eine Herdplatte miteinander gemeinsam?

Die Diskussion des Titels leitete den Vortrag des Projektkoordinators, Ralf Pferdmenges, ein. Der wichtigste Unterschied von ICs gegenüber einer Herdplatte wurde gleich vorweg genannt: Die Hitze auf Herdplatten ist erwünscht. Dies ist bei der Wärmeentwicklung in Halbleiterbausteinen nicht der Fall. Durch die Miniaturisierung der Strukturgrößen steigert sich die flächenbezogene Wärmeentwicklung noch, so dass Energiedichten, wie sie in Atomkraftwerken oder Raketenantrieben auftreten, auch in ICs erreicht werden können. Ein Ergebnis ist, dass die Kühlung von ICs immer aufwändiger wird: Flüssigkühlung wie beim Vorbild Auto reduziert die Temperatur auf der Oberfläche, vermeidet aber nur die Hitze und nicht den Energieverbrauch. Diesen Ansatz kann man bei batterieabhängigen Anwendungen nicht wählen. Die ungünstige Zunahme der Wärme pro Flächeneinheit zwingt die Hersteller von ICs für mobile Anwendungen daher zum Umdenken.



Abbildung 3.08: Ralf Pferdmenges von Infineon bei seinem Vortrag auf dem edaWorkshop07

Die Ideen zum LEMOS-Projekt entstanden 2001, als das Bewusstsein in der Gesellschaft zum Einsatz von energiesparenden Techniken noch gering war. Dieses Thema ist heute umso aktueller. Die Vermeidung oder Reduktion des Energieverbrauchs wird in allen Anwendungsbereichen vorangetrieben. Die Ziele des Projekts waren, eine wesentliche Steigerung der Entwurfseffektivität und -produktivität beim Thema „Low Power“ zu erreichen. Hierbei sollte die Zahl verlustleistungsbedingter Re-Designs verringert und die Leistungsaufnahme reduziert werden.

Zu Beginn des Vortrags wurde ein kurzer Überblick zum Projekt gegeben, an dem mit ChipVision und Catena zwei deutsche EDA-Firmen beteiligt waren. Während der Projektlaufzeit wurde ein Katalog von Analogschaltungen und ein neues Transistormodell (EKV-Modell) mit einer höheren Genauigkeit zur Charakterisierung von Leckströmen entworfen. Dabei konnte bei den Analogschaltungen die Stromaufnahme teilweise drastisch reduziert werden. Ein Beispiel von Nokia wurde hervorgehoben, bei dem der Energieverbrauch für schnelle Flash-AD-Umsetzer um einen Faktor 10–20 reduziert werden konnte. Pferdmenges stellte auch fest, dass Ad-hoc-Methoden erfolgreicher als der Einsatz neuer Technologien waren. Als Beispiele hierfür nannte er den Einsatz von Mixed-Vth, Multi-Vt und die Einführung eines Sleepmodus für SRAMs (mit beispielsweise einem Energiegewinn um den Faktor 10).

Ein Demonstrator der Firma Bosch zeigte, dass es möglich ist, einen Reifendrucksensor mit 60 % Reduktion beim Energiefluss mit den LEMOS-Verfahren zu realisieren, der gleichzeitig die hohen Automobilanforderungen erfüllt. Hierdurch lassen sich für die Firma Bosch neue Marktsegmente erreichen. Der Demonstrator bildet einen Ausgangspunkt, um Produkte für Ultra-Low-Power und Low-Energie zu entwerfen. Die Bedeutung dieser Marktsegmente für Bosch wurde auch dadurch hervorgehoben, dass Bosch mit der Sensortec GmbH eine neue Firma gegründet hat.

Infineon verfolgt das Ziel, die LEMOS-Ergebnisse in den Standardentwurfsprozess InWay zu integrieren, um beispielsweise GSM-Chips in ihrer Stromaufnahme zu reduzieren. Mobilfunk-Geschäftspartner, wie die neu gewonnenen Kunden LG, Panasonic und Nokia, können in Zukunft bei neuen Produkten von der Reduzierung der Stromaufnahme profitieren. Ralf Pferdmenges schätzte den gewonnenen Vorsprung gegenüber der Konkurrenz und des EDA-Marktes auf 6 Monate bis zu einem Jahr.

Nokia formulierte seine Ziele zur Reduktion des Energieverbrauchs im Mobiltelefon, um Systemkosten durch beispielsweise kleinere Batterien zu reduzieren oder neue Funktionen bei gleichem Energieverbrauch zu integrieren. Catena konnte seine EDA-Werkzeuge in Hinsicht auf „Timing & Power Driven Layout“ deutlich verbessern und in dem Marktsegment der Windows-

basierten Layoutwerkzeuge seine Position verbessern. Auch konnte durch den Einsatz neuer Algorithmen und einer größeren Verdrahtungskomplexität die Fläche um bis zu 40 % reduziert werden. ChipVision verbesserte seine Methodik zur Optimierung auf Architekturebene und Transaction-Level-Modeling (TLM) Ebene, um im Bereich des Energieverbrauchs sein Angebot zu verbessern. So konnte ein Prototyp zur Modellierung und Verlustleistungsabschätzung von Bussen fertig gestellt werden. Er bietet eine Basis, um das Werkzeug ORI-

NOCO in Zukunft weiter zu verbessern. Diese Verfahren konnten erfolgreich an den Prototypen im Projekt demonstriert werden.

Zum Ende des Vortrags gewährte Ralf Pferdmenes noch einen Ausblick, den die Projektpartner in der Zukunft verfolgen wollen. System-in-Package (SIP), die Einbeziehung von Software zur Power-Optimierung, Nutzung von Re-Use, TLM und Power-Management werden bei ihnen zukünftige Forschungsschwerpunkte sein. (VS)

edacentrum verleiht EDA Medaille 2007 an Dipl.-Ing. Udo Steinkopf

www.edacentrum.de/awards.html

Auf dem diesjährigen edaWorkshop wurde Dipl.-Ing. Udo Steinkopf für sein Lebenswerk in Forschung und Lehre auf dem Gebiet Electronic Design Automation (EDA) mit der EDA-Medaille ausgezeichnet. Damit werden die herausragenden Leistungen und das hohe Engagement von Herrn Steinkopf für EDA während seiner langjährigen Tätigkeit bei Siemens, bei Infineon Technologies und für das edacentrum gewürdigt.

Udo Steinkopf hat die EDA-Geschichte in Deutschland intensiv beeinflusst. SPICE2-S, die Siemens-Version des legendären Netzwerkanalyseprogramms, ist eng mit seinem Namen verbunden. Später hat er wesentliche Beiträge auf den Gebieten der Layoutverifikation und der Logikemulation geleistet.

Udo Steinkopf lag stets die Kooperation zwischen Wissenschaft und Wirtschaft besonders am Herzen. Zahlreiche Forschungsprojekte zwischen Hochschulen und seiner Firma wurden von ihm initiiert und tragen seine Handschrift. Beispielhaft hat er darüber hinaus demonstriert, wie eine enge Kooperation zwischen EDA-Firmen und ihren Kunden bis hin zu einer gemeinsamen Source-Code-Entwicklung möglich ist. Sein unermüdlicher Einsatz für die Gründung und den Aufbau des edacentrum werden auch in Zukunft stets Vorbild und Ansporn sein.

Die EDA-Medaille 2007 wird einer Persönlichkeit verliehen, die die EDA-Entwicklung in Deutschland maßgeblich mitgestaltet und die Zusammenarbeit aller Beteiligten stets erfolgreich vorangetrieben hat. (Tr)



Dipl.-Ing. U. Steinkopf mit dem Vorstand des edacentrum e.V. zur Verleihung der EDA-Medaille 2007; v.l.n.r.: Dr.-Ing. J. Haase, Prof. Dr.-Ing. E. Barke, Dipl.-Ing. U. Steinkopf, Prof. Dr. rer. nat. W. Rosenstiel

Die Unternehmensprofile wurden bereits im „newsletter edacentrum 02 2007“ auf den Seiten 29 bis 31 vorgestellt.

Kooperationsmarkt 2007 – Routine oder noch Besonderheit?

Was haben wir Neues gelernt?

Dieses Jahr fand der vierte Kooperationsmarkt unter dem Motto „Markt sucht Innovationen, Ideen suchen Abnehmer“ statt und wie sieht das Resümee aus? Waren die Organisation und die Durchführung mittlerweile Routine? Was sind die genauen Vorteile der Teilnehmer? Nehmen Sie und wir den Kooperationsmarkt noch als etwas Besonderes wahr?

Um die Antworten gleich vorweg zu nehmen: Wir wissen es nicht genau – wir haben ein paar Rückmeldungen und ein paar Vermutungen. Abgesehen natürlich von der Frage zu Organisation und Durchführung – hier haben wir einen genauen Überblick und können vermelden: Es klappt wie am Schnürchen. Neu waren dieses Jahr die als Poster angenommenen Beiträge zum edaWorkshop: Dadurch wurde der Vortrag zum Kooperationsmarkt auf die Vorstellung dieser Posterbeiträge ausgedehnt. Wir haben gelernt: 14 Teilnehmer in einem Vortrag vorzustellen, führt nicht dazu, dass die Zuhörer sich alles merken können. Nächstes Jahr werden wir hier sicherlich ein anderes Vorgehen wählen.

Wie sieht es nun mit den Vorteilen der Teilnehmer aus? Wie im Vorfeld angekündigt fand der Kooperationsmarkt an beiden Tagen des Workshops statt. Von den Teilnehmern kam die Rückmeldung, dass sich die Teilnahme am Kooperationsmarkt lohnt – weil er in den edaWorkshop und die Posterausstellung integriert ist – weil man so gut wie alle treffen kann, die sich im Bereich der Ekompas-Projekte tummeln – weil das Drumherum so gelungen ist. Und wenn die Kaffecke bei den Postern wäre, gäbe es eigentlich nichts zu kritisieren.

Trotzdem fragen wir uns, ob das Angebot richtig und passend ist. Aus unseren Beobachtungen hat sich vor allem Eines ergeben: Der Kooperationsmarkt wird von vielen genutzt um Forschungsergebnisse zu präsentieren – und er wird eher von bereits bekannten Forschungseinrichtungen als von neuen Forschungseinrichtungen genutzt. Der ursprüngliche Gedanke, den

Teilnehmern zu ermöglichen neue Kontakte zu knüpfen, steht also nicht so stark im Vordergrund, wie die Möglichkeit seine Weiterentwicklungen zu präsentieren. Ist der Kooperationsmarkt also eher ein „Prototypenmarkt“? Wir wissen es im Moment nicht genau, werden unsere Beobachtungen aber für die Organisation des nächsten Kooperationsmarktes im Hinterkopf behalten.

Die Besonderheiten, die wir in dem Kooperationsmarkt sehen, sind zum einen das Programm, das wir kostenlos für die Teilnehmer erstellen, und zum anderen der Vorstellungsvortrag vor dem Plenum. Wir wurden sogar von den Ekompas-Projekten, die dieses Jahr keine Präsentation hatten, angesprochen, ob die sich jeweils nicht präsentierenden Projekte in Zukunft nicht auch in Form solch eines Kurzvortrags vorgestellt werden können. Diesen Vorschlag werden wir nächstes Jahr sicherlich aufgreifen.

Und für Sie hoffen wir natürlich, dass der Kooperationsmarkt etwas Besonderes ist und bleibt – die Möglichkeit aktuelle Forschungsergebnisse kennenzulernen und Kontakte zu knüpfen oder aufzufrischen. Im Anschluss möchten wir Ihnen noch einen kurzen Überblick (Kontaktinformation und Einordnung der Forschungsschwerpunkte in die edaMatrix) über die Forschungseinrichtungen geben, die dieses Jahr am Kooperationsmarkt teilgenommen haben.

Noch abschließend...

Der Kooperationsmarkt bietet eine gute Gelegenheit, Forschungsergebnisse der Industrie und anderen Forschungsprojekten vorzustellen. Nicht nur, dass die Teilnahme für alle Institutionen im Bereich EDA offen ist, das edacentrum unterstützt den Kooperationsmarkt auch durch zahlreiche Werbemaßnahmen über Druck- und Online-Medien. Das schafft mehr Aufmerksamkeit für ihr Institut. Merken Sie sich diese Möglichkeit für das nächste Jahr vor und sprechen Sie uns auf den Kooperationsmarkt 2008 an.

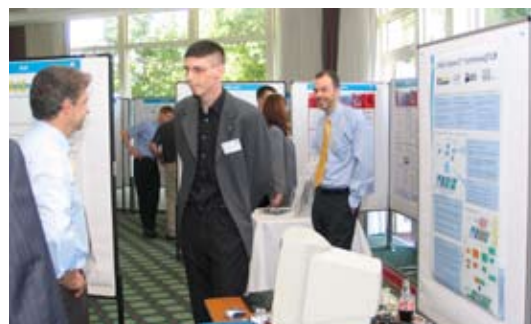


Abbildung 3.09: Angeregte Diskussionen vor den Postern des Kooperationsmarktes 07

Kont@kt:

Dr. Cordula Hansen
fon: (07 11) 2 80 79 56
hansen@edacentrum.de

OFFIS e.V. – Institut für Informatik
 OFFIS – Oldenburger Institut für Informatik

Dr. Jens-E. Appell
 Escherweg 2
 26121 Oldenburg

fon: +49 (4 41) 97 22 - 2 35
 fax: +49 (4 41) 97 22 - 2 82
 jens.appell@offis.de
 http://www.offis.de/hs



	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					

	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					



Technische Universität Dresden

Klaus Richter
 Fakultät Verkehrswissenschaften „Friedrich-List“
 Institut für Verkehrstelematik
 Professur für Verkehrsnachrichtensysteme
 01062 Dresden

fon: +49 (3 51) 4 63 - 3 67 60
 fax: +49 (3 51) 4 63 - 3 67 76
 klaus.richter2@tu-dresden.de
 http://tu-dresden.de/die_tu_dresden/fakultaeten/vkw/vis

Technische Universität München

PD Dr.-Ing. Walter Stechele
 Lehrstuhl für Integrierte Systeme
 80290 München

fon: +49 (89) 28 92 38 62
 fax: +49 (89) 28 92 83 23
 Walter.Stechele@tum.de
 www.lis.ei.tum.de



	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					

	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					



Universität Bremen

Dr.-Ing. Görschwin Fey
 AG Rechnerarchitektur, FB 3
 Bibliothekstr. 1
 28359 Bremen

fon: +49 (4 21) 2 81 - 86 50
 fax: +49 (4 21) 2 81 - 73 85
 fey@informatik.uni-bremen.de
 https://www.informatik.uni-bremen.de/agra

Universität Tübingen & FZI, Forschungsgruppe SIM

Professor Dr. rer. nat. Wolfgang Rosenstiel
 Wilhelm-Schickard Institut für Informatik
 Universität Tübingen
 Sand 13
 72076 Tübingen

fon: +49 (70 71) 29 - 7 54 82
 fax: +49 (70 71) 29 - 50 62
 rosenstiel@informatik.uni-tuebingen.de
 www.ti.informatik.uni-tuebingen.de/



	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					

	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					



Forschungszentrum Informatik (FZI)

Forschungsgruppe Systementwurf
 in der Mikroelektronik (SIM)
 Dr. rer. nat. Oliver Bringmann
 Haid-und-Neu-Str. 10–14
 76131 Karlsruhe

fon: +49 (7 21) 96 54 - 455
 fax: +49 (7 21) 96 54 - 456
 Bringmann@fzi.de
 http://www.fzi.de/sim

Universität ULM



Institut für Eingebettete Systeme/Ech-
 tzeitsysteme, Universität Ulm
 Prof. Dr.-Ing. Frank Slomka
 Albert-Einstein-Allee 11
 89081 Ulm

fon: +49 (731) 50 - 24 18 0
 fax: +49 (731) 50 - 24 18 2
 frank.slomka@uni-ulm.de
 http://www.informatik.uni-ulm.de/es/

	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					

	System Level	Architecture Level	Subsystem Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					



ZMD AG

ZMD AG
 Andreas Brüning
 Grenzstraße 28
 01109 Dresden

fon: +49 (351) 88 22 - 652
 fax: +49 (351) 88 22 - 606
 bruening@zmd.de
 www.zmd.biz

As the five events before, the edaForum07 brings together decision makers from industry and top-rated speakers from all over the world. It is organized by the edacentrum as part of its mission to overcome the design gap by collaborative actions of system and semiconductor companies, EDA vendors and research institutes.

Join edaForum07, December 6–7 in Munich!

The edacentrum cordially invites you to the sixth edaForum offering lots of opportunities in a relaxed atmosphere!

Currently we are witnessing the transition of microelectronics to the new world of nanoelectronics. This transition together with all its new options, such as "More Moore", "More than Moore" and "Beyond Moore" means completely new challenges concerning the design of future electronic systems. edaForum07 will demonstrate that EDA is a decisive factor to convert these new challenges to fabrication data by which the fabs can be fed in order to turn silicon-wafers into valuable chips.

„More Moore“ focuses on further scaling leading to higher speed and less power consumption enabling cheaper products. EDA has to master the exponentially increasing complexity and is faced not only with the increasing hardware design gap, but with an even larger software design gap. Therefore, edaForum discusses this year "how hardware and software can team up in a better way?" "More than Moore" allows functional diversification and means that new devices like RF, sensors, and actuators in even new technologies have to be developed and integrated, which do not necessarily follow the scaling of Moore's Law. Experts will share their view on the question "mixed signal integration: all done?"

edaForum taking place for the sixth time will stick to its successful and unique concept of combining technical and business-oriented topics. The combination of both fields is the special attribute that makes the edaForum so unique. It will be decisive for further developments in the field of nanoelectronics, if we are successful in gaining a foothold in new markets like health and medical applications. We therefore have invited experts to show how „microelectronics meets medicine.“ Last but not least our invited speakers will discuss with you the semiconductor industry consolidation. Many IDMs have been forced to remodel their businesses in order to become "fablite" or even fabless. We are curious about their and your answers to our question "how many will survive?"

Join us and seize the opportunity to discuss your questions with our invited experts concerning the challenges and possibilities of EDA. The edacentrum cordially invites you to this year's edaForum and I am really looking forward to welcoming you all in Munich. I hope to see you all there!



Prof. Dr. W. Rosenstiel, Chairman edacentrum



Hermann Eul
Member of the Management
Board, Executive Vice President,
Head of Communication Business
Group, Infineon Technologies AG

**"Beyond IC Design – Challenges
for the Next Generation of EDA
Software"**

Internet and Mobile Communication represent the revolution in communication technology in the past two decades. Only 17 years after release of the GSM standard more than 2.5 billion mobile phone users worldwide are registered in 2006. Market observers expect a sales volume of more than 1 billion handset devices in 2007. In the future the major growth potential in the mobile phone market is expected in the feature-rich segment of EDGE and WCDMA phones as well as in the low- and ultra-low cost market segments.

For the semiconductor industry and device manufacturers exponentially growing system complexity with even shorter time-to-market windows is the key challenge

in this market. In the feature-rich segment the desire for high speed internet browsing, mobile television and video download, mobile office applications and location based services drive innovation towards higher bandwidth and integration of highly complex systems.

In the low-cost segment on the other hand a significant growth is forecasted in emerging countries where 80 % of the new mobile phone subscribers are expected. Lowest cost per handset to reduce the entry barrier for new subscribers is the key success factor for operators in these markets.

In May 2007 Infineon has released the 2nd generation of an Ultra Low Cost mobile phone system platform.

During the development of this platform we faced the challenge that the available EDA tools do not sufficiently support the development of such complex systems. We derived 3 major areas in which we expect the EDA industry to contribute with innovative solutions in the near future. Especially the larger EDA vendors are required to move here more quickly as they provide key components of the EDA design system infrastructure used by the semiconductor industry.

Location

Munich Marriott Hotel
Berliner Straße 93
80805 Munich
Germany
Phone: +49 89-36 00 20
Fax: +49 89-36 00 22 00
See also: www.marriott.de

Business Session 1, December 6, 2007, 2:20 pm – 5:05 pm

“Wouldn’t it be nice” – Microelectronics Meets Medicine

Following its triumphal procession, microelectronics is close to a next wave of useful applications. Medical equipment in its widest sense is a very promising candidate.



Bernhard Wolf

Head of the Heinz-Nixdorf
Chair for Medical Electronics
Director of Institute of Medical Engineering (IMETUM)
Technical University of Munich



Bernd Flick

Institute for electronics and
medical signal processing
Technical University of Berlin



Thomas Schweizer

General Manager
Aipermon GmbH & Co. KG



Matthias Schönermark

Professor of Management,
Hannover Medical School

Technical Session 1, December 6, 2007, 2:20 pm – 5:05 pm

“Still haven’t found what I’m looking for” – Mixed Signal Integration: All done?

Looking for Mixed-Signal Integration must be hard, because the problems are big, the market is small and the success is an iterative process.



Georges Gielen

ESAT-MICAS, Department
of Electrical Engineering
Katholiek Universiteit
Leuven



Werner Geppert

Head Design Methodology
Communication Solutions,
Base Technologies and Services
Infineon Technologies AG



Oscar Buset

President
Kimotion Technologies



Wolfgang Fichtner

Senior Vice President and
General Manager
Silicon Engineering Group
Synopsys, Inc.

Business Session 2, December 7, 2007, 9:00 am – 11:25 am

“I will survive” – Semiconductor Industry Consolidation: How Many Will Survive?

Nowadays the system of global, diverse and complex businesses is a risky environment where you legitimately ask for survivors.



G. Dan Hutcheson

CEO
VLSI Research Inc



Craig Johnson

Corporate Vice President,
Marketing and Strategy
Cadence Design Systems, Inc.



Thilo von Selchow

CEO and President
ZMD AG



Josef Winnerl

Vice President
Technology Development
Communications Business Group
Infineon Technologies AG

Technical Session 2, December 7, 2007, 9:00 am – 11:25 am

“Let’s stick together” – Hardware and Software Team up!

Different people, different habits, different cultures, but the same task: Stick together to achieve a common goal.



Mikko Terho

Vice President and
Nokia Fellow
Nokia Corporation



Stefan Koerner

Senior Technical Staff Member
IBM Entwicklung GmbH



Hans-Christian Reuss

Chair of Automotive
Mechatronics
Research Institute of
Automotive Engineering and
Vehicle Engines Stuttgart (FKFS)



Jean-Marie Saint-Paul

European Manager
SoC Solutions
Mentor Graphics

For recent Information
about edaForum07 see
www.edacentrum.de/edaforum

Cont@ct
edacentrum
Ms. Maren Sperber
fon: +49 5 11 7 62 – 1 96 99
fax: +49 5 11 7 62 – 1 96 95
edaforum@edacentrum.de



Die Design Automation Conference 2007 ist zurück in San Diego, CA

Einige Highlights und etwas zur ausführlichen Berichterstattung von der weltweit wichtigsten EDA-Konferenz

Die Highlights: Automotive, Power, BDA

Im Gegensatz zur diesjährigen DATE in Nizza, auf der Multi-Prozessor-Systeme und die dazugehörige Software das alles beherrschende Thema darstellten, waren die wichtigen Themen der DAC weniger offensichtlich.

Die Automotive-Keynote, gehalten von Larry Burns, General Motors, wurde zwar von einigen Kommentatoren als zu wenig inspirierend beschrieben, das Automotive-Panel hingegen war zweifelsohne ein Höhepunkt der DAC. Die hochkarätige Besetzung, unter ihnen Wally Rhines, CEO von Mentor Graphics und Alberto Sangiovanni-Vincentelli, Professor an der UC Berkeley, diskutierte mit großem Engagement die Anforderungen an zukünftige technische Entwicklungen und den Weg dorthin. Wir dürfen uns aus diesem Segment wohl noch auf einige Überraschungen gefasst machen, denn laut Sangiovanni-Vincentelli wird das Auto der Zukunft ein elektronisches Produkt sein, bei dem die mechanischen Elemente immer mehr in den Hintergrund treten werden.

Ein weiteres wichtiges Thema war sicherlich Power. Insbesondere Power-Analysen und Optimierungsmög-

lichkeiten zu frühen Design-Phasen, sowie Virtuelle Prototypen, die Aussagen über den Stromverbrauch zulassen, wurden von den EDA-Herstellern gefordert. Offensichtlich wird das Thema von eben diesen aber nicht als gewinnträchtig betrachtet, denn nur so ist es zu erklären, dass keiner der großen drei EDA-Hersteller sich des Themas „in Gänze“ annimmt.

Jan M. Rabaey, Professor an der University of California, Berkeley, war es vorbehalten, das Memorial zum Gedenken an seinen im Januar 2007 viel zu früh verstorbenen Kollegen, Dekan und Professor A. Richard Newton, zu halten. Richard Newton hatte sich in seinen letzten Lebensjahren zunehmend dem Biological Engineering gewidmet. Diese Disziplin hat sich zum Ziel gesetzt, die in der EDA-Industrie erfolgreich angewendeten Strukturen und Methoden analog auf die Entwicklungen in der Biologie abzubilden (Biologic Design Automation, BDA). Rabaey verstand es in seiner fesselnden Keynote eine Laudatio ganz anderer Art zu halten. Darin wurde besonders hervorgehoben, dass Newton durch seine Visionen die Grenzen der wissenschaftlichen Disziplinen zu überbrücken wusste, was ihn zu einem außergewöhnlichen Forscher und Treiber im Ingenieurwesen machte. (Ne)

Die Berichterstattung: edaTrend DAC07

Auch in diesem Jahr hat unser Redaktionsteam die auf der DAC thematisierten industrie- und business-relevanten Trends gesammelt und diese in dem am 25. Juli 2007 erschienenen „edaTrend DAC07“ in englischer Sprache auf über 70 Seiten zusammengefasst.

Erstmals seit der Geburt der Trendberichte im Jahr 2002, sind diese nun auch öffentlich verfügbar. In den zurückliegenden Jahren wurden die Trendberichte zur DAC und DATE exklusiv für die Mitglieder und Projektpartner des edacentrum erstellt.

Um einen ersten Eindruck über die Inhalte und die Qualität des „edaTrend DAC07“ zu erhalten, können Sie sich hier einen Auszug aus diesem Bericht anschauen.

Wenn sie die Qualität des Berichts überzeugt hat, können sie diesen bequem über unseren Web-Shop bestellen. Dort haben Sie die Wahl zwischen einer gedruckten oder einer elektronischen Version (Paper-

back oder PDF-Datei). Die elektronische Version wird beim Bestellvorgang für Sie personalisiert und kennwortgeschützt. Das Kennwort erhalten Sie nach dem Herunterladen des Berichts per E-Mail.

Der reguläre Preis für die edaTrend-Berichte von DATE und DAC beträgt jeweils EUR 250,-. Für Universitäten und Forschungseinrichtungen sowie für Mitglieder von Partnerorganisationen gewähren wir attraktive Sonderkonditionen. Nähere Informationen erhalten sie dazu in unserem Web-Shop.

[edaTrend DAC07 kostenlos für Mitglieder und Projektpartner](#)

Für Mitglieder und Partner der Ekompas-Projekte des edacentrum ist der diesjährige edaTrend DAC in der PDF-Version noch einmal kostenfrei. Um sich Ihren personalisierten und kennwortgeschützten Bericht herunterzuladen, besuchen sie bitte die speziell dazu eingerichtete Seite (s. Randspalte) Halten sie dazu das ekompas Mitglieder-Kennwort bereit und folgen sie den Anweisungen. (DR)



Den edaTrend DAC07 erhalten Mitglieder und Projektpartner kostenlos unter www.edacentrum.de/mitglieder/intern/edaTrend-DAC07/.

Informationen zu den edaTrend-Berichten von der DAC- und der DATE finden Sie unter www.edacentrum.de/edatrend/.

Ein Auszug aus den „edaTrend“-Berichten ist unter www.edacentrum.de/edatrend/ verfügbar.

Den edacentrum Web-Shop für edaTrend-Berichte finden Sie unter <https://secure.edacentrum.de/shop/>

Alex & Bill – Aufsetzen zum Kick-off

Es gibt einiges zu beachten, um weniger zu stolpern



Sonntags geht's zum Fußball

Alex schrie sich die Lunge aus dem Hals: „Sascha, lauf vor, verdammt noch mal, Du musst mit vor...“. Aufgeregt versetzte er dem Geländer einen Schlag mit der Hand. Sein Sohn hatte sich in Bewegung gesetzt und spurtete auf der linken Seite mit nach vorn. „Nein, den Ball nicht über die Mitte, über die Seite... links. Links rüber spielen... Roland, spiel den Ball an Sascha“. Roland spielte unbeirrt über die Mitte, wurde von zwei Abwehrspielern geblockt und verlor den Ball. Alex drehte sich am Spielrand um und schimpfte. „So klappt das doch nie. Die haben immer noch nicht kapiert, dass man zusammenspielen und abgeben muss. Was bringt der Trainer denen eigentlich bei?“ Ines legte Alex die Hand auf die Schulter. „Alex, die Jungen sind erst 10 Jahre alt. Könntest Du das bitte bedenken.“

„Na und“, fauchte Alex sie an, „wenn der Trainer nur ein Quäntchen von Strategie verstünde, würde das hier anders laufen. Hast Du gesehen, wie unsere Abwehr hinten rum hing und noch nicht mal mit vor lief. Die kennen nicht einmal ihre Rollen. Eine Katastrophe.“ Ines seufzte. Die anderen Eltern und vor allem der Trainer warfen bereits Blicke zu ihnen herüber. Ines konnte sich noch gut an das letzte Mal erinnern, als der Trainer und Alex aufeinander losgegangen waren.

„Alex, komm wir gehen. Ich habe nicht das geringste Interesse auf so eine Szene wie letztes Mal. Volker macht das Training sehr engagiert und ohne ihn würde es keine E-Jugend geben. So viele Trainer gibt es jetzt auch nicht.“

„Ach verdammt, man könnte so viel erreichen, wenn sie nur lernen würden abzugeben.“

„Jetzt hör endlich auf. Wenn du es besser kannst, dann stell du dich doch zwei Mal die Woche und an den Wochenenden auf den Sportplatz. Volker ist wenigstens für die Kinder da.“

„Ines, nicht immer reicht es, etwas nur zu tun. Man sollte auch wissen, wann man sich Unterstützung holen sollte. Ich gehe mir jetzt einen Kaffee holen.“

Eine greifbar nahe Bewilligung

Am nächsten Tag im Büro saß Alex gerade über einen Entwurf, als das Telefon klingelte. „Lister.“

„Hallo, Herr Lister, hier ist Gracia Torner. Ich habe vorhin einen Anruf vom Projektträger bekommen mit

guten Nachrichten. Die Bewilligungen werden demnächst rausgehen.“

„Das klingt gut. Wissen sie, wann die Unterlagen hier bei uns sein sollen?“

„Sie sollen im Laufe der nächsten zwei Wochen rausgehen. Der Sachbearbeiter meinte, wir können direkt mit den Arbeiten beginnen. Ich könnte die Projektpartner informieren und die Organisation des Kick-off-Treffens in Angriff nehmen.“

Alex ließ seine Augen zur Decke schweifen. Ihr Übereifer war manchmal wirklich anstrengend. Hatte sie denn immer noch nicht gelernt, die Dinge etwas entspannter zu betrachten?

„Frau Torner, die Projektpartner können sie gerne informieren. Dann können wir uns alle geistig schon einmal auf das Projekt vorbereiten. Aber mit der Organisation des Kick-offs warten wir noch. Bevor die Bewilligungen nicht tatsächlich vorliegen, kann ich hier weder Ressourcen freistellen lassen noch Dienstreisen beantragen. Das wird den anderen ähnlich ergehen. Und ihre Vorlagen werden sie voraussichtlich ja sowieso bereits fertig haben, so dass es kein Problem sein wird, diese auf Abruf zu versenden. Richtig?“

Alex hörte, wie sie am anderen Ende kurz tief einatmete. „Wie sie meinen, Herr Lister. Und sie halten es wirklich nicht für sinnvoll, schon einmal einen Termin abzuklopfen? Sie wissen doch, wie schwierig es ist, alle unter einen Hut zu bekommen.“

„Nein, definitiv nicht. Solange die Bewilligungen nicht da sind, bleibt jeder Termin unverbindlich und wird von bereits laufenden Projekten schnell beansprucht. Da kann man es auch gleich bleiben lassen.“ Alex hörte Gracia noch resigniert zustimmen, dann legte er auf. Nach einem kurzen Blick auf die Uhr wandte er sich wieder seinem Entwurf zu. In einer Stunde war er mit Bill in der espressobar verabredet. Das reichte vielleicht sogar noch, um sich ein paar Notizen zu machen.

In der espressobar

Bill saß bereits an seinem Stammsplatz, einen Espresso vor sich, als Alex eintraf.

„Was würdest Du eigentlich machen, wenn die Bar hier schließt?“, erkundigte sich Alex, als er sich neben Bill auf einen Barhocker fallen ließ.



Alex Lister

(soziale) Rolle: die Summe von Erwartungen an das (soziale) Verhalten eines Menschen, der eine bestimmte (soziale) Position innehat; ein gesellschaftlich bereitgestelltes Verhaltensmuster, das in bestimmten Situationen ausgeführt werden kann oder muss [1].

Kontakt und Autorin:
Dr. Cordula Hansen
fon: (07 11) 28 07 - 9 56
hansen@edacentrum.de

Bill lehnte sich ungerührt gegen die Theke, als wäre es nicht wichtig. „Meine Mittagspause verlängern. Im nächsten Stadtteil gibt es auch eine sehr gute Bar.“

„Immer einen Plan B, was?“

Bill nickte. „Und wie läuft es mit dem Projekt? Neuigkeiten?“

„Frau Torner hat vorhin angerufen. Die Bewilligungen müssten in den nächsten zwei Wochen eintrudeln.“

„Das ist gut. Was wirst du als nächstes tun?“

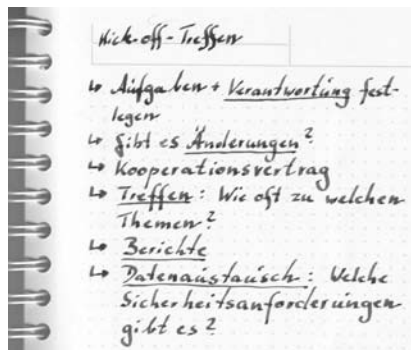
„Wir müssen uns bald um das Kick-off kümmern.“

„Ja, das solltet ihr so früh wie möglich machen – aber das ist dir sicher selbst klar.“

Alex runzelte die Stirn, dann zog er sein Notizbuch aus der Tasche und legte es auf den Tisch. „Ich habe mir ein paar Stichpunkte aufgeschrieben. Du hast so was doch schon häufiger gemacht. Was ist aus Deiner Sicht unbedingt erforderlich? Mir fällt da nur der übliche Kram ein.“ Bill winkte die Bedienung heran, bestellte für Alex ebenfalls einen Espresso und sah dann auf die Notizen, die Alex vor ihm aufgeschlagen hatte.



Bill Rogner



Rolle: Aufgrund des temporären Charakters von Projekten spricht man in der Projektorganisation meist nicht von Positionen sondern von Rollen. Rollen werden beschrieben durch Rechte, Pflichten und Aufgaben. [2]

Bill zeigte auf den ersten Punkt. „Rollen, Verantwortung und Aufgaben festlegen – das ist wichtig. Man denkt am Anfang immer, jeder weiß Bescheid und es erübrigt sich über so etwas Selbstverständliches wie die Aufgaben des Projektkoordinators oder der Arbeitspaketleiter zu reden. Und wenn man es doch tut, merkt man, dass jeder seine eigene Vorstellung hat. Wenn jeder sich über seine Rolle und seine Verantwortung klar ist, ist das fast die halbe Miete.“ Bill grinste. „Und man hat immer jemanden, dem man auf den Füßen stehen kann.“

Alex nahm von der Kellnerin seinen Espresso entgegen und konnte sich das Grinsen ebenfalls nicht verkneifen. Das konnte er sich bei Bill gut vorstellen. Einige, die mit Bill in einem Projekt gearbeitet hatten, hatten sich bei Alex über die verdammte Zucht und Ordnung beschwert. Aber er konnte sich nicht erinnern, dass einer sich jemals beschwert hätte, nicht gewusst zu haben, was seine Aufgabe war. Alex wand sich wieder Bill zu. „Man kommt sich nur so albern vor, über die

Rolle eines Projektkoordinators zu sprechen. Als wenn man einem Gymnasiasten die Grundrechenarten erklären will.“

„Ja, manchmal kommt man sich so vor. Aber wenn man dann über die Begriffe redet, stellt man meistens fest, dass man mit seiner Definition alleine da steht und am Ende ist man froh, wenn man eine gemeinsame Sprache gefunden hat. Schon seltsam, wie unklar die scheinbar klarsten Dinge oft sind.“ Bill schüttelte den Kopf, hob seine Tasse und nahm einen Schluck Espresso.

„Ist sonst noch was zu beachten?“

Bill warf wieder einen Blick auf die Notizen. „Änderungen? Wenn du Glück hast, gibt es keine. Schlecht ist, wenn es Sperrungen gibt, oder Projektteile erst später bewilligt werden oder wenn dir die Ressourcen weg brechen. Aber schlimm ist das erst, wenn es die Experten betrifft, die für das Projekt unbedingt notwendig sind. Dann solltet ihr frühzeitig überlegen, wie ihr damit umgeht und vor allem das Gespräch mit dem Fördergeber suchen.“

„Ok, aber davon gehe ich jetzt nicht aus.“

„Einen Punkt hast du noch vergessen: Öffentlichkeitsarbeit. Die ist bei Förderprojekten immer sehr wichtig, vor allem wenn man noch Weitere machen will. Frau Torner wird dir dazu sicherlich einiges erzählen können. Die ist da mehr auf dem Laufenden als ich.“

Alex seufzte. „Na gut, dann werde ich sie mal befragen. Sie hat bestimmt mehr Ideen als mir lieb ist.“

„Ja, da könntest du recht haben.“ Bill lachte und gemeinsam stießen sie mit dem Espresso auf das Projekt an.

Zur Schulaufführung

„Schon da? Ich habe noch gar nicht mit Dir gerechnet. Alles OK?“ Ines sah kurz zu Alex hoch, der noch in Jacke und mit Tasche in der Hand im Wohnzimmer stand, konzentrierte sich dann aber wieder darauf eine undefinierbare braune Masse in das Gesicht ihres jüngsten Sohnes Pete zu schmieren. Sascha fuchtelte unterdessen mit einem Schwert in der Gegend herum und rief nur kurz: „Hi, Paps“.

Alex warf seine Jacke über den Schreibtischstuhl und legte seine Tasche auf den zugehörigen Tisch. Beides war in einer kleinen Nische im Wohnzimmer untergebracht. „Ja, alles OK. Es gibt ein paar gute Nachrichten.“

„Moment, ich bin gleich soweit.“ Ines zog einen letzten gelb-grünlichen Strich durch Pete's Gesicht und schickte ihn und Sascha hoch, um ihre Kostüme zu holen. „Und streicht mit euren Gesichtern nicht an der Wand lang!“ Mit einem Seufzer ließ sie sich auf das

Sofa fallen. „Mensch, bin ich froh, wenn wir die Aufführung heute Abend überstanden haben.“

„Willst Du was trinken?“ – „Ja, das ist eine gute Idee.“

Alex holte zwei Gläser Sprudel und setzte sich neben sie. „Unser Forschungsprojekt wird in den nächsten zwei Wochen bewilligt. Eigentlich können wir mit den Arbeiten schon anfangen.“

„Sind das gute Nachrichten?“ Ines runzelte die Stirn. „Für mich hört sich das anders an.“

Alex stellt sein Glas auf den Tisch. Ein Teil des Sprudels schwappte über. „Ja, es sind gute Nachrichten. Es bedeutet, dass die ganzen Vorarbeiten, die wir in dieses Projekt gesteckt haben, nicht umsonst waren und dass wir die Chance haben, mit den anderen Firmen zusammenzuarbeiten. Kannst Du Dich nicht einfach mal mit mir freuen.“

„Das wäre einfacher, wenn es nicht gleichzeitig heißen würde, dass wir Dich wieder weniger sehen.“

„Davon war doch gar nicht die Rede. Den größten Teil der Arbeiten wird Frau Torner übernehmen. Sie will jetzt sogar schon das erste Treffen organisieren. Ihr Eifer ist kaum zu bremsen. Ich weiß, dass ich Familie habe und auch was ich Dir versprochen habe. Verdammst noch mal.“

„Tut mir leid. Mir liegt das letzte Jahr noch in den Knochen.“ Ines stand auf, als die beiden Jungen die Treppe runterpolterten, die Kostüme in der Hand und wie immer streitend.

Alex seufzte. „Könnt ihr zwei nicht einmal friedlich miteinander umgehen. Himmel, wo habt ihr das nur her.“ Er sah zu Ines rüber und grinste sie an. Ines verdrehte die Augen.

Drei Stunden später standen Alex und Ines mit einem Glas Sekt in der Hand hinter der Bühne und stießen mit den anderen auf die Aufführung ihrer Kinder an. Alex war überrascht. Von letztem Jahr hatte er noch gut in Erinnerung, wie froh er war, in der letzten Reihe zu sitzen. Allein das Chaos der Auf- und Abgänge hatte seinen Organisationssinn sehr in Mitleidenschaft gezogen. Dieses Mal konnte er die Aufführung fast als professionell bezeichnen – sogar zwei mittelalterlich gekleidete Musiker waren aufgetreten und hatten für die richtige Stimmung gesorgt. Alex stupste Ines an. „Das hättest du mir ruhig früher erzählen können, dass du das ganze mitorganisiert hast.“

„Sollte eine Überraschung sein.“

„Die ist dir auch gelungen. Führt ihr das Stück eigentlich noch woanders auf? Es wäre doch schade, die ganze Arbeit für nur eine Aufführung.“

Ines sah Alex überrascht an. „Stimmt, daran haben wir noch gar nicht gedacht. Das ist eine gute Idee.“

Alex sah Ines nachdenklich an, dann stellte er sein Glas zur Seite und zog sein Notizbuch heraus. Ines zog die Stirn kraus. „Suchst du etwa nach freien Terminen in deinem Kalender?“ Alex lachte. „Nein, ich habe doch glatt vergessen, dass Stichwort Verwertung für das Projekttreffen zu notieren.“

Bewilligungsbescheid erhalten

„Alex, hier ist Wayne.“

„Oh hallo, Wayne. Wie sieht es bei euch aus? Wenn du anrufst, tippe ich mal, dass die Bewilligungsbescheide bei euch auch angekommen sind.“

„Ja, ich habe in unserer Firma bereits alles in Gang gesetzt. Wir haben allerdings ein Problem. Unser Experte, der für die Arbeiten vorgesehen war, hat gekündigt und wird uns in knapp vier Wochen verlassen. Wir haben zwar noch jemanden, aber als ich bei ihm wegen Ressourcen angefragt habe, hat er nur gelacht und gemeint, er hätte in drei Jahren noch ein wenig Zeit.“

Alex ließ sich in seinen Stuhl zurückfallen und stöhnte. „Eure Arbeiten starten doch direkt am Anfang und wenn ich mich recht entsinne, sind einige Zulieferungen von euch als Grundlage für andere Beiträge eingeplant. Wie sieht es denn damit aus?“

„Tja, ich sehe zu, was ich machen kann. Aber du weißt ja, wie das ist. Bis wir jemanden für diese Aufgaben gefunden haben, werden bestimmt zwei, drei Monate ins Land gehen. Experten wachsen nicht auf Bäumen.“

„Ja, ich weiß. Das ist bei uns nicht anders. Ok, am besten sprechen wir auf dem Kick-off darüber. Der Termin klappt?“

„Von unserer Seite ja. Ich habe Frau Torner bereits Bescheid gegeben.“

„Gut, wir sehen uns.“ Alex legte auf und warf einen Blick aus dem Fenster. Von seinem Platz aus sah er direkt auf das nächste Gebäude. Auch nur Menschen, die arbeiteten. Er seufzte. Einer ihrer Unterauftragnehmer wartete noch auf die Freigabe durch das Ministerium und jetzt diese Nachricht. Das fing ja gut an.

Letzte Vorbereitungen zum Kick-off

Gracia machte eine schnelle Notiz auf ihren Block und sah Alex dann an. „Herr Lister, bevor wir weiter machen, fasse ich den bisherigen Ablauf noch einmal zusammen: Kurze Begrüßungsrunde, dann die Festlegung von Rollen und Aufgaben. Besonders klären müssen wir die Verantwortlichkeiten für den Projektkoordinator, den Projektmanager, die Arbeitspaketleiter, das Projekt-Management-Team und für

Rolle (darstellende Kunst):
a) von einem Schauspieler, Sänger, Tänzer darzustellende Gestalt; b) der dem einzelnen Darsteller zugeteilte Text. Früher war der Schauspieler oft auf ein Rollenfach spezialisiert, z. B. jugendlicher Held, Naive; moderne Regie und Schauspielerausbildung vermeiden solche Festlegungen. [1]



Gracia Torner

die verantwortlichen Ansprechpartner jeweils für die Projektpartner und Unterauftragnehmer.“ Gracia stockte, fuhr dann fort: „Himmel, das hört sich viel zu umständlich an, für die Ansprechpartner brauchen wir noch einen Begriff.“

Alex winkte ab. „Das können wir später noch klären.“

„Gut, dann kommen die Vereinbarungen zu den Berichten und Treffen und zum Datenaustausch. Jetzt blieben noch übrig die Themen PR, Zusammenarbeit, Verwertung, Projektstatus und Änderungen.“

„Ich würde vorschlagen, dass wir diese in genau der Reihenfolge behandeln, die sie gerade genannt haben. Das Organisatorische sollten wir erst abschließen, bevor wir uns überlegen, wie wir mit der jetzigen Situation umgehen.“

Gracia sah wieder auf ihre Notizen und Alex wurde zum ersten Mal bewusst, dass er angefangen hatte wie Gracia wieder auf Papier zu schreiben. Er sah ebenfalls auf seine Notizen. Schreiben hatte für ihn tatsächlich etwas Beruhigendes. Mit halbem Ohr hörte er, dass Gracia angefangen hatte etwas zu sagen und wand seine Konzentration wieder der Besprechung zu. „Das Thema PR könnte ich wieder präsentieren. Auf meiner Liste stehen Pressemeldungen, Projektwebseite – öffentlich und intern, Publikationen und wie der Freigabeprozess bei den Projektpartnern aussieht. Außerdem stellt sich noch die Frage nach Logo, Projektflyer und Konferenzauftritten.“

„Wie sieht es mit Postern aus?“

„Die sollten wir auf jeden Fall einplanen. Wir haben Vorlagen vom Projektträger aber auch eigene Vorlagen – je nachdem, was wir machen wollen. Am Anfang wäre ein Übersichtsposter nach Vorlage des Projektträgers sinnvoll. Erste Inhalte könnten wir aus der Vorhabenbeschreibung übernehmen.“

„Gut, was sehen sie beim Thema Zusammenarbeit?“

„Nun, wir haben zum einen die interne Zusammenarbeit und natürlich noch die Externe. Zur internen würde ich vorschlagen, dass wir die Beiträge der Projektpartner noch enger verzahnen. Ein gemeinsamer Demonstrator wäre meiner Meinung nach sehr sinnvoll und auch möglich. Das hätte auch in Hinblick auf die Verwertung Vorteile. An einem Demonstrator können Konzepte viel deutlicher präsentiert werden und die Anwendungsmöglichkeiten werden klarer. Und man hat etwas, dass man dem Fördergeber zeigen kann.“

„Ein gemeinsamer Demonstrator?“ Alex runzelte die Stirn. „Na, da werden die Projektpartner nicht

begeistert sein. Allein der Aufwand, einen gemeinsamen Flow zu definieren.“

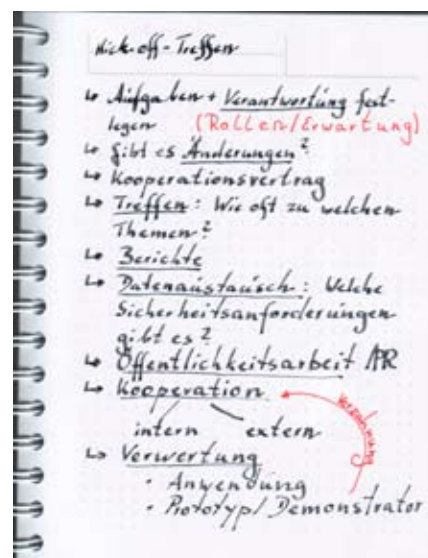
„Ja, aber es lohnt sich. Die Arbeiten würden viel stärker zusammenfließen und wenn es irgendwo klemmt, wird es schneller sichtbar, als wenn nur einer an seinem eigenen Beispiel arbeitet. Außerdem fokussiert ein gemeinsamer Demonstrator die Arbeiten viel stärker.“ Gracia fuhr sich durch die Haare, die in einem unordentlichen Wirbel von ihrem Kopf abstanden.

„Hm, ja, das ist eine Möglichkeit.“ Alex schwieg einen Moment, wieder ein Thema, das Gracia wohl am Herzen lag, dann fuhr er fort: „Ok, nehmen sie das als extra Punkt in den Vortrag auf und dann sehen wir mal, was die anderen dazu sagen. Schwierig wird es natürlich, wenn sich bei Wayne Storbegg das Ressourcenproblem nicht zügig löst. Bei einem gemeinsamen Demonstrator könnte das noch einmal besonders ins Gewicht fallen. Haben sie mal durchforstet, welche Beiträge davon eventuell betroffen sind?“

„Ja, es gibt einige, die davon abhängen. Aber aus meiner Sicht lässt sich das noch abfangen, sofern es nicht wirklich viel mehr als drei Monate sind und sie dann verstärkt an dem Thema arbeiten. Wir werden aber vermutlich zwei Jahre der Laufzeit benötigen, um mit allen Meilensteinen wieder im Plan zu liegen.“

„So etwas habe ich befürchtet. Bereiten sie auf jeden Fall etwas vor, aus dem die Abhängigkeiten hervorgehen. Dann können wir schnell reagieren, falls sich das Problem hinzieht.“

Alex sah auf seine Notizen, die sich doch um ein paar Punkte erweitert hatten. „Ich denke, wir sind soweit durch. Den Rest können wir am Telefon abklären.“



Gracia klappte ihre Unterlagen zu und erhob sich. Alex verabschiedete sie und ging rüber zu seinem Schreibtisch. Er war gespannt, wie das Treffen ablaufen würde.

[1] Meyers Lexikon online, lexikon.meyers.de

[2] Projektmagazin, Das Fachmagazin im Internet für erfolgreiches Projektmanagement, www.projektmagazin.de

4 Panorama

Meldungen

www.edacentrum.de/newsletter/

Firmen: EE Times, vom 19.6.2007

NXP connects cars to the outside world

Chip maker NXP sees multiple opportunities to create new automotive applications through the combination of diverging communications technologies. These applications center on telematics and comfort electronics. Not in all cases, however, they will help to increase the driver's comfort.

Firmen: channel-e, vom 19.6.2007

Synopsys erwirbt ArchPro

Für eine nicht veröffentlichte Summe übernimmt Synopsys die privat geführte ArchPro Design Automation. Das Unternehmen entwickelt Tools zum Simulieren und Verifizieren des Power Managements in sogenannten Multi-Voltage-Designs. Damit werden das unter Power-Gating sowie die dynamische Frequenz- und Spannungsskalierung erledigt. ArchPro hat seinen Hauptsitz in San Jose, Kalifornien und betreibt Designzentren in Tokio und Bangalore.

Firmen: elektroniknet, vom 22.6.2007

32 nm im Visier: BASF und IBM kooperieren

BASF und IBM wollen in Zukunft gemeinsam Materialien für die Halbleiterherstellung entwickeln.

Firmen: Heise Newsticker, vom 6.7.2007

Silicon Saxony startet Fachkräfte-Netzwerk

Silicon Saxony verstärkt seine Initiativen zur Gewinnung von Fachkräften. Nach dem „Kompetenzhaus Bildung“ für Aus- und Weiterbildung soll ein neues Jobportal im Internet die Suche nach Fachkräften unterstützen, wie Silicon Saxony – die Vereinigung von Unternehmen und Forschungseinrichtungen der sächsischen Halbleiter-, Elektronik- und Mikrosystemindustrie – mitteilte.

Firmen: EE Times, vom 11.7.2007

STMicroelectronics schließt Fabs

Innerhalb der nächsten drei Jahre will STMicroelectronics drei Fabriken schließen. Betroffen sind weltweit etwa 4000 Mitarbeiter. Damit will das Unternehmen seine Kostenstruktur weiter verbessern.

Firmen: EE Times, vom 8.8.2007

Nokia baut seine Chip-Strategie um

Der Handyhersteller Nokia stellt die hauseigene Entwicklung von Mobilfunk-Chips ein und bezieht künftig erheblich mehr Bausteine als bisher von externen Zulieferern. Damit will das Unternehmen Entwicklungsressourcen für andere Zwecke freischaufeln – vor allem für Software.

Firmen: EE Times, vom 21.8.2007

Infineon übernimmt LSI's Mobilfunk-Bereich

Mit der Übernahme von LSI's Mobilfunk-Geschäft rundet der Münchner Chiphersteller Infineon sein Geschäft ab. Der Deal ist den Münchnern über 360 Millionen Euro wert.

Forschung: Heise Newsticker, vom 22.6.2007

Drei Milliarden Euro für Europas Nanoelektronik

Auf ARTEMIS und IMI folgt nun ENIAC: Nach eingebetteten Systemen und innovativen Arzneimitteln will die Europäische Union auch die Nanoelektronik mit einer milliardenschweren gemeinsamen Technologieinitiative (GTI) zu einem „starken Forschungs- und Produktionssektor“ in Europa entwickeln.

Forschung: Handelsblatt, vom 20.7.2007

Elektronik schützt die Umwelt

Grüner Kraftstoff: Der Anbau nachwachsender Rohstoffe soll der Landwirtschaft neuen Auftrieb geben. Doch damit der Treibstoff vom Acker auch wirklich zur Minderung des Treibhauseffekts beitragen kann, muss beim Anbau möglichst wenig Pflanzenschutz- und Düngemittel verbraucht werden. Sensorsysteme können helfen, die chemischen Keulen zu reduzieren.

Forschung: presstext.de, vom 24.7.2007

Silizium-Chip überwacht Qualität von Trinkwasser

Das US-Startup Sensicore hat einen Chip entwickelt, mit dem die Qualität des Trinkwassers in Reservoirs automatisch überwacht werden kann. Der Silizium-Sensor sammelt Daten über die Wasserqualität und speist diese in eine webbasierte Anwendung ein.

Forschung: EE Times, vom 2.8.2007

Quanteneffekt in Chip-relevanter Größenordnung beobachtet

US- und britischen Forschern ist es zum ersten Mal gelungen, magnetische Quanteneffekte in einem für die Halbleitertechnik relevanten Maßstab zu nutzen. Damit eröffnet sich die Perspektive auf eine technische Realisierung von Quantencomputern mit ICs.

Forschung: presstext.de, vom 30.8.2007

Sprachsteuerung im Auto steht noch am Anfang

Ein zentrales Thema auf der IFA in Berlin war die verbesserte Spracheingabe und die Sprachsteuerung in Kraftfahrzeugen. Nach dem Handy lassen sich in Zukunft auch Navigationsgeräte, aber auch das Autoradio im Jahr seines 75. Geburtstages per Spracheingabe steuern.

Forschung: elektroniknet, vom 4.9.2007

Nanopapier als Energiespeicher

Forscher des amerikanischen Rensselaer Polytechnic Institute haben einen Stoff entwickelt, der aus Zellulose und Carbon Nanotubes besteht. Damit lässt sich Energie speichern.

Forschung: BMBF Newsletter, vom 7.9.2007

Schavan: „Optische Technologien treiben Innovationen voran“

Studie bescheinigt der Branche hohe Bedeutung für den Standort Deutschland.

Forschung: Financial Times, vom 12.9.2007

Alles unter einer Haube

Softwareexperten wollen die vielfältige Elektronik im Auto sicherer machen. Ihr Autosar-Projekt stellten sie auf der IAA in Frankfurt vor.

Forschung: presstext.de, vom 12.9.2007

DVB-T-Nachfolger soll analoge Frequenzen nutzen

Während europaweit mit DVB-T (Digital Video Broadcasting Terrestrial) gerade das digitale Antennenfernsehen Einzug hält, will die DVB-Gruppe bereits den Nachfolgestandard DVB-T2 auf den Weg bringen.

Forschung: presstext.de, vom 14.9.2007

Speicherkarten – UFS soll Standard-Wirrwarr beenden

Unter der Führung des finnischen Mobiltelefonherstellers Nokia arbeiten sieben internationale Unternehmen an einem universellen Flash-Karten-Standard. Universal Flash Storage (UFS), so der Name des künftigen Standards, soll die aktuellen Inkompatibilitäten zwischen verschiedenen Flash-Karten ausräumen. Für verschiedene Geräte soll somit kein Adapter mehr notwendig sein.

Forschung: Heise Newsticker, vom 0.1.1900

Forschungsministerium verspricht schneller und einfacher Fördergeld für den Mittelstand

Mittelständische Firmen sollen schneller und einfacher Fördergelder des Bundes bekommen. Unter dem Motto „Vorfahrt für Spitzenforschung im Mittelstand“ hat Forschungsministerin Annette Schavan (CDU) bisherige Förderstrukturen zur neuen Initiative „KMU-innovativ“ gebündelt. Bis 2012 können kleine und mittlere Unternehmen (KMU) insgesamt 300 Millionen Euro abrufen.

Markt: channel-e, vom 18.6.2007

Studentenversion von MATLAB und Simulink

The MathWorks kündigt eine erweiterte Studentenversion seiner Produkte MATLAB und Simulink an. Mit der Studentenversion können Studenten nach Angaben des Herstellers nun mit den gleichen Werkzeugen arbeiten, die Ingenieure und Wissenschaftler weltweit einsetzen.

Markt: elektroniknet, vom 21.6.2007

Markt für Navigationssysteme soll sich bis 2012 verdreifachen

Die Kauflust bei festeingebauten Auto-Navigationssystemen und mobilen Navigationsassistenten ist nach wie

vor ungebrochen. Analysten erwarten in den nächsten fünf Jahren eine Verdreifachung der verkauften Geräte.

Markt: EE Times, vom 18.7.2007

European chip production not competitive, warns Infineon CEO

Infineon CEO Wolfgang Ziebart warned the European semiconductor production has already lost its competitiveness against Asian countries. Wages are too high and government aid is too low in Europe, he said.

Markt: EE Times, vom 7.8.2007

Chip-Foundries steuern auf Engpässe zu

Bei den großen Foundries sind zum Jahresende Kapazitätsengpässe zu erwarten, warnt das US-Marktforschungsinstitut IC Insights. Die Schwierigkeiten könnten bis ins Jahr 2008 hinein andauern.

Markt: EE Times, vom 24.8.2007

Wimax-Branche erwartet Durchbruch in zwei Jahren

In der Wimax-Branche nimmt die Zuversicht zu, dass die Milliardeninvestitionen in die Entwicklung dieser Datenfunktechnik sich in den kommenden Jahren auszahlen beginnen.

Markt: EE Times, vom 10.9.2007

Infineon behauptet Pole-Position im Chipkartenmarkt

Zum zehnten Mal in Folge hat Infineon den ersten Platz im Markt für Smart Card Chips behauptet.

Markt: Computerwoche, vom 12.9.2007

Bitkom senkt Prognose für IT- und Telekommarkt

Der Gesamtmarkt werde in diesem Jahr um 1,3 Prozent auf 148 Milliarden Euro steigen, sagte August-Wilhelm Scheer, Präsident des Bundesverbands Informationswirtschaft, Telekommunikation und neue Medien (Bitkom), unter Berufung auf eine eigene Erhebung. Zuvor hatte der Verband ein Wachstum von zwei Prozent in Aussicht gestellt.

Markt: channel-e, vom 13.9.2007

Halbleitermarkt in Deutschland im August 2007

Der ZVEI-Fachverband Electronic Components and Systems meldet für den August 2007 einen Umsatz mit Halbleitern in Deutschland, der leicht unter dem vom Vormonat lag. Gegenüber August 2006 betrug der Rückgang 5 % nach jeweils (korrigierten) minus 4 % gegenüber dem Vorjahresmonat im Juli und minus 3 % im Juni. Die negative Entwicklung sei zu einem Großteil auf den starken Euro zurückzuführen. Eine Änderung sei nicht in Sicht.

Personen: EDA DesignLine, vom 12.9.2007

Gary Smith to receive ACM Award

Gary Smith has been selected as recipient of a 2007 Computing Machinery/Special Interest Group on Design Automation (ACM/SIGDA) Distinguished Service Awards in recognition for his contributions as Chief EDA Analyst at Gartner Dataquest for the past two decades.

Von unseren Partnern im Ausland

www.edacentrum.de/newsletter



SI2: Semicon West – DFM becomes design-for-manufacturability

At the Semicon West 2007 EDA experts observed, that semiconductor industry can learn from the history of design-for-test to resolve design-for-manufacturability (DFM) issues [1]. "True DFM is big question mark, and if it follows in the footsteps of DFT it will take seven years for true DFM to take roots within the design community," said panel moderator Gary Smith, president of Gary Smith EDA. DFT was forced on design engineers. Seven years passed by until the designers accepted it. The next step would be to compel design and process engineers to use DFM tools and methodologies, Smith said.

A new coalition formed by the Silicon Integration Initiative (Si2) now officially defines DFM as design-for-manufacturability rather than design-for-manufacturing.

Lars Liebman, distinguished engineer at IBM and an activist in the Si2 standards effort, said the definition more accurately reflects the idea that "designs need to have the proper 'hooks' to be manufactured flawlessly. – DFM is a homogeneous solution for a heterogeneous environment. One solution does not fit all designs." He suggested the industry think of DFM not as a node-specific phenomenon, but "one whose benefits are product-specific and schedule-specific."

"It is an extraordinarily tough technical problem," Liebman said, "and it's not just about polygon pushing to get a layout right." It will take a vast amount of CPU cycles to calculate the data for design optimization for error-free manufacturing. (Su)

[1] Nicolas Mokhoff, *EE Times*, <http://www.eetimes.com/showArticle.jhtml?articleID=201200505>



From ENIAC to AENEAS

AENEAS is a non-profit industrial association established under French law that will continue the activities of the ENIAC Platform and represent the Nanoelectronics RTD partners in the Joint Undertaking that will implement the JTI. To facilitate research of information on AENEAS, details on meetings and newest developments of the association will be concentrated in the dedicated AENEAS section on the ENIAC homepage.

Association to AENEAS is open to all European key players such as large industry, Small and Medium Enterprises, research institutes, academia, and associations, provided they are involved in R&D on Nanoelectronics. Organisations existing as legal entities of industrial or public research organisations active in the field of Nanoelectronics can join as Associated Members.

Membership in AENEAS will not only allow a representation in the Joint Undertaking that will implement the Joint Technology Initiatives, but also an involvement in ENIAC activities such as the definition of the Strategic Research Agenda. The ENIAC "Strategic Research Agenda" is undergoing continuous updates. It was decided that the same model as ITRS would be followed, with a major revision every two years, and an update every intermediate year. 2007 will be the year of the first full revision.

Preparation activities from AENEAS are currently going on to make the industrial association fully functional. Besides the application process for membership have started in May, the main step for AENEAS to become operational is represented by the meeting of the General Assembly that will take place on October 9 in Stuttgart, in connection with SEMICON. Highlights of the meeting will be the election of the AENEAS Steering Board, and the appointment of the Presidium. The meeting is addressed to AENEAS active and associated members and participation is on invitation only. (Su)

SEMICON West 2007 took place in San Francisco, California from July 17–19, 2007.

SEMICON West is an annual event for the global micro- and nanoelectronics industries, showcasing technologies used in the design and manufacturing of semiconductors, MEMS, photovoltaics, nanoelectronics, and related technologies.

Under http://www.eniac.eu/web/aeneas/aeneas_ex.php detailed information is given about AENEAS, its scope and planned activities, providing a general overview on the new association.

EDA Consortium reports 10% industry revenue growth in first quarter 2007

Source EDA Consortium, Market Statistics Service Press Release

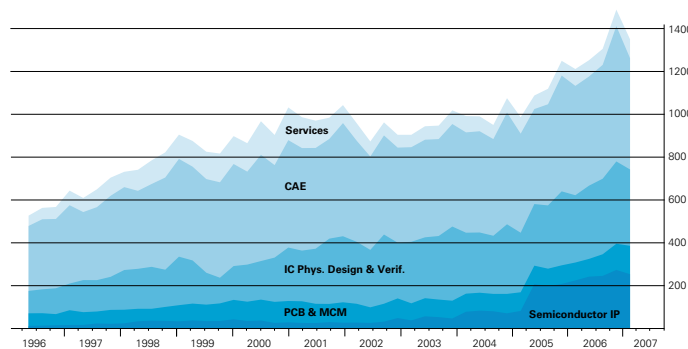


Chart 5.01: EDA and SIP Revenue, Q1 1996 to Q1 2007 [in Million US-\$]

The EDA Consortium's Market Statistics Service (MSS) today announced that the electronic design automation (EDA) industry revenue for Q1 of 2007 grew 10 % to \$ 1,345 million, versus \$ 1,223 million in Q1 2006. The four quarter average growth rate, which compares the most recent four quarters to the same four quarters in the prior year, was 15 %. This increase reflects both the continuing growth of the industry as a whole and the growth of the MSS program.

"The same forces that we previously cited as drivers for EDA's continued growth apply to this quarter's figures," said Aart de Geus, chairman of the EDA Consortium and chairman and CEO of Synopsys, Inc. "Consumer electronics and the continued move toward deeper sub-micron processes are fueling the need for advanced EDA tools in all segments of the industry."

Employment Data

Companies that were tracked employed 25,820 professionals in Q1 2007, up 11 % from the 23,324 in Q1 2006.

Revenue by Product Category

EDA's largest tool category, Computer-Aided Engineering, generated revenue of \$ 521 million in Q1 2007, 2 % more than the same period in 2006. The four quarter moving average growth rate (fq-mavgr) was 11 % in CAE. IC Physical Design & Verification revenue increased 14 % to \$ 357 million in Q1 2007 compared to the same quarter in 2006. The fq-mavgr was 16 % in this category. Semiconductor Intellectual Property (SIP) revenue totaled \$ 245 million in Q1 2007, a 5 % increase over Q1 2006. The fq-mavgr for SIP was 18 %. Services revenue

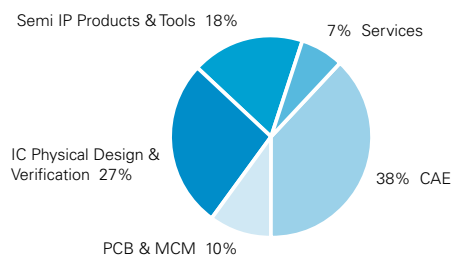


Chart 5.03: Distribution of the total EDA & SIP Revenue by Product Category

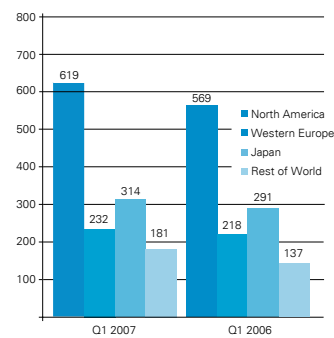


Chart 5.02: Total EDA & SIP Revenue by Geographic Region [in Million US-\$]

was \$ 89 million in Q1 2007, up 11 % from Q1 2006. The fq-mavgr was 11 % for Services. Printed Circuit Board and Multi-Chip Module revenue jumped 59 % in Q1 2007 to \$ 133 million. The fq-mavgr for PCB & MCM was also high at 30 %.

Revenue by Consuming Region

North America, EDA's largest region, purchased \$ 619 million of EDA products and services in Q1 2007, an 8 % increase over Q1 2006. The fq-mavgr was 19 % for North America. Western Europe revenue was up 6 % in Q1 2007 with revenues of \$ 232 million. The fq-mavgr for Western Europe was 11 %. 2007 Q1 revenue from Japan grew 8 % over Q1 2006 to \$ 314 million. Japan had a fq-mavgr of 4 %. Rest-of-World (ROW) continued to extend previous years of revenue growth by increasing 31 % to \$ 181 million in Q1 2007. The fq-mavgr was also strong at 25 %.

About the MSS Report

The EDA Consortium's Market Statistics Service reports EDA industry revenue data quarterly and is available by annual subscription. Both public and private companies contribute data to the report. Each quarterly report is published approximately three months after quarter close. MSS report data is segmented as follows: revenue type (product licenses and maintenance, services, and SIP), application (CAE, PCB/MCM Layout, and IC Physical Design and Verification), operating system (UNIX vs. Windows) and region (North America, Western Europe, Japan, and Rest of World), with many subcategories of detail provided. The report also tracks total employment of the reporting companies.

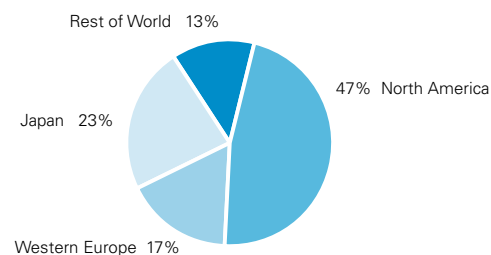


Chart 5.04: Distribution of the total EDA & SIP Revenue by Region

Contact:

EDA Consortium,
111 West Saint John Street,
Suite 220, San Jose, Calif.
95113, USA,
fon: ++1 408-287-3322,
fax: ++1 408-283-5283
www.edac.org.

6 Mitglieder

Mitglieder stellen sich vor

www.edacentrum.de/portrait/mitglieder



CST – Changing the Standards for 3D-EM-Simulation

Diesem Leitsatz hat sich die in Darmstadt ansässige CST GmbH seit ihrer Gründung 1992 verschrieben und den Markt der elektromagnetischen (EM) Feldsimulation radikal verändert. Daher kann heute von jedem Anwender mit technischem Hintergrund berechnet werden, was vor einer Dekade eines ausgewählten Experten bedurfte. 1998 überraschte die CST den bis dahin eher ruhig sich entwickelnden Markt der numerischen EM Feldberechnung mit dem CST MICROWAVE STUDIO®. Dank seiner einzigartigen Benutzerschnittstelle und einer revolutionären Simulationstechnik katapultierte sich die CST auf Platz zwei des Weltmarktes und gehört als unbestrittener technischer Marktführer zu den „Hidden Champions“ der deutschen Provinz.

tet. Diese werden durch ein weltweites Netzwerk von Niederlassungen und Vertriebspartnern unterstützt.

Noch vor wenigen Jahren bestanden die typischen EM-Simulationsanwendungen aus einfachen Antennen, Steckern, Hohlleitern und anderen Komponenten. Der Hunger nach Mobilität, Übertragungsbandbreiten und Verarbeitungsgeschwindigkeit von Informationen treibt Betriebsfrequenzen und Komplexität vieler elektronischer Geräte in die Höhe. Die Entwickler stellt dies vor Herausforderungen, die immer öfter nur durch den Einsatz einer numerischen Simulation gelöst werden können. Der Aufbau immer neuer Prototypen dauert zu lange und kostet zu viel. Daher sehen wir heute einen stark steigenden Bedarf an der Simulation komplexer elektronischer Systeme.

Ein gutes Beispiel dafür ist ein heutiges Mobiltelefon. So klein und modisch wie möglich soll es durch mehrere Antennen mit seiner Außenwelt kommuni-



Die Zentrale der CST in Darmstadt liegt direkt gegenüber dem „Hundertwasser-Haus“. Hier gehen Programmier- und Architekturkunst eine harmonische Verbindung ein.

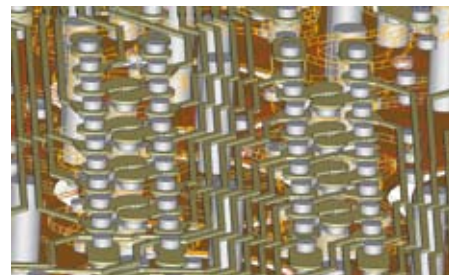
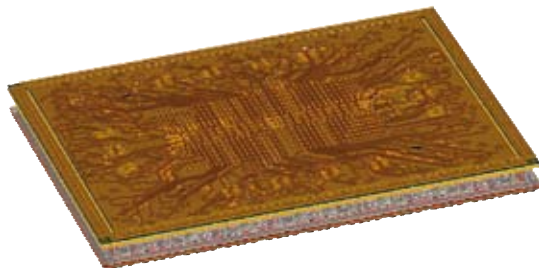
Mit mehr als einem Dutzend verschiedener Gleichungslöser ist die CST STUDIO SUITE™ in der Lage, beinahe jedes durch die Maxwellschen Gleichungen beschriebenes Phänomen dreidimensional auf einem Rechner zu simulieren, sei es für Gleichstrom oder optische Frequenzen. Die mit ihrer Hilfe berechneten und optimierten Anwendungen erstrecken sich von Antennen über elektronische Leiterplattenanordnungen bis hin zu ganzen Systemen wie Mobiltelefonen oder Kraftfahrzeugen. Simulationsprogramme von CST gehören heute zum Industriestandard und werden bei skandinavischen Mobiltelefonherstellern, deutschen Autobauern und malaysischen Elektronikentwicklern gleichermaßen eingesetzt.

Die Forschung an neuen Methoden und die Entwicklung der Programme findet zum größten Teil im Darmstädter Stammhaus statt, welches auch den Vertrieb und das europäische Kundendienstzentrum beheimatet.

Es enthält eine Kamera mit Blitz, Mikrofon, Lautsprecher, Grafikdisplay und eine Batterie. Das alles wird durch eine dicht gepackte Elektronik kontrolliert. Solch ein System ist anfällig für Störungen. Die Antennen können Schaltungsbauelemente oder diese sich gegenseitig beeinflussen. Auch eine elektrische Entladung durch den das Telefon berührenden Benutzer kann die Elektronik stören. Außerdem soll die Antenne möglichst gut und einwandfrei mit der nächsten Basisstation kommunizieren, dabei aber wenig Leistung in den Kopf des Benutzers abstrahlen. Diese Vielzahl komplexer Anforderungen verdeutlicht, warum solch ein System bereits vor der Fertigung des ersten Prototypen berechnet wird.

Gleiches gilt für den Bereich der EDA. Das steigende Interesse an CST Produkten signalisiert die Notwendigkeit der dreidimensionalen elektromagnetischen Feldberechnung für die Entwicklung hochfrequenter

Mit CST MICROWAVE STUDIO® berechnete elektronische Mehrlagenschaltung von IBM.



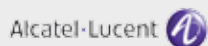
Elektronikschaltungen. Die Anforderungen sind hier besonders hoch. Oft weisen die Schaltungen eine hohe Komplexität und extreme geometrische Verhältnisse auf. Das Verhalten passiver und nichtlinearer Bauelemente muss berücksichtigt werden, ihre Anzahl geht genauso wie die sie verbindenden Leitungen in die Hunderte oder Tausende. Die Entwickler interessieren sich hier für Themen wie Signal- und Leistungsintegrität, Interferenzen und Störungen, das Verhalten digitaler und analoger Signale im Frequenz- und Zeitbereich. Was in der Schaltungssimulation noch recht leicht zu bewerkstelligen ist, wird in drei Dimensionen bei voller und exakter Berücksichtigung aller Strukturen, Materialien und Bauelementen zu einer Herausforderung. Diese ist heutzutage nur lösbar mit einem sehr leistungsfähigen Simulator. Die von CST eingeführten Techniken machen die Vision zur Realität, wie in der folgenden Abbildung gezeigt. Kein anderer kommerzieller 3D-EM-Simulator ist zur Zeit in der Lage, diese Struktur zu berechnen.

Die Stärke des Simulators allein genügt nicht, sie muss einhergehen mit einer Einbettung in die wichtigsten Arbeitsabläufe. Zum einen müssen alle gängigen Entwurfsformate komfortabel importiert werden. Zum anderen muss der Simulator mit anderen Berechnungsprogrammen Daten austauschen und über vielfältige Datenverarbeitungs- und Darstellungsmöglichkeiten verfügen.

Die o.g. Entwicklungen stellen immer höhere Anforderungen an die Rechengeschwindigkeit. CST befriedigt diese durch eine Palette von beschleunigenden Maßnahmen sowohl auf Software- als auch auf Hardwareseite. Durch die Forderungen der Kunden angespornt hat sich CST zum Technologieführer entwickelt und in der EDA den Weg zu echter 3D-EM-Simulation geebnet.

Kont@kt:

Dr. Marko Walter
Regional Sales Director
Computer Simulation
Technology
Bad Nauheimer Str. 19
64289 Darmstadt
fon: (0 61 51) 73 03 - 6 92
marko.walter@cst.com



Alcatel-Lucent Deutschland GmbH
www.alcatel-lucent.com



Cadence Design Systems
www.cadence-europe.com



Doulos Ltd.
www.doulos.com



AMD
www.amd.de



Catena Software GmbH
www.catena-ffo.de



FhG Verbund Mikroelektronik
www.vue.fhg.de



Ansoft GmbH und Co. KG
www.ansoft.com



ChipVision Design Systems AG
www.chipvision.com



FZI – Forschungszentrum Informatik
www.fzi.de



Atmel Germany GmbH
www.atmel.com



Concept Engineering GmbH
www.concept.de



IBM Deutschland Entwicklung GmbH
www.ibm.com/de/entwicklung



Robert Bosch GmbH
www.bosch.de



CST – Computer Simulation Technology
www.cst.com



IMMS gGmbH
www.imms.de

Nachrichten von den Mitgliedern des edacentrum

www.edacentrum.de/newsletter



Cadence Design Systems GmbH

Neues Kit von Cadence vermindert Risiko und ermöglicht schnelleren Einsatz von funktionaler Verifikations-Methodik

Cadence® SoC Functional Verification Kit für Wireless- und Consumer-SoC-Designs befähigt Ingenieure fortschrittliche Verifikationsverfahren mit geringem Risiko und Einsatzaufwand zu übernehmen und Time-to-Market Anforderungen zu erreichen. Das Kit bietet eine bewährte End-to-End-Methodik, die von der Verifikation auf Blockebene bis hin zur Verifikation auf Chip- und System-Ebene reicht. Zudem beinhaltet es automatisierte Methodiken für Implementierung und Management. Das Kit umfasst vollständige Beispiele für Verifikationspläne, Modelle auf Transaktionsebene sowie Zyklus-genaue Modelle, Design- und Verifikations-IP, Skripts und Bibliotheken. Alle Inhalte sind auf einem für den Wireless-Bereich repräsentativen Design erprobt und werden mithilfe von anwendungsspezifischer Beratung ausgeliefert.

Das Kit wurde mit Blick auf die wichtigsten Herausforderungen beim Design und der Verifizierung von SoCs entwickelt: eine umfassende Verifikation des Designs zu garantieren, eine Wiederverwendung zu ermöglichen, typische Low-Power-Modi heutiger SoCs handzuhaben, eine Hardware-abhängige Softwareabdeckung zu gewährleisten und die Verifikation innerhalb sehr knapper Time-to-Market-Vorgaben zu erreichen.

Als ein Bestandteil des Kits bietet die anwendungsspezifische Beratung eine komplette und interaktive Anleitung zur Durchführung einer voraussagbaren und wiederholbaren Verifikation von Blöcken, Cluster, Full-Chips und SoCs. Diese befähigt Design-Teams schnell und einfach die Cadence Incisive® Plan-to-Closure-Methodik einzusetzen. Ab dem 4. Quartal diesen Jahres wird diese Methodik die Open Verification Methodology (OVM) unterstützen. Die OVM basiert auf dem Incisive Plan-to-Closure URM Modul von Cadence und dem Advanced Verification Methodology Modul von Mentor.

Kontakt und Information

Andrea Huse
fon: (0 89) 45 63 - 17 26
ahuse@cadence.com



IMST GmbH
www.imst.de



MatrixOne GmbH
www.matrixone.com



NXP Semiconductors Germany GmbH
www.nxp.com



Infineon Technologies AG
www.infineon.com



Melexis GmbH
www.melexis.com



OFFIS e.V. – Institut für Informatik
www.offis.de



Institut für angew. Funksystemtechnik
www.iaf-bs.de



Mentor Graphics GmbH
www.mentor.com/german



OneSpin Solutions GmbH
www.onespin-solutions.com



ITIS e.V. – Universität der Bundeswehr
www.itis-ev.de



MunEDA GmbH
www.muneda.com



Pro Design Electronic&CAD-Layout GmbH
www.prodesigncad.com



Magma Design Automation GmbH
www.magma-da.com



Nokia GmbH
www.nokia.de



Qimonda AG
www.qimonda.com



VSI Alliance

VSIA beendet 11-jährige, erfolgreiche Tätigkeit

Am 9. Juli gab die Virtual Socket Interface Alliance (VSIA) bekannt, dass es ihre Aktivitäten einstellen wird.

Die VSIA wurde 1996 mit dem Ziel gegründet, EDA-Hersteller, Elektronik-Entwickler und die Halbleiterindustrie als Standardisierungsgremium bei der Erzeugung und Nutzung von IP-Hard- und Soft-Cores zu unterstützen.

Die bekanntesten Aktivitäten waren die Entwicklung der Quality-IP-Metric, einer Bewertungsmethode zum Nachweis der Qualität von Hard- und Soft-IP, die gegenwärtigen Arbeiten an einem Standard zu Verschlüsselung (IP-Encryption), und die Standards zum Thema IP-Wasserzeichen (IP-Tagging), die es ermöglichen sollen, illegale IP-Benutzung offenzulegen.

Gegenwärtig wird geprüft, in welchen Standardisierungsgremien die erfolgreichen Arbeiten der VSIA weitergeführt werden können. Das IEEE hat bereits erklärt, dass es in zwei unabhängigen Study Groups die IEEE-Standardisierung der Qualitäts- und Verschlüsselungsaktivitäten untersuchen wird. Das Kick-Off Meeting der IEEE Quality IP Study Group, an dem auch das edacentrum teilgenommen hat, fand bereits am 21. August statt.

Organisationen: EE Times, vom 26.7.2007

IEEE picks up VSIA's standards work

The IEEE has formed two study groups to explore the creation of IEEE standards based on work done at the VSI Alliance (VSIA). The groups will evaluate VSIA's existing Quality IP (QIP) Metric standard and its encryption activities. Earlier, VSIA decided that it will cease operations and donate key products to the IEEE.

For more information, visit the VSIA web site at www.vsi.org, or e-mail to info@vsi.org



Synopsys GmbH
www.synopsys.com



TU Dresden
www.tu-dresden.de



Trias Mikroelektronik GmbH
www.trias-mikro.de



Universität Hannover
www.uni-hannover.de



TU Chemnitz
www.tu-chemnitz.de/etit/sse/



TU Ilmenau
www.tu-ilmenau.de



Universität Bremen
www.uni-bremen.de



Universität Hildesheim
www.dwm.uni-hildesheim.de



TU Clausthal
www.tu-clausthal.de



TU Kaiserslautern
www.tu-kaiserslautern.de



Universität Frankfurt
www.uni-frankfurt.de



Universität Tübingen
www.informatik.uni-tuebingen.de



TU Darmstadt – FB Informatik
www.iss.tu-darmstadt.de



TU München
www.lis.ei.tum.de



Universität Freiburg
www.uni-freiburg.de



ZMD AG
www.zmd.biz

Ausblick auf die kommende Ausgabe 04 2007



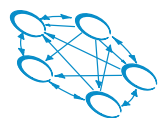
Projektspiegel

„Elektromagnetische Zuverlässigkeit und effizienter Top Down-Entwurf für optimale Systemeigenschaften nanoelektronischer Komponenten“ (Parachute)



edaWorkshop08

Der Call for Papers für den edaWorkshop08 erscheint in Kürze, die „Submission-Deadline“ wird am 18. Dezember 2007 sein.



Fach- und Kooperationsworkshop „Verifikation“ am 16. 10. 07

Rückblick und Resümee – Wir fassen das Wichtigste zusammen



Projektmanagement

Der erste Meilensteinbericht liegt an. Eine neue Herausforderung, die Alex und Bill bewältigen müssen. Lesen Sie weiter!

Änderungen aus aktuellem Anlass vorbehalten.



EDA Consortium
www.edac.org



PRismaPR
www.prismapr.de



Silicon Intergration Initiative Si2
www.si2.org



Silicon Saxony e.V.
www.silicon-saxony.net



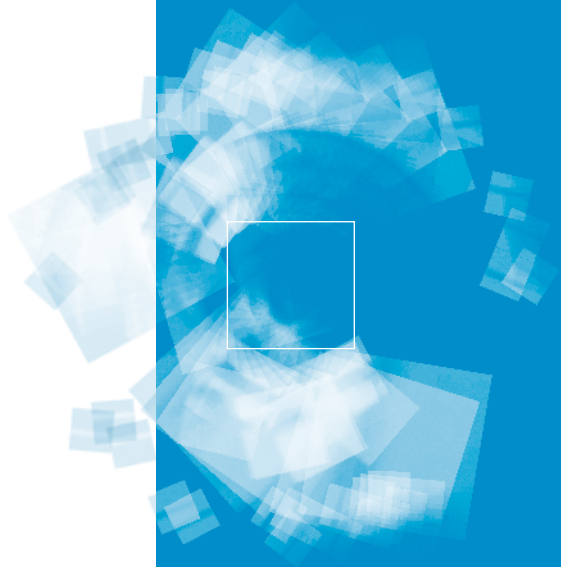
VSI Alliance
www.vsi.org

Kooperationspartner

Sie sind noch nicht Mitglied im edacentrum, ?

... möchten aber nicht auf den „newsletter edacentrum“ verzichten ? Dann können Sie den „newsletter edacentrum“ für 40 € jährlich (4 Ausgaben) inkl. Porto beim edacentrum bestellen. Oder werden Sie Mitglied im edacentrum e. V. und profitieren Sie zusätzlich von den exklusiven Vorteilen, die eine Mitgliedschaft bietet: Erweitertes Informationsangebot im Internet, EDA-Atlas, technische Analysen und Marktanalysen, Roadmaps (inkl. Erstellung), Unterstützung bei der Standardisierung, Öffentlichkeitsarbeit im Bereich EDA für Firmen und Forschungseinrichtungen, Einbringen eigener Anforderungen in die EDA-Forschung, Kontakte zu Kompetenzzentren für EDA-Clusterforschung, Vergünstigungen bei Veranstaltungen des edacentrum (edaForum, Workshops, EDA-Kolloquium...), Erfahrungsaustausch mit anderen EDA-Anwendern, uvm.

www.edacentrum.de/mitgliedschaft.html



Ansprechpartner im edacentrum

Prof. Dr. Wolfgang **Rosenstiel** | Vorstand
fon (0 70 71) 2 97 54 82, (Ro)
rosenstiel@edacentrum.de

Prof. Dr. Erich **Barke** | Vorstand
fon (05 11) 7 62 - 1 96 90, (Ba)
barke@edacentrum.de

Dr. Jürgen **Haase** | Vorstand
fon (05 11) 7 62 - 1 96 98, (Haa)
haase@edacentrum.de

Dr. Cordula **Hansen** | Koordination (Leitung)
fon (07 11) 2 80 79 56, (CH)
hansen@edacentrum.de

Dipl.-Ing. (FH) Peter **Neumann** | Consulting
fon (05 11) 7 62 - 1 93 83, (Ne)
neumann@edacentrum.de

Dipl.-Ing. Ralf **Popp** | Öffentlichkeitsarbeit (Leitung)
fon (05 11) 7 62 - 1 96 97, (Pp)
popp@edacentrum.de

Dipl.-Ing. Dirk **Rosendahl** | Vertrieb & Marketing
fon: (05 11) 7 62 - 1 96 83, (DR)
rosendahl@edacentrum.de

Dipl.-Ing. Susanne **Sass** | Koordination
fon (05 11) 7 62 - 1 94 84, (Su)
sass@edacentrum.de

Dr. Volker **Schöber** | EDA-Clusterforschung (Leitung)
fon (05 11) 7 62 - 1 96 88, (VS)
schoeber@edacentrum.de

Maren **Sperber** | Sekretariat
fon (05 11) 7 62 - 1 96 99, (Sp)
sperber@edacentrum.de

Dr. Dieter **Treytnar** | Öffentlichkeitsarbeit
fon (05 11) 7 62 - 1 96 87, (Tr)
treytnar@edacentrum.de

Dr. Andreas **Vörg** | Koordination, Consulting
fon (05 11) 7 62 - 1 96 86, (AV)
voerg@edacentrum.de

Impressum

Herausgeber

edacentrum e.V.
Schneiderberg 32
30167 Hannover
fon (05 11) 7 62 - 1 96 99
fax (05 11) 7 62 - 1 96 95
www.edacentrum.de
info@edacentrum.de

Redaktion

Ralf Popp (V.i.S.d.P.), edacentrum
newsletter@edacentrum.de

Autoren

Alt, Badstübner, Brand, Jentzsch, Sebeke, Olbrich, Rose, Winkelmann, AIS, FEST, LEONIDAS+, PRODUKTIV+, SAMS, SIDRA, URANOS, VeronA, VISION, edacentrum, Cadence, CST, EDA Consortium, VSIA

Wir bedanken uns herzlich bei allen Autoren die bei der Erstellung des Newsletters geholfen haben.

Satz, Grafik und Druck

stm Media GmbH, N. Möller, M. Hoinkis & D. Paul
Druckhaus Köthen GmbH, Köthen S.-A.

Fotos

N. + U. Möller (Titel), R. Popp

Ausgabe

Der newsletter edacentrum 03 2007
ist erschienen am 25. September 2007, Auflage: 900

Redaktionsschluss

Der nächste Newsletter erscheint im Dezember
Redaktionsschluss ist am 2. November 2007.

Alle im „newsletter edacentrum“ abgedruckten Beiträge sind urheberrechtlich geschützt. Alle Rechte, auch Übersetzungen, sind vorbehalten. Reproduktionen, gleich welcher Art (Mikrofilm, Fotokopie oder Erfassung in Datenverarbeitungsanlagen), nur mit schriftlicher Genehmigung des Herausgebers.

Für den Fall, dass im „newsletter edacentrum“ unzutreffende Informationen enthalten sein sollten, kommt eine Haftung nur bei grober Fahrlässigkeit in Betracht.