

newsletter edacentrum 01 2007

10,- Euro ISSN 1862 2283

electronic design automation centrum

www.edacentrum.de/newsletter



DATE

**Stand
#M4**

Projektspiegel – Projekte stellen sich vor

„DETAILS: HF-Design-Technologie für präzise analoge IP-basierte Front-End-Lösungen in höchstintegrierten Datenübertragungs-Systemen“,
dazu Kurzberichte von SAMS und HERKULES

Bewegung im zweiten Quartal 2007

Das edacentrum präsentiert sich auf der DATE in Nizza und mit dem
edaWorkshop07

edaForum06

Heiße Tage in Berlin – Fachliches Feuerwerk im lauen Berliner Winter (Teil 2)

Editorial

Liebe Leserinnen und Leser,

Zitat: Blaise Pascal (1623–62),
frz. Mathematiker u. Philosoph

„Zu unserer Natur gehört die Bewegung. Die vollkommene Ruhe ist der Tod.“

Bewegung ist ein zentrales Thema, das man überall finden kann, ob im direkten oder indirekten Sinne. Bewegung steht nicht nur für Fortbewegung sondern auch für Veränderung, wie zum Beispiel der Jahreswechsel.

Doch halt! Bleiben wir noch kurz im alten Jahr, da war doch noch etwas. Richtig, das edaForum06 in Berlin, Mitte November. Und weil es von dort so viel zu berichten gab, dass es für eine Ausgabe des „newsletter edacentrum“ zu viel gewesen wäre, reichen wir Ihnen in dieser Ausgabe den zweiten Teil des Berichtes über das edaForum06 nach. (s. Seite 25)

Bewegen wir uns nun zum neuen Jahr: Auch wenn sich der letzte „newsletter edacentrum“ aus dem Jahr 2006 zeitlich ein wenig verirrt hatte, so halten Sie mit dieser Ausgabe das erste Heft des Jahres 2007 in Händen, hoffentlich nicht allzu fest, weil gerade wieder ein wenig bewegte Luft über die Lande zieht.

Weit mehr als „ein wenig bewegte Luft“ war Sturmorkan Kyrill, der so massiv über Deutschland hinweg blies, dass ganze Dächer die Luft unsicher machten, sich Bäume einen neuen Standort suchten (allerdings nicht aus eigenem Antrieb) und letztlich der gesamte Bahnverkehr lahm gelegt wurde. Wie sagte Pascal so schön, die Bewegung (der Luft) gehört zu unserer Natur, und die Ruhe nach dem Sturm kann Schreckliches ans Licht bringen, wie die Tatsache, dass Tausende von Menschen während des Orkans auf den Bahnhöfen übernachten mussten. Auch Frau Dr. Hansen vom edacentrum durfte die Auswirkungen des Sturmes am eigenen Leibe erfahren und hat ihre Erlebnisse als Bericht für Sie festgehalten. (s. Seite 30).

Wenn Sie dorthin blättern, werden Sie feststellen, dass sich die Nummerierung der Rubriken etwas geändert hat. Kyrill hat hiermit jedoch nichts zu tun und auch der Satz ist nicht durcheinander gekommen. Grund für die Umnummerierung ist die neue Rubrik „Veranstaltungen“, unter der künftig alle Ankündigungen und Berichte von Veranstaltungen zu finden sind.

Was war:

Abbildung 0.03:
Das edaForum06
in Berlin (S. 25)

Abbildung 0.04:
Begutachtungen und
Kickoff-Treffen verschiedener
Ekompass-Projekte (S. 20)

Abbildung 0.05:
Kyrill – Ein Januar-Orkan
über Deutschland (S. 30)

Abbildung 0.06:
Ergänzende Informationen
zum newsletter edacentrum
finden Sie unter

www.edacentrum.de/newsletter/

Wo wir schon bei sich bewegenden Zahlen sind: Die Mitarbeiterzahl des edacentrum ist ebenfalls gestiegen und schon hinterlässt eine neue Autorin im „newsletter edacentrum“ ihre Spuren. Doch zurück zur Bewegung ...

Auch in der Entwurfsautomatisierung findet Bewegung statt, wie die Entwicklung von Innovation, der Austausch von Gedanken, Kommunikation. Schlimm wäre, wenn all das stillstehen würde, denn, da hat Pascal schon Recht, zu unserer Natur gehört Bewegung. Und zur Bewegung gehören mehrere kleine Schritte.

Einer dieser Schritte kann Sie zur DATE07, die vom 16.–20. April stattfindet, bringen (s. Seite 32). Bewegt hat sich übrigens auch der Veranstaltungsort selbst. Extra zum 10jährigen Jubiläum findet die DATE weder in Paris noch in München statt, sondern weiter im Süden in Nizza, der inoffiziellen Hauptstadt der Côte d'Azur in Frankreich. Auf der DATE07, die wie immer zahlreiche Konferenzen und Ausstellungen zum Thema EDA vereint, ist auch das edacentrum mit einem Stand als Gast bei Synopsys vertreten. Zudem organisieren wir dieses Jahr wieder das Exhibition Theatre und ermöglichen Beiträge von Ekompass-Projekten in der University Booth.

Ein weiterer Schritt könnte ein Besuch des edaWorkshop07 am 19.–20. Juni 2007 im Courtyard by Marriott Hotel in Hannover sein. Dort erwarten Sie Vorträge zu wissenschaftlichen Fachthemen und zu den Ergebnissen der EDA-Forschungsprojekte, eine Posterausstellung, der Kooperationsmarkt unter dem Motto „Ideen suchen Abnehmer - Markt sucht Innovationen“ und insbesondere reichlich Gelegenheit zum Networking. Forschung und Industrie sind hierbei gleichermaßen präsent, so dass der fachliche Austausch verbunden werden kann mit der Initiierung von Kooperation zur Vorbereitung eines industriellen Nutzens. Nutzen auch Sie diese Gelegenheiten. Wir freuen uns auf Sie!

Vorerst wünschen wir Ihnen jedoch viel Spaß mit dieser Ausgabe des Newsletters!

Susanne Sass

Susanne Sass für das edacentrum



Abbildung 0.03

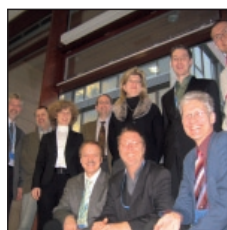


Abbildung 0.04

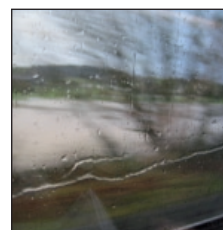


Abbildung 0.05



Abbildung 0.06

Inhaltsverzeichnis



Seite 5

Projektspiegel

Projektbericht DETAILS: Neue Möglichkeiten für Konzipierung und Entwurf von höchst-integrierten Endgeräten mit besonderer Berücksichtigung von eingebetteten HF-IP Baugruppen.

Das F&E-Projekt DETAILS wurde am 31.3.2007 abgeschlossen. Dieser Bericht stellt die in der dreijährigen Laufzeit durchgeführten Arbeiten vor und zeigt, wie die dabei erreichten Ergebnisse in zukünftige Anwendungen integriert werden können.

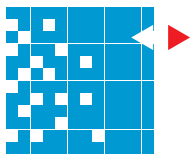


Seite 25

EDA-Veranstaltung

edaForum06 – Heiße Tage in Berlin (Teil 2)

Im zweiten Teil der Berichterstattung über das im November 2006 in Berlin stattgefundenene edaForum lesen Sie eine Zusammenfassung der beiden „Business Sessions“ mit den Titeln „The Times They are a-Changin‘ – Chip Business is System Business“ und „With a little help from my friends – Leadership Means Partnership“.



edaWorkshop 07

Seite 24

EDA-Veranstaltung

edaWorkshop07 – das Programm steht fest

Mit dem Abschluss des Begutachtungsprozesses steht das Programm des Workshops nahezu fest. Lesen Sie, wie sich der Inhalt des edaWorkshop im Vergleich zur Vorjahresveranstaltung weiterentwickelt hat und freuen Sie sich auf anregende Gespräche am 19. und 20. Juni 2007 in Hannover.



Seite 32

EDA-Veranstaltung

Besuchen Sie das edacentrum auf der DATE!

Auch dieses Jahr ist das edacentrum wieder auf Europas größter „EDA-Schau“ der DATE vertreten. Lesen Sie, was Sie dort inhaltlich erwartet und besuchen Sie uns vom 17.–19. April 2007 auf der DATE in Nizza. Wir sind am Stand von Synopsys (Booth M4 in the Méditerranée Hall) für Sie da und freuen uns auf Ihren Besuch!

Überblick

Inhaltsverzeichnis

Seite 3

Projektspiegel

MAYA - Hardwareentwurfstechnik für Null-Fehler-Designs

Seite 14

Eine Kurzvorstellung des neuen Verifikationsprojektes.

Projektspiegel

SAMS - Struktursynthese von analogen Schaltungen

Seite 17

Schlußbericht des am 31.10.2006 abgeschlossenen ersten EDA-Clusterforschungsprojektes.

Projektspiegel

Nachrichten von den Projekten

Seite 20

Lesen Sie die Meldungen der Ekompas-Projekte und erfahren Sie mehr über den Fach- und Kooperationsworkshop „Technologie und deren Auswirkung“ im Mai.

Projektspiegel

Neues aus der Clusterforschung

Seite 22

Die Planungen für das vierte EDA-Clusterforschungsprojekt sind angelaufen.

Neues aus dem edacentrum

Neue Personen am edacentrum

Seite 22

Im Steuerungsgremium des edacentrum gibt es Wechsel und am edacentrum eine neue Mitarbeiterin.

EDA-Veranstaltung

MEDEA+/ENIAC Forum

Seite 28

Ein Bericht vom MEDEA+/ENIAC-Forum 2006, die Ende November 2006 in Monaco stattgefunden haben.

EDA-Veranstaltung

Arbeitskreis „IC Design“ mit einem Workshop im Mai

Seite 34

Geballte Kompetenz zahlreicher Unternehmen und Forschungseinrichtungen auf dem Gebiet des Entwurfs von Analog-, Mixed-Signal- und HF-Bauelementen.

Trendberichte

Unser Angebot: Der „edaTrend DATE07“

Seite 38

Sie können nicht vor Ort sein, möchten sich aber über alles Wissenswerte von der DATE informieren? Dann wird Sie das neue Angebot vom edacentrum interessieren!

Projektmanagement

Alex und Bill – Die Notwendigkeit, an einem Strang zu ziehen

Seite 38

Die Fortsetzungsgeschichte zum Projektmanagement.

Panorama

Meldungen aus der EDA-Welt

Seite 42

Halten Sie eine EDA-Rückschau auf die vergangenen Monate mit dem „Pressescan“ im newsletter edacentrum.

Marktbeobachtung

EDA Consortium reports continued Growth in 3rd Quarter 2006

Seite 45

Wie in jeder Ausgabe finden Sie hier die Entwicklung der aktuellen Umsatzzahlen im Bereich EDA.

Neues von den Mitgliedern

Portraits und Neuigkeiten unserer Mitgliedsfirmen

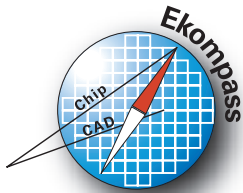
Seite 46

Mitgliedsfirmen stellen sich und ihre neuen Produkte vor.

Ausblick

Vorschau auf die kommende Ausgabe

Seite 55



1 Projektspiegel

Der Ekompas-Förderkomplex

www.edacentrum.de/ekompas

Die zur Zeit vom edacentrum betreuten Projekte gehören zu dem vom Bundesministerium für Bildung und Forschung (BMBF) zur Stimulation von EDA-Forschungsaktivitäten eingerichteten Förderkomplex namens Ekompas. Ekompas steht für „Entwurfsplattformen für komplexe angewandte Systeme und Schaltungen der Mikroelektronik“. Mit diesem Förderkomplex will das BMBF in erster Linie dazu beitragen, die einer starken internationalen Konkurrenz ausgesetzten Arbeitsplätze in der Systemindustrie und im EDA-Umfeld zu erhalten und auszubauen.

Ziel ist es, durch ein gemeinsames Vorgehen von Industrie, Forschung und öffentlicher Hand, in den für Deutschland (und für Europa) wichtigen Bereichen neue Entwurfsmethoden zu entwickeln, um die Komplexität zukünftiger Chipsysteme qualitätsgerecht und

effektiv beherrschen zu können. Dabei wird der Fokus auf solche Themen gelegt, denen für die Wettbewerbsfähigkeit der deutschen Industrie die größte Bedeutung zukommt.

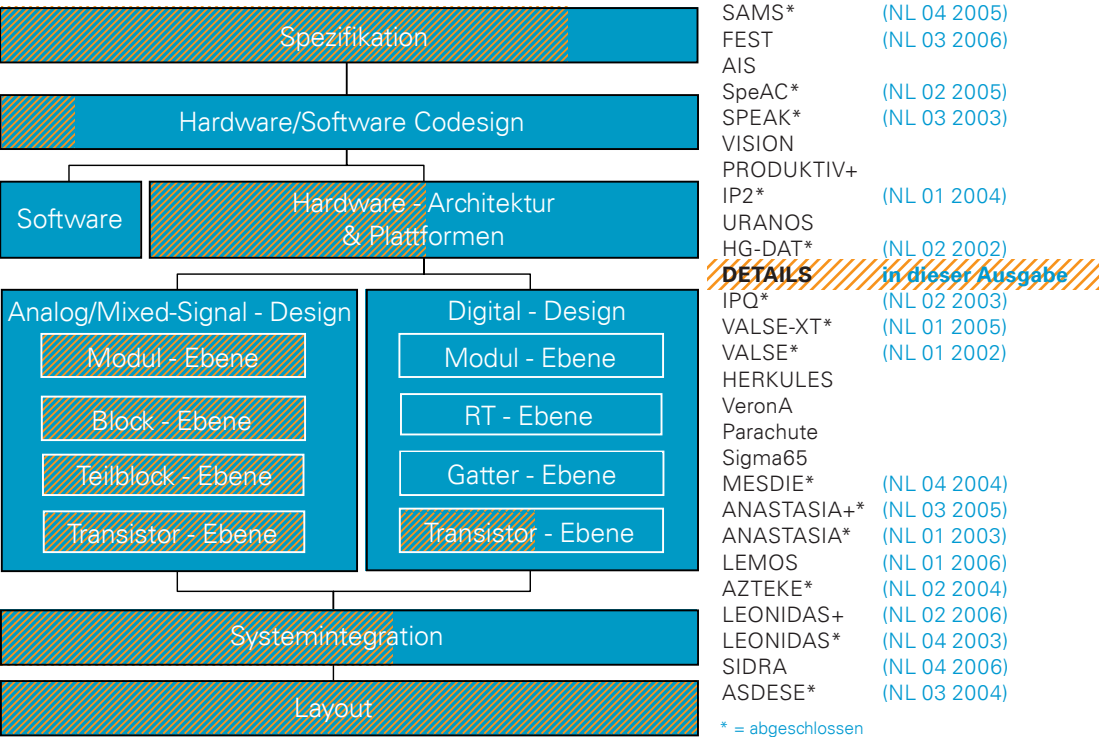
Der Förderkomplex Ekompas ist allerdings nicht nur von nationaler Bedeutung. Die meisten Forschungsvorhaben haben ein internationales Umfeld, insbesondere auf europäischer Ebene, wo Synergien aus gemeinsamen Stärken entstehen. Die für Ekompas sehr wichtige europäische Zusammenarbeit wird auch dadurch transparent, dass einige der Ekompas-Projekte in MEDEA+ Projekte eingebettet sind.

Der Newsletter des edacentrum berichtet in loser Folge über die Projekte des Ekompas-Förderkomplexes.

Abbildung 1.01:
Übersicht über die aktuellen Ekompas-Projekte.

Projekt	FKZ	Laufzeit	Projektkoordination
AIS	01M3083	01.12.2006 - 30.11.2009	Dr. Volker Schöber, schoeber@edacentrum.de
DETAILS	01M3071	01.04.2004 - 31.03.2007	Reimund Wittmann, reimund.wittmann@nokia.com
FEST	01M3072	01.07.2004 - 30.06.2007	Dr. Volker Schöber, schoeber@edacentrum.de
HERKULES	01M3082	01.12.2006 - 30.11.2009	Dr. Hans-Werner Sahm, hsahm@alcatel-lucent.com
MAYA	01M3172	01.06.2006 - 31.05.2009	Dr. Sebastian Sattler, sebastian.sattler@infineon.com
Parachute	01M3169	01.04.2006 - 31.03.2009	Thomas Steinecke, thomas.steinecke@infineon.com
PRODUKTIV+	01M3077	01.10.2005 - 30.09.2008	Dr. Jürgen Alt, juergen.alt@infineon.com
Sigma65	01M3080	01.10.2006 - 30.09.2009	Dr. Manfred W. Dietrich, manfred.dietrich@eas.iis.fhg.de
URANOS	01M3075	01.07.2005 - 30.06.2008	Dr. Hans-Jürgen Brand, hans-juergen.brand@amd.com
VeronA	01M3079	01.06.2006 - 31.05.2009	Peter Jores, peter.jores@de.bosch.com
VISION	01M3078	01.05.2006 - 30.04.2009	Dr. Joachim Gerlach, joachim.gerlach@de.bosch.com

Abbildung 1.02:
Das Bild zeigt verschiedene Entwurfsvorgänge des Schaltungsentwurfs. Dabei sind die Schwerpunkte des Projektes DETAILS hervorgehoben, weil sich das Projekt DETAILS in dieser Ausgabe des Newsletters präsentiert.



DETAILS: Neue Möglichkeiten für die Konzipierung und den Entwurf von höchstintegrierten Endgeräten mit besonderer Berücksichtigung von eingebetteten HF-IP Baugruppen

R. Wittmann¹, R. Kakerow¹, Ch. Münker², W. Schneider³ and P. Birrer⁴

¹Nokia GmbH, ²Infineon Technologies AG, ³Atmel Germany GmbH, ⁴Cadence Design Systems GmbH

Einleitung

Der weltweit steigende Bedarf an mobilen Kommunikationsdienstleistungen erfordert einen immer schnelleren Austausch von Informationen über bandbegrenzte Übertragungswege (terrestrisch, drahtgebunden, optisch). Anwendungsgebiete liegen beispielsweise in der Telekommunikation, dem Entertainment, der Gebäudeautomation und in zunehmendem Maße auch in der Medizintechnik. Zur Ausnutzung der zur Verfügung stehenden Übertragungsbandbreite bedarf es hochkomplexer Modulationsverfahren und Systemarchitekturen. Gleichzeitig sind die hohe Zuverlässigkeit, niedrige Kosten und ein geringer Energiebedarf (Batteriebetrieb) dieser Architekturen von besonderer Bedeutung. Daraus entstehen neue Herausforderungen an den Systementwurf und besondere Anforderungen an die Entwurfswerkzeuge.

Das Projekt DETAILS (01M3071) konzentriert sich auf den Aufbau einer effizienten Entwurfstechnologie für wieder verwendbare, hochintegrierte Hochfrequenz-Schlüsselkomponenten in zukünftigen mobilen Kommunikationssystemen hoher Komplexität für Trägerfrequenzen bis 60 GHz. Die hier betrachtete HF-Entwurfstechnologie umfasst die Bereiche EDA-Entwurfsumgebungen und -Werkzeuge, Entwurfsmethodik, Modellierungsverfahren und die Schnittstelle zum Fertigungsprozess.

Der Anwender erwartet zuverlässige und kostengünstige Multi-Standard-Endgeräte und Dienste mit hohem Gebrauchswert für Anwendungen wie z. B. das zukünftige

mobile Internet. Mit den bisher verfügbaren Entwurfsverfahren können diese noch nicht bereitgestellt werden. Wichtig ist die Verkürzung der Entwicklungszeit bei gleichzeitiger Erhöhung der Planungssicherheit. Dazu gehören neue Entwurfsabläufe und Modellierungsverfahren zur sicheren Systemkonzipierung.

Aus dieser entscheidenden Bedeutung des Design-Flows leitet sich die Zuordnung der Arbeiten des Projekts in die vier Hauptbereiche HF-Systemmodellierung, HF-IP Entwurf, Prozessanbindung für HF-Systeme und HF-Entwurfsplattform ab. Der HF-Design-Flow ist hierbei das zentrale Bindeglied der durchgeführten Arbeiten zur Bereitstellung einer geeigneten Entwurfstechnologie. Im „newsletter edacentrum 02 2005“ wurden die Arbeitsbereiche mit den Forschungszielen bereits vorgestellt. Deshalb fasst dieser Bericht eine Auswahl wichtiger Forschungsergebnisse aus den unterschiedlichen Bereichen zusammen und verdeutlicht den erzielten technischen Fortschritt.

Gigabit-Radio-Technologie für Funkssysteme im Mikrowellen-Bereich

Zukünftige Telekommunikationssysteme werden durch ihre Komplexität und multidisziplinäre Ansätze die Leistungsfähigkeit konventioneller Entwicklungsumgebungen und Entwurfsmethoden in Frage stellen. Um auf die zu erwartenden Herausforderungen reagieren zu können, müssen schon jetzt beispielhaft Systeme mit extremen technischen Anforderungen wie hohen Datenraten, Signalbandbreiten, Rechenleistungen

Zusammensetzung des Projektkonsortiums:

Projektpartner:

- » Atmel Germany GmbH
- » Cadence Design Systems GmbH
- » Infineon Technologies AG
- » Melexis GmbH
- » Nokia GmbH

Unterauftragnehmer:

- » TU Cottbus
- » Fraunhofer-IIS EA
- » IMMS gGmbH
- » TU Dresden
- » Universität Ulm

Förderkennzeichen:

01 M 3071

Laufzeit:

01.04.2004–31.03.2007

Homepage:

www.edacentrum.de/ekompass/projekte/details/

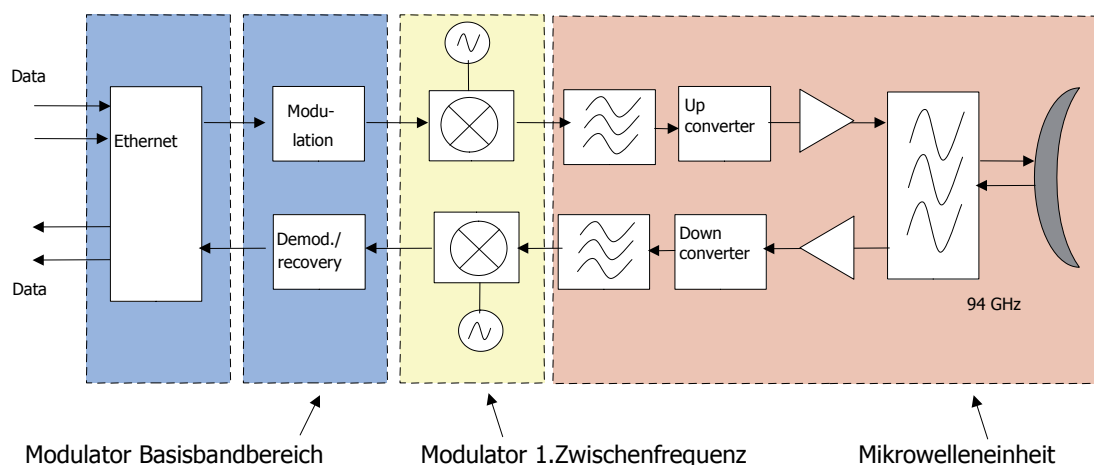


Abbildung 1.03: Konzeptdiagramm des Gigabit-Radio-Demonstrators

und Trägerfrequenzen betrachtet werden. Die daraus resultierenden Anforderungen an Designumgebung, Modellierung und Simulation müssen entsprechend analysiert und auf ihr Verbesserungspotential hinsichtlich Genauigkeit, Geschwindigkeit und Unterstützung für den Designer untersucht werden.

Die Gigabit-Radio-Technologie eignet sich auf Grund ihrer multidisziplinären Komplexität (Ethernet, digitale Signalverarbeitung, HF, Mikrowellentechnik) und ihrer technischen Herausforderungen (Trägerfrequenz, Signalbandbreite, Genauigkeit) hervorragend als Systembeispiel [1]. Hinzu kommt, dass bereits Messergebnisse von ersten Prototypen vorliegen, mit denen die erarbeiteten Modellansätze abgeglichen werden können.

Abbildung 1.03 zeigt das Blockdiagramm des im Projekt DETAILS betrachteten Gigabit-Radios. Eingehende Gigabit-Ethernet-Daten werden mit einer Datenrate von 1,25 GHz in den Sender eingespeist. Im Basisbandbereich werden die Daten mit einer $\pi/4$ D-QPSK digital moduliert und gefiltert. Die Umsetzung in die analoge Domäne mit Hochsetzung auf eine Zwischenfrequenz (ZF) von 3 GHz findet im nachgeschalteten ZF-Front-End statt. Eine Mikrowelleneinheit mischt das Signal in den Mikrowellenbereich, wo es über Cassegrain-Antennen übertragen wird. Der Empfang erfolgt entsprechend, mit den erforderlichen Algorithmen zur Signalkorrektur, Taktrückerkennung, Filterung und Demodulation, im digitalen Basisband.

Die wesentlichen Entwurfsschritte und die Implementierung des Gigabit-Radios wurden bei Nokia als interne Entwicklung durchgeführt. Forschungsaspekte im Entwurfsprozess, die als kritisch identifiziert wurden, konnten an die Förderprojekte DETAILS und SAMS zur Erarbeitung neuer Modellierungsansätze übergeben werden. Im Rahmen dieser Zusammenarbeit wurden Modelle erstellt, die eine Betrachtung des gesamten Übertragungssystems unter Einbeziehung relevanter physikalischer Parameter erlauben [2]. Die Verwendung von Hochsprachenmodellierung in Kombination mit analogen Beschreibungen, zum Bei-

spiel basierend auf SystemC-AMS, ermöglichte eine Erfassung des Gesamtsystems mit den zur Verfügung stehenden Rechenressourcen. Anhand dieser Modelle konnte eine Evaluierung unterschiedlicher Entwurfsparameter durchgeführt werden.

Die Kernkomponenten der Referenzimplementierung des Gigabit-Radio-Modulators sind in Abbildung 1.04 zu sehen. Die Basisband-Signalverarbeitung wurde in einem FPGA implementiert, welches sich zusammen mit dem Gigabit-Ethernet-Interface, der Takterzeugung und den A/D- bzw. D/A-Umsetzern des Signalpfades auf dem Basisband-Board befindet. Der Hochfrequenzteil des Modulators mit einer Zwischenfrequenz von 3 GHz wurde für Sender und Empfänger auf zwei Boards verteilt. Nicht abgebildet ist der Mikrowellenteil, der das Signal auf die Trägerfrequenz im E-Band (74/84/94 GHz) hochsetzt.

Erste Tests mit dem erstellten Demonstrator ergaben eine gemessene Roh-Bitfehlerrate der Funkstrecke bei 84 GHz zwischen 10^{-7} und 10^{-4} . Dieser Wert wurde ohne Kanalkodierung erreicht, die nun im Rahmen der Weiterentwicklung des Systems implementiert wird. Die im Rahmen von DETAILS und der Kooperation mit SAMS erarbeiteten Ergebnisse erlauben eine gezielte Optimierung der kritischen Parameter wie Linearität oder Jitter, indem geeignete Modellierungsansätze zur Verfügung gestellt werden.

Built-In Self-Test und Self-Calibration (BIST/BISC) für Hochfrequenzblöcke

Aktuelle CMOS-Technologien mit ihren hohen Integrationsdichten ermöglichen hochintegrierte Systemlösungen, die HF-Transceiver und digitale Signalverarbeitung auf einem Chip vereinen. Allerdings sind diese Technologien mit Hinblick auf digitale Schaltungen optimiert und weisen zum Beispiel deutlich stärkere Parameterschwankungen und einen geringeren Dynamikbereich als spezielle analoge Technologien auf. Daher müssen Transceiverarchitekturen mit hohem Digitalanteil, wie Delta-Sigma-modulierte PLLs verwendet werden, um die benötigte Performance zu erzielen.

Diese komplexen Architekturen stellen, aufgrund der Funktionsvielfalt und der engen Wechselwirkung zwischen HF- und digitalen Komponenten, große Anforderungen an die Prüftechnik. Die resultierenden Testkosten machen mit steigendem Trend bis zu 25% der gesamten Produktionskosten aus [3] und müssen reduziert werden, um aufgrund des hohen Wettbewerbsdruck in der Halbleiterindustrie konkurrenzfähig zu bleiben.

Auf der anderen Seite eröffnet die hohe Integrationsdichte neuartige Möglichkeiten für kombinierte, effiziente Selbstabgleich- und Selbsttestalgorithmen: Built-In Self Calibration (BISC) / Built-In Self Test (BIST), die trotz komplexer digitaler Signalverarbeitungsalgorithmen nur wenig zusätzliche Chipfläche benötigen.

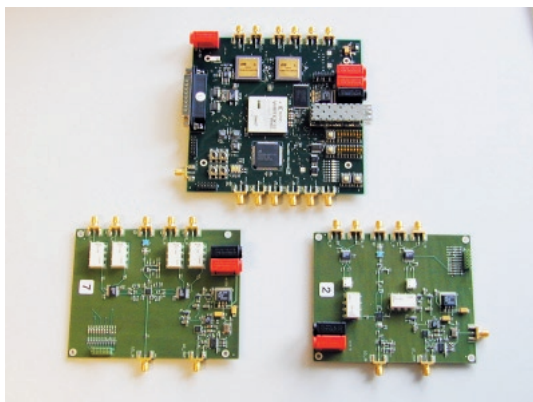


Abbildung 1.04: Gigabit-Radio-Modulator-Implementierung: Basisband (oben), HF/ZF Sender (links unten), HF/ZF Empfänger (rechts unten)

Die dadurch erzielten Ausbeuteverbesserungen und Testzeitverkürzungen gleichen die zusätzliche Fläche mehr als aus.

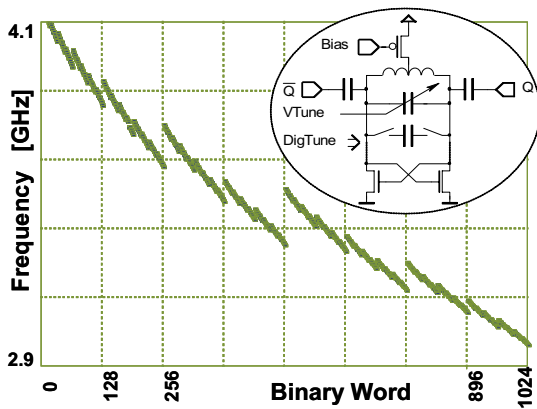


Abbildung 1.05: VCO mit 1024 Subbändern

Im Rahmen von DETAILS wurden unter anderem Test- und Abgleichskonzepte für PLLs und VCOs untersucht. VCOs sind besonders problematische Komponenten in CMOS-Technologien, da die Streuungen von MOS-Varaktoren wesentlich höher sind als die von dedizierten Varaktoren in BiCMOS-Technologien. Die konventionelle Lösung, einen VCO mit großer Steilheit zu verwenden, um den geforderten Frequenzbereich unter allen Randbedingungen und Prozessecken abzudecken, macht das System sehr störanfällig und verschlechtert die Performance. Daher wurde der Tuningbereich in 1024 Sub-Bänder aufgeteilt, so dass eine niedrige Steilheit von 60 MHz/V genügt, um insgesamt 1.2 GHz abzudecken (Abbildung 1.05). Die Auswahl des geeigneten Bands geschieht innerhalb weniger μ s mittels eines Successive-Approximation-Algorithmus (Abbildung 1.06).

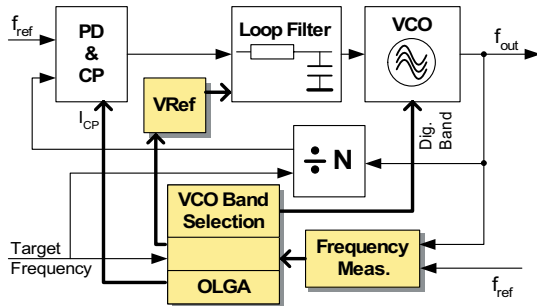


Abbildung 1.06: Automatische VCO Kalibrierung und Test

Darüber hinaus zeigt Abbildung 1.06 eine BISC-Methode, um Schleifenverstärkung und -bandbreite trotz schwankender Parameter (Open Loop Gain Automatic Adjustment, OLGA) konstant zu halten. Die entsprechende Reduktion der Streuung durch Open Loop Gain Automatic Adjustment, OLGA [4] ist in Abbildung 1.07 dargestellt.

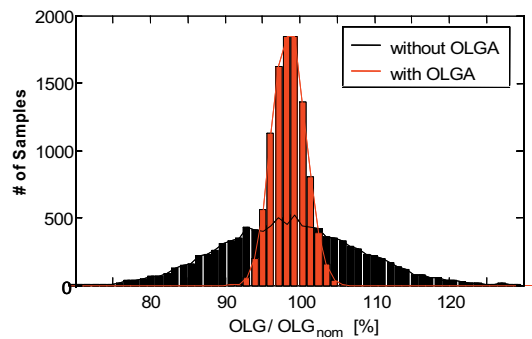


Abbildung 1.07: Reduktion der Open-Loop-Gain Streuung durch BISC

Die schlechte Testbarkeit von HF-Blöcken, die in ein komplexes System-On-Chip eingebettet sind, macht digitale BISC-Konzepte besonders attraktiv: Indem man die BISC-Regelgrößen gegen Testlimits abprüft, erhält man eine effiziente BIST-Lösung, die langsame HF-Tests auf teuren HF-Testern ersetzen kann. Mit der Anordnung in Abbildung 1. 4 ist es beispielsweise möglich, eine große Zahl relevanter VCO-Tests chipintern ohne externes Testequipment durchzuführen; auf Testchips konnte so die Testzeit um mehrere 100 ms verkürzt werden.

Effiziente Methoden für den HF-IP-Schaltungsentwurf

Eine systemkonforme Modellierung für HF-IP's ist die Voraussetzung für eine höchstmögliche Flexibilität auf Systemebene, in der der bereitgestellte IP-Block und das dazugehörige Multilevel-Funktionalmodell keine starre Funktionalität besitzen, sondern auf spezielle Systemanforderungen hin formbar bleiben (parametrisierbar, konfigurierbar). Unter HF-IP werden hier in einer Hochsprache vorliegende, ausführbare Entwurfsbeschreibungen für die Bereiche Symbol, Modell, Schaltung und Layout verstanden.

Die möglichst automatische Erstellung von schnellen Verhaltensmodellen für RF-Blöcke stellt eine besondere Herausforderung dar, da es hier auf eine besonders hohe Modellierungsgenauigkeit ankommt. Die neue Methodik zur Generierung von Linearen-Transfer-Funktionen- (LTF-) Modellen ist als wichtiger Schritt in Richtung eines automatisierten Design-Flows zu sehen. Mit dieser Methodik können relevante Schaltungseigenschaften von der Transistorebene automatisch in Modelle für die Systemebene „übersetzt“ werden. Der zu modellierende Schaltungsblock wird hierbei als „Black-Box N-Port“ über S-Parameter charakterisiert. Aus diesen S-Parametern werden mit Hilfe der Vector-Fitting-Approximation alle Transferfunktionen einer beliebigen Übertragungsmatrix modelliert. Da bei diesem Verfahren die Modelleigenschaften automatisch aus den Eigenschaften von beliebigen Analogschaltungen abgeleitet werden können, ist diese Methode besonders wertvoll für die automatische Bottom-Up-Verifikation von komplexen Systemen. Die Schaltungstopologie spielt bei diesen

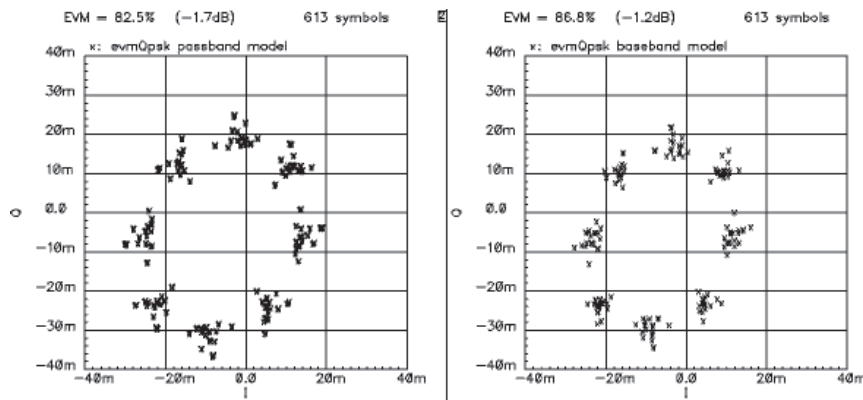


Abbildung 1.08: Laufzeitintensives Modell in Trägerfrequenzbereich (links) und LTF-Modell für analoges Front-End

Black-Box-Modellen keine Rolle; somit lassen sich hier die parasitären Effekte aus der Hochintegration besonders einfach berücksichtigen. Bei Funktionalmodellen, die sich aus der Schaltungstopologie ableiten, ist dies nicht so einfach möglich, da besonders im HF-Bereich zusätzliche parasitäre Elemente die Schaltungstopologie verändern können. Ein Vergleich der Genauigkeit zwischen der LTF-Modellierung und dem wesentlich aufwändigeren Modell im Trägerfrequenzbereich ist in Abbildung 1.08 gezeigt.

Durch die Verbesserung der Eigenschaften der Simulationsmodelle (Genauigkeit, Laufzeit) kann das Verhalten der Schaltungen und Systeme noch vor der Fertigung analysiert und optimiert werden. Dadurch lassen sich Ausbeuteverluste oder sogar Totalausfälle von kritischen HF-Komponenten vermeiden.

Neben der Verbesserung der Modellierung werden im Projekt DETAILS neue rechnergestützte Möglichkeiten untersucht, Qualität und Ausbeute von Analog- und HF-Schaltungen durch die gezielte Ausnutzung spezieller, für den HF-Entwurf bisher brach liegender Eigenschaften der Sub-100 nm Prozesse zu verbessern. Durch eine zuverlässige Integration von HF-Komponenten in Standardprozesse lassen sich für Produkte für den Massenmarkt Fertigungskosten einsparen. Da die komplette Signalverarbeitung auf nur einem Chip stattfinden kann, ergibt sich gleichzeitig die Möglichkeit einen erheblichen Teil der bisher benötigten Verlustleistung einzusparen und ein Potential für einen Gewinn an Datenrate und Rechenleistung.

Durch die Verkleinerung der Strukturgrößen und dem damit einhergehenden anwachsenden Integrationsgrad werden aufwändige Verfahren der statistischen Mittelung und der Selbstkalibrierung besonders interessant. Auch können nun Schaltungstopologien zum Einsatz kommen, die in der Vergangenheit aufgrund ihrer hohen Komplexität nicht berücksichtigt werden konnten. In der Projektarbeit wurden einige viel versprechende Ansätze untersucht, den störenden Auswirkungen von anwachsenden Einflüssen von Parameterschwankungen wirksam zu begegnen. Da sich diese Verfahren größtenteils nicht mehr durch den traditionellen Handentwurf adressieren lassen, galt es,

die durchzuführenden Entwurfsschritte auf geeignete Weise zu automatisieren.

Mit dem Erreichen des 65 nm-Technologieknotts werden neue schaltungstechnische Möglichkeiten anwendbar, um den störenden Auswirkungen von Parameterschwankungen in Analogschaltungen zu begegnen. Anhand des in Abbildung 1.09 gezeigten Beispiels eines digitalen 1024-Stufen-Potentiometers wurde ein Bereich der Schaltungsoptimierung in den Vordergrund gerückt, der in der Vergangenheit oft nur am Rande betrachtet wurde, den einer varianz-freudlichen analogen Schaltungstechnik, die sich die hervorragenden Mittelungseigenschaften statistisch verteilter Einheitsselemente gezielt zu Nutze macht. Dass zunehmende relative Parametertoleranzen der Bauelemente nicht notwendigerweise schlechtere Schaltungs- oder Systemeigenschaften nach sich ziehen müssen, konnte eindrucksvoll an diesem Beispiel demonstriert werden. Entgegen der üblichen Praxis, die Flächen von kritischen Bauelementen zu vergrößern, um den Einfluß statistischer Streuungen einzudämmen und die Matching-Eigenschaften zu verbessern, wurden hier die Flächen der Bauelemente (hier Widerstände) so weit wie möglich verringert. Die Matching-Genauigkeit der einzelnen Widerstände verschlechterte sich so auf etwa 5%. Solche Genauigkeitswerte sind für Präzisionsschaltungen wie zum Beispiel ein 10 Bit R-2R DAC völlig unbrauchbar. Der Widerstand für das MSB benötigt hier eine Genauigkeit von 0,1% für eine Linearität von 10 Bit, da der Spannungsabfall über diesem Widerstand 512 LSB Schritten entspricht (erlaubter Fehler 0,5 LSB). Verwendet man diesen Widerstand jedoch in einer potentiometrischen Topologie (10 Bit Umsetzer, Reihenschaltung aus 1024 Widerständen) bedeutet ein lokaler Fehler von 5% lediglich eine differentielle Nichtlinearität von nur 0,05 LSB, da der Spannungsabfall über jedem Widerstand etwa einem LSB entspricht. Man könnte für die integrale Nichtlinearität dieses Umsetzers nichts Gutes vermuten: Wenn die 1024 Einzelwiderstände jeweils einen Matching-Fehler von bis zu 5% haben können, so sollte der Gesamtwiderstand auch nur eine relative Genauigkeit von 5% haben (INL \leq 50 LSB). Durch das Prinzip der statistischen Mittelung, bei der die Verteilungsfunktion der Parameterstreuungen mit berücksichtigt wird, ist die tatsächlich

erzielte integrale Linearität jedoch mindestens um den Faktor 100 besser. Hierbei wird mittels Simulationen unter Berücksichtigung statistischer Schwankungen von vielen gleich dimensionierten Bauelementen, die an einem System beteiligt sind, eine bezüglich Spezifikation und damit Ausbeute optimierte Architektur ermittelt und erstellt. Gleichzeitig werden diese aus vielen Komponenten bestehenden Strukturen durch geeignete Layoutgeneratoren unterstützt. Dadurch kann das Gesamtsystem Einfluss auf die Gestaltung optimaler Einheits Elemente nehmen. Für das Design wurde eine ausführbare Entwurfsablaufbeschreibung erstellt (GEM-Ansatz [5]). Es konnte festgestellt werden, dass die statistische Mittelung mindestens um den Faktor 4 genauer als die traditionellen Verfahren der Flächenvergrößerung sein kann, deren Grenze bei etwa 10 Bit Gesamtlinearität liegt und die einen wesentlichen höheren Flächenbedarf aufweisen.

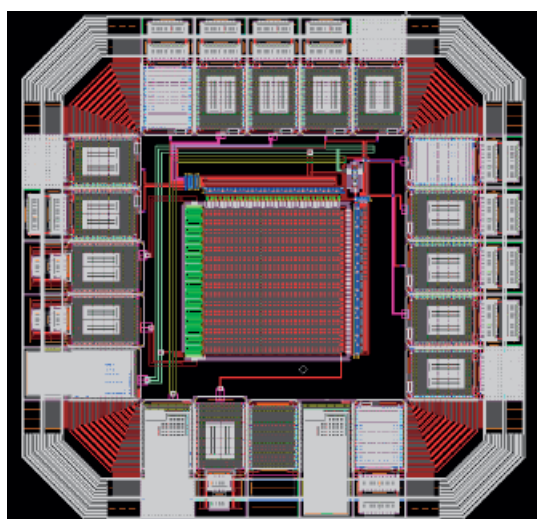


Abbildung 1.09: Layout des digitalen Potentiometers in 65 nm CMOS

Mit Hilfe statistischer Verfahren erzielt die ausgewählte Schaltung eine Linearität von 10 Bit mit exzellentem Temperaturverhalten. Es wird kein spezielles Widerstandsmaterial verwendet, die Architektur kommt mit einfachem Gate-Poly aus und kann somit in reinen Digitalprozessen gefertigt werden. Eine mögliche Erweiterung in Richtung 12-Bit Grundgenauigkeit (4096 Stufen) wurde aus den aktuellen Messergebnissen hergeleitet.

Der hier gewählte Ansatz, die Ausbeute durch Mittelwertbildung aus vielen gleichen Referenzelementen zu erhöhen, ist auch für andere Anwendungen Erfolg versprechend. Er fördert die Robustheit gegenüber Störeinflüssen und ermöglicht intrinsische Qualitätsverbesserungen, die vielleicht noch über das hinausgehen, was durch eine alternative Kalibrierung der Schaltung von der Systemebene aus möglich ist. In Richtung zukünftiger Prozesstechnologien (< 65 nm) bedeutet Regularität im Analogdesign einen erheblichen Gewinn an Genauigkeit. In der Vergangenheit verhinderten die

Mindeststrukturgrößen mit einhergehenden Gradieneffekten bei ausgedehnten Strukturen eine sinnvolle Anwendung dieses Prinzips. Der Flächengewinn vergrößert sich jeweils mit Übergang zum nächsten Technologieknoten und ermöglicht damit wie beim Digitaldesign eine Skalierung der benötigten Fläche in Abhängigkeit von den Prozessgeometrien.

Monte-Carlo-Simulation mit neuartigem statistischen Design-Kit

Eine optimale Korrelation mit der Statistik des technologischen Prozesses und durchgängig statistische Modelle sind erstmals in einem neuen Design-Kit implementiert. Damit werden für die Optimierung der Ausbeute und Zentrierung des Designs bereits in der frühen IC-Entwicklungsphase erweiterte Möglichkeiten eröffnet. Generiert wurden die Modellparameter dabei mit TRADICA, das neben den Geometriedaten direkt die Prozessparameter und die Prozessstatistik zur Parameter-Extraktion nutzt [6]. Das Design-Kit wurde im Rahmen des DETAILS Förderprojektes bereits praktisch vorgeführt.

Monte-Carlo- und Corner-Simulation

Um bereits in einer frühen Phase des IC-Design-Flows eine hohe Fertigungsausbeute zu garantieren und Redesigns zu vermeiden, werden schon seit längerer Zeit in der Schaltungsentwicklung Simulationstools eingesetzt, welche die Auswirkungen der unvermeidlichen Parameterschwankungen des Fertigungsprozesses nachbilden. So wird für die Simulation von Grenzzuständen des verwendeten Prozesses die Corner-Simulation mit definierten Worst-Case-Zuständen eingesetzt. Für die Nachbildung der gesamten Prozessstatistik kommt die Monte-Carlo-Simulation zur Anwendung.

Bei digitalen CMOS-Schaltungen sind Slow/Fast-Kombinationen gängige Corner-Fälle. Bei Analogschaltungen spiegeln sich Streuungen der verschiedenen Prozessparameter jedoch ganz unterschiedlich im Verhalten der jeweiligen Schaltung wider. Beim hier vorgestellten Design-Kit wurden daher für die Modellierung der statistischen Prozessgrößen neue Wege beschritten: Ohne Umweg über elektrische Kenngrößen (Beta, Early-Spannung ...) werden skalierbare Modelle mit Hilfe des Expertensystems TRADICA direkt aus der geometrischen Beschreibung und den Prozessdaten bzw. der Prozess-Statistik generiert. Bauelemente und elektrische Kenngrößen, die von denselben Technologieparametern abhängen, behalten bei der Modellierung ihre Korrelationen bei. Ohne zusätzlichen Aufwand werden damit auch die statistischen Eigenschaften dieser Parameter im Modell abgebildet.

Voraussetzung dafür ist allerdings eine ausreichend große Datenbasis. Hierzu wurden die PCM- (Process-Control-Monitor) Strukturen ausgewertet, die mehrfach auf jedem produzierten Wafer platziert sind.

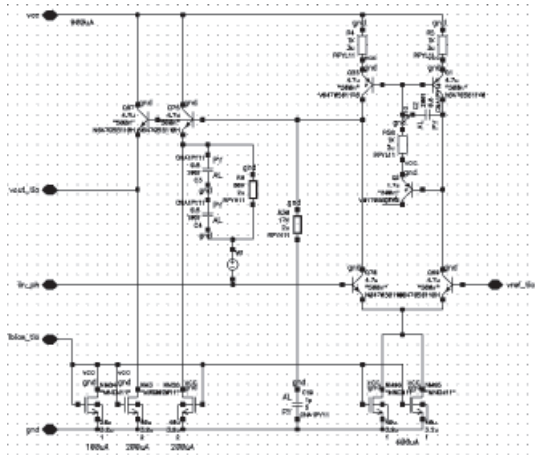


Abbildung 1.10: Schaltungsbeispiel

Das statistische Design-Kit in der praktischen Anwendung

Betrachtet wird die Analyse und Minimierung des DC-Offsets des in Abbildung 1.10 gezeigten Operationsverstärkers. Prozessparameter und Mismatch von Bauelementen können dabei separat oder gemeinsam statistisch simuliert werden. Das Ergebnis der kombinierten Analyse lässt direkt auf die zu erwartende Parameterstreuung nach dem technologischen Durchlauf schließen.

Die statistische Simulation der Prozessschwankungen ermöglicht Korrelationsbetrachtungen zwischen Prozessparametern (zum Beispiel Schichtwiderstände, Basisdiffusion, usw.) und den interessierenden Ausgangskenngößen der Schaltung. Über die Auswertung der Korrelationskoeffizienten können diejenigen Prozessparameter identifiziert werden, welche die Schaltung maßgeblich beeinflussen. Es wird nun möglich, Corner-Fälle zu definieren, die auf die betrachtete Schaltung zugeschnitten sind. Auch die Wirkung einzelner Prozessparameter ist analysierbar, beispielsweise in einem Sweep von Prozessparametern.

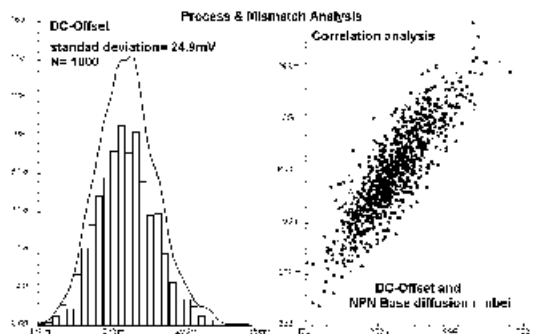


Abbildung 1.11: Als Ergebnis der Monte-Carlo-Analyse erhält man die Streuung des DC-Offsets und die deutliche Korrelation mit NPN base doping r_{nbei}

Die Mismatch-Analyse bildet die Streuung benachbarter Bauelemente nach. Dabei werden die geometrischen Abmessungen mit ihrer charakteristischen Streuung hinterlegt, die aus besonderen PCM-Mismatch-Strukturen ermittelt wird. Da an jedem Bauele-

ment die Mismatch-Eigenschaft wählbar ist, können alle Bauelemente zusammen oder nur ausgesuchte Bauelemente allein statistisch simuliert werden. Das Ergebnis der Mismatch-Analyse gibt Hinweise auf kritische Abmessungen von Bauelementen. In Kombination mit einem sorgfältig ausgeführten IC-Layout können nun die Ergebnisse aus der statistischen Analyse erfolgreich umgesetzt werden.

In dem vorliegenden Beispiel wird die Schaltung sukzessive optimiert:

- » durch Einfügen einer Basisstrom-Kompensation
- » Bufferstufen sorgen für bessere Entkopplung
- » eine Kaskodestufe erhöht das Open-Loop-Gain.

Abbildung 1.11 zeigt die Analyse des DC-Offsets vor und Abbildung 1.12 nach der Optimierung durch die Mismatch-Analyse. Es ist klar zu erkennen, dass die Streuung des DC-Offsets durch die Betrachtung von technologiebedingten Korrelationen direkt bei der Modellierung im Design-Kit erfolgreich reduziert werden konnte.

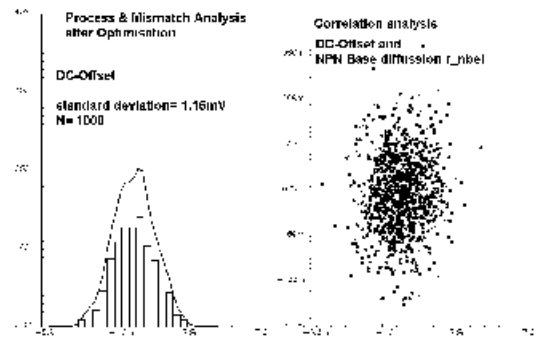


Abbildung 1.12: Nach der Optimierung ist die Streuung des DC-Offsets minimiert und seine Abhängigkeit von NPN base doping r_{nbei} verschwunden.

Praktische Erfahrungen

Das vorgestellte Verfahren hat sich bereits mehrfach an komplexen Schaltungen bewährt und ist auf alle Simulationsarten anwendbar (AC, Transient, PSS ...). Abbildung 1.13 zeigt eine gemessene Verteilung des DC-Offsets, die gut mit dem in Abbildung 1.14 gezeigten Modell übereinstimmt.

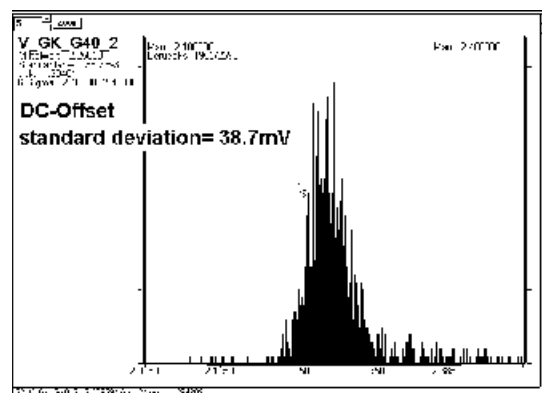


Abbildung 1.13: Gemessene Offsetverteilung einer komplexen Verstärkerstufe

Nr.	Ergebnis	Partner
1	SystemC/-AMS, Import Flow	Cadence, Nokia, FhG
2	Simulink-AMSD Cosimulation	Atmel, Cadence, FhG
3	Statistische Modellierung/TRADICA	Atmel, TUD, Cadence
4	Technologie Portierung BiCMOS - CMOS	Atmel, Infineon
5	GEM IP Generator	Nokia
6	Spulen Generierung & Design	Cadence, Infineon, Nokia, Uni Ulm
7	Modellierung von 3D-Effekten	Atmel, Cadence, CST, Nokia
8	Block-Level RF BIST/BISC	Infineon, Melexis/IMMS, TUD
9	PLL-Verifikation mit SystemC	Infineon
10	Basisband Modellierung/VCME	Cadence, FhG, Infineon

Tabelle 1.01: Bereits in den Gesamtflow eingeflossene Kernergebnisse aus DETAILS

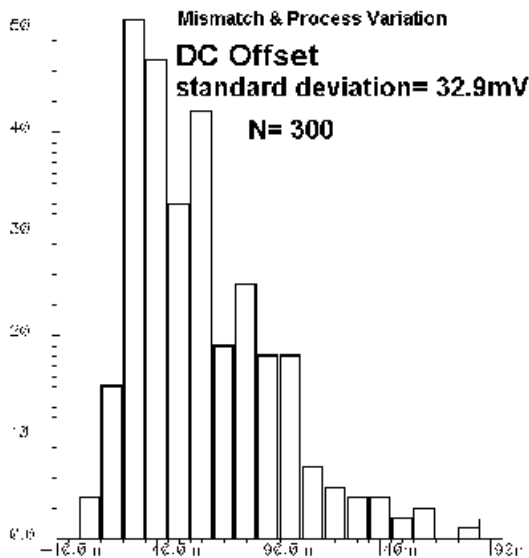


Abbildung 1.14: Ergebnis der zugehörigen Mismatch- und Prozess-Simulation

Einbettung der Ergebnisse in den Design-Flow

Abbildung 1.15 illustriert diejenigen in Tabelle 1.01 aufgeführten Forschungsergebnisse, die beispielhaft in einen DETAILS-Gesamtflow eingebunden und auf ihre Eignung im Entwurf überprüft wurden. Durch die Anwendung der Ergebnisse sind bisher insgesamt drei Demonstratoren sowie weitere Hardware und Teststrukturen entstanden.

SystemC Import Flow

Trotz der wachsenden Komplexität moderner Kommunikationssysteme muss eine hohe Zuverlässigkeit bei gleichbleibend niedrigen Kosten und kurzen Produktzyklen erreicht werden. Nicht nur der Schaltungsentwurf, sondern auch die Verifikation muss deshalb auf höheren Abstraktionsebenen und über die Grenzen des Analog/HF- bzw. Digitalbereichs hinweg betrachtet werden. Dieses Ziel lässt sich durch neue, im Entwurf flexibel einsetzbare Schnittstellen zwischen der Systemebene und der Schaltungsimplementierung erreichen. Für die Analog/Mixed-Signal-Entwurfsumgebung von Cadence konnte exemplarisch eine SystemC-Modell-Importfunktion erstellt werden. Damit ist der Analog/RF-Designer nun in der Lage, komplette System-Testbenches bei der Entwicklung und Verifikation von eingebetteten Analog- und HF-Baugruppen

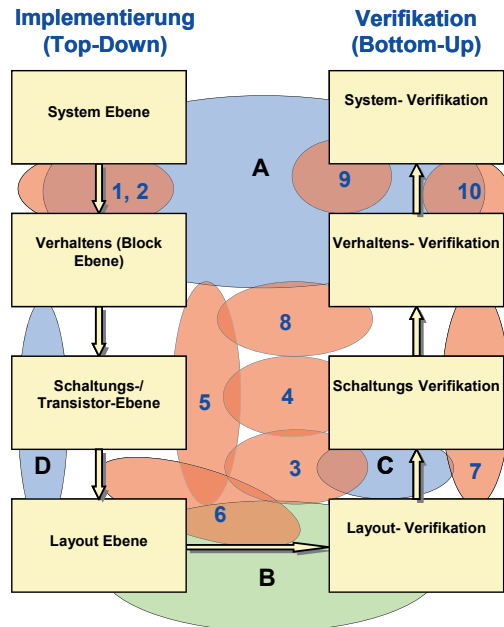


Abbildung 1.15: Aus den Arbeitspaketen erzielte, flow-relevante Ergebnisse (1-10) im DETAILS-Gesamtflow – Demonstratoren: (A) Gigabit-Radio, (B) Hardware & Teststrukturen, (C) Demonstrator zur statistischen Modellierung, (D) Demonstrator zur Bus-Modellierung

auf Transistorebene zu berücksichtigen. Die SystemC-Modelle sind nach dem Import ein Bestandteil der Analog/HF- Simulationsplattform. Dadurch werden Simulationen mit unterschiedlichen Verhaltensmodellen und Sprachen auf verschiedenen Abstraktionsebenen ermöglicht.

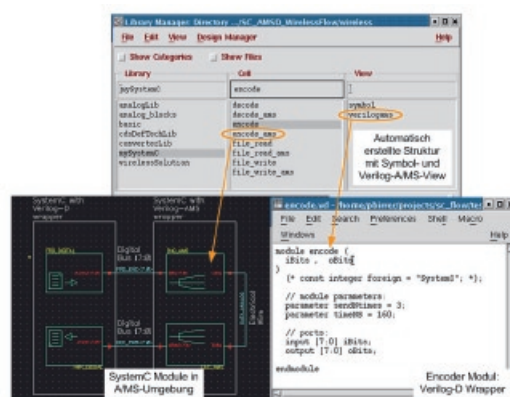


Abbildung 1.16: SystemC-Modell-Importfunktion implementiert in Cadence AMS-Designer.

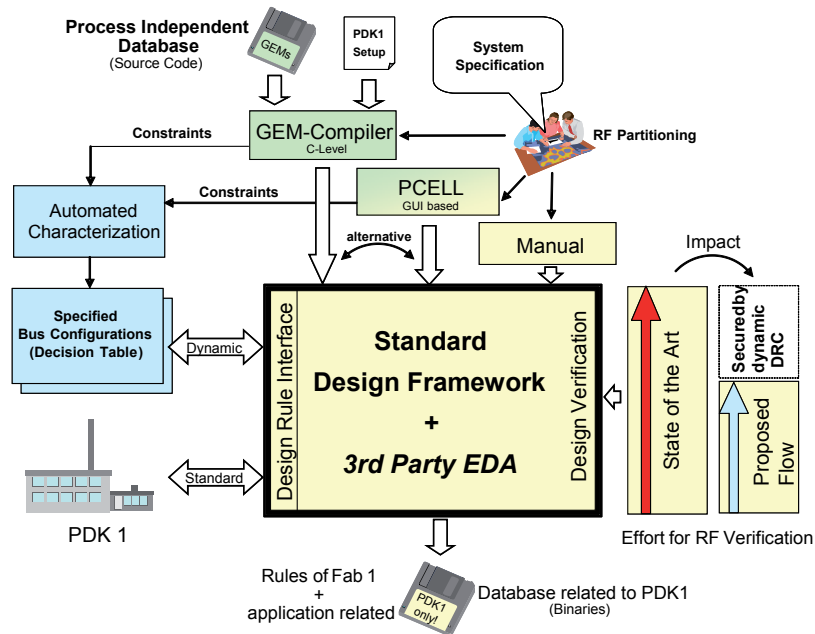


Abbildung 1.17: Die Kombination des GEM-Ansatzes mit dem partiellen Layout-Flow im DETAILS-Gesamtflow ermöglicht die automatisierte Generierung dynamischer Entwurfsregeln für planare Bussysteme.

Die SystemC-Modell-Importfunktion generiert automatisch Verilog-A/MS-Wrappers und Symbole. Die SystemC-Module werden, wie in einem Analogentwurf üblich, in einer Bibliotheksstruktur abgelegt (Abbildung 1.16, oben). Die Verbindung der importierten SystemC-Module zum Gesamtsystem ist durch die Verdrahtung der entsprechenden Verilog-Wrappers im Schematic gegeben (Abbildung 1.16, unten links). Ein Wrapper – beispielsweise Verilog-D für das SystemC Encounter-Modul – ist in Abbildung 1.16, unten rechts, dargestellt. Durch die Verwendung von Wrappern wird eine Kombination der so gekapselten SystemC-Module mit anderen Blöcken (Verilog-A/AMS, VHDL-AMS, Transistor-Level, etc.) ermöglicht.

Die in den heutigen Standard-Einwurfsprozessen übliche Top-Down-Übergabe von Zielspezifikationen für Systemkomponenten führt immer wieder zu Missverständnissen, Informationsverlusten und folglich zu Verzögerungen. Durch die SystemC-Modell-Importfunktion wird die Lücke zwischen der Systemebene und der Schaltungsimplementierung überbrückt, d.h., die Fehleranfälligkeit ist somit reduziert und die Effizienz wird stark verbessert.

Auswahltabellen für Bussysteme im Gesamtflow

Bedingt durch die die wachsende Komplexität, die fortlaufende Miniaturisierung und Arbeitsfrequenzen im Gigahertzbereich gewinnt die optimale Gestaltung der On-Chip-Bussysteme immer mehr an Bedeutung. Der leitbahnzentrierte partielle Layout-Flow, der innerhalb des BMBF-Förderprojektes Leonidas+ (01M3074) entstanden ist, wurde in Kooperation mit dem Projekt DETAILS weiterentwickelt, so dass sich beliebige planare Buskonfigurationen automatisch im in Abbildung 1.17 dargestellten Gesamtflow nach Chipfläche, Datenrate, Übersprechen, Signalverzögerung und Verlustleistung charakterisieren lassen. Die so gemessenen

Werte werden in einer Tabelle abgespeichert und dienen als Basis zur automatisierten Generierung der dynamischen Entwurfsregeln [8] [9].

Dynamische Entwurfsregeln basieren auf der Schaltungsspezifikation und ergänzen die prozessspezifischen Entwurfsregeln, zum Beispiel die minimale Polysilizium-Breite. Dynamische Entwurfsregeln in Bussystemen sind beispielsweise das maximal erlaubte Übersprechen von der Störleitung zur Nachbarleitung, die maximale Leitbahn-Breite oder die minimale Datenübertragungsrate. Einige Bussysteme (zum Beispiel Coplanar-Busse mit GND/Signal/GND-Konfigurationen und Abschirmung) werden diese Regeln erfüllen können, andere Systeme nicht. Falls sichergestellt werden kann, dass die dynamischen Entwurfsregeln während des Entwurfs durchgängig berücksichtigt wurden, vereinfacht sich der Verifikationsaufwand erheblich. Falls beispielsweise die Entwurfsregel „erlaubtes Übersprechen kleiner als 40 dB“ erfüllt ist, muss das Übersprechverhalten nicht mehr zusätzlich verifiziert werden.

Zusammenfassung

Das Verbundprojekt DETAILS hat sich zum Ziel gesetzt, eine geeignete HF-Entwurfstechnologie zu erarbeiten, die es ermöglicht, Kommunikationssysteme mit wachsenden Anforderungen an Sicherheit, Qualität, Komplexität und Leistungsfähigkeit effizient, d.h. mit weniger Aufwand und in kürzerer Zeit zu entwickeln (bezogen auf heute eingesetzte Standardverfahren in verfügbaren Entwurfsumgebungen). Durch die Zusammenarbeit von System- und Chipherstellern, CAD-Firmen und Forschungseinrichtungen in diesem Projekt ist eine übergreifende Betrachtung der Problembereiche möglich. Die hier kurz vor Ende der Projektlaufzeit ausgewählten und vorgestellten Ergebnisse zeigen exemplarisch herausragende Möglichkeiten auf, bei

wachsenden Systemanforderungen und schwierigeren Rahmenbedingungen (Prozesstechnologien) effizient und schnell zu zuverlässigen, hochwertigen Systemlösungen zu gelangen. Hierbei wurden alle Schnittstellen zwischen den einzelnen Entwurfsebenen von der Systemspezifikation bis tief hinein in die Prozesstechnologie hinterfragt und Verbesserungsmöglichkeiten erarbeitet. Durch die direkte Zusammenarbeit mit den Projekten LEONIDAS+ und SAMS war es möglich, zusätzliche, gemeinsame komplexe Anwendungsbeispiele zu berücksichtigen, die sonst den Projektrahmen gesprengt hätten. Besonders hervorzuheben sind hier das Gigabit-Radio mit 94 GHz Trägerfrequenz und das Szenario planarer Bussysteme. Neben neuen Simulations- und Modellierungsverfahren spielt die Automatisierung von komplexen Entwurfsschritten eine Schlüsselrolle in der erarbeiteten Entwurfstechnologie. Erst die Einbindung aller Lösungen in einen gemeinsamen Design-Flow garantiert deren Anwendbarkeit.

Hervorzuheben sind auch einige „Überraschungen“ bei den Ergebnissen, die die Bedeutung von Automatisierungs- und Modellierungstechniken für die Zukunft für den HF- und Analogbereich noch stärker betonen und auch Impulse für neue Forschungsprojekte geben. Traditionell wird Automatisierung und Modellierung dazu verwendet, schnell und sicher ein vorgegebenes Entwurfsziel zu erreichen. Im Projekt konnte gezeigt werden, dass durch Automatisierung auch Innovationen im Bereich Schaltungsentwicklung angestoßen werden können, die manuell aus Kosten- und Zeitgründen nicht mehr realisierbar wären. Modellierung ist nicht nur im Bereich der Verhaltensmodellierung für die Verifikation sinnvoll, sondern auch im besonderen Bereich der Entwurfsablaufbeschreibungen (GEM-Ansatz) zur Generierung der unterschiedlichen Design-Views (Layout, Schaltbild, Verhaltensmodell und Testbench). Eine weitere wichtige Erkenntnis ist, dass qualitativ hochwertige Systeme nicht notwendigerweise aus qualitativ hochwertigen Bauelementen aufgebaut werden müssen. Teilweise lassen sich Nichtidealitäten der Bauelemente durch geeignete Architekturauswahl, automatische Kalibrierung oder spezielle Designtechniken auf Architekturebene wieder auffangen. Von

besonderer Bedeutung ist dies für die HF- und Analogschaltungstechnik ab 65 nm-CMOS und darunter.

Literatur

- [1] R. Kakerow, "Gigabit Radio Technology for directive wireless microwave point-to-point links". Kooperationsworkshop "System Planning", edacentrum, 30 Nov 2006, Hannover
- [2] U. Knöchel, R. Kakerow, W. Hartong, R. Frevert, E. Hemming, P. Birrer, "Analyse eines Gigabit-Funksystems mit AMS Designer". Analog 2006, 27–29 Sep 2006, Dresden, Germany.
- [3] International Technology Roadmap for Semiconductors, 2005 Edition, Test and Test Equipment.
- [4] Christian Münker, "Reduction of PLL Loop Gain Variations by Digital Calibration", Präsentation auf dem edacentrum Kooperations- und Fachworkshop "Modellierung & Simulation unter Berücksichtigung von Prozessschwankungen", Hannover, Deutschland, Nov. 2005
- [5] R. Wittmann, W. Schardein, R. Kakerow, J. Bahr, "Robuster analoger Schaltungsentwurf für Sub-100nm Prozesstechnologien mittels statistischer Methoden", ", GMM Fachbericht "Analog '06 – Entwicklung von Analogschaltungen mit CAE Methoden", Band 196, VDE Verlag, September
- [6] Kraus, W. : PCM- and Physics-Based Statistical BJT Modeling Using HICUM and TRADICA, 6th HICUM Workshop, 2006
- [7] Schröter, M., Wittkopf, H., Kraus, W.: Statistical modeling of high-frequency bipolar transistors, Proc. BCTM, pp 54 - 61, 2005
- [8] A. K. Momin, R. Wittmann, M. Bucker, W. Schardein, "Planar transmission line structures as possible on-chip interconnects in deep sub-micron processes", 10th IEEE International Workshop on Signal Propagation on Interconnects, SPI 2006, 9–12 May 2006, Berlin
- [9] P. Birrer, S. J. Chandrasekaran, R. Wittmann, „Partieller Layout Flow zur Generierung von Auswahltabellen für Bussysteme“, akzeptiert für 1. GMM/GI/ITG – Fachtagung „Zuverlässigkeit und Entwurf“, 27–28.März 2007

Kont@kt (DETAILS):

Reimund Wittmann
Projektkordinator
Nokia GmbH
Meesmannstr. 103
44807 Bochum
fon: (02 34) 9 84-34 80
fax: (02 34) 9 84-34 91
reimund.wittmann@nokia.com



HERKULES: Hardwareentwurfstechnik für Null-Fehler-Designs

Ziel von HERKULES ist es, einen Großteil der bei der Verifikation der Kommunikationsstruktur anfallenden Aufgaben formal durchzuführen, höchste Qualität mit überlegener Produktivität zu koppeln und diese Qualität zu einem Produktvorteil zu machen. Für die Verifikation des Gesamtsystemkonzepts wird die simulationsbasierte Verifikation weiterhin benötigt werden. Sie wird aber durch HERKULES-Techniken von einer Fülle von Aufgaben der Codeverifikation entlastet, die so weit besser bewältigt werden können.

Ein verdecktes Problem – Folgekosten von Hardwarefehlern

Die Gesellschaft hat sich daran gewöhnt: Hardware- und Softwaresysteme sind so komplex geworden, dass Fehlfunktionen unvermeidlich sind. Immer wieder wird diese Zwangsläufigkeit anhand schwerer Unfälle oder wirtschaftlicher Schäden in großer Höhe medienwirksam in Szene gesetzt. So schwerwiegend solche Fehlfunktionen sind, und so wichtig es ist, die Fehlerfolgen zu diskutieren, geht es im industriellen Alltag vielmehr um die Auswirkungen von Fehlern im Allgemeinen.

Je nach Branche muss die Industrie extrem viel Zeit und Geld investieren, um das Restfehlerrisiko zu minimieren. Dennoch, Fehler werden gemacht, und daher sind die Entwicklungsprozesse für IT-Produkte so angelegt, dass Fehler auch dann noch durch „Patchen“ (Nachbessern) behoben werden können, wenn sie – oft lange nach ihrer Entstehung – gefunden werden. Ganze Abteilungen und Firmen leben von solchen „Patchworks“, die allerdings über die Zeit ein ursprünglich wohlstrukturiertes System in ein nicht mehr beherrschbares „digitales Monster“ verwandeln können. Man verwaltet Fehler eher, als diese gleich nach ihrer Entstehung zu eliminieren – da korrekter Code nach dem Stand der Kunst nicht möglich ist. Diese eingefahrene Praxis hat ihren Preis. Die „Veredelungskette“ einer Hardwaresteuerung, eines sogenannten Mikrocontrollers, soll dies verdeutlichen:

Zeilen Code des zugehörigen Designs. Diese Fehler – dokumentierte wie undokumentierte – verursachen zusätzlichen Aufwand und Risiken in den nachfolgenden Wertschöpfungsstufen, denn der Programmierer des Controllers muss neben dem normalen auch noch das „außerplanmäßige“ Verhalten der Hardware verstehen und bei der Programmierung berücksichtigen. Der Maschinenbauer, der danach diese Steuerung in seine Maschine einbaut, stößt bei der Integration auf unerwartetes – manchmal unerwünschtes – Verhalten, das nachzubessern ist. Schlimmstenfalls wird ein Anlagenbauer, in dessen Anlage diese Maschine arbeitet, mit teuren Produktionsausfällen beim Einsatz seiner Anlage konfrontiert.

Der Preis eines Standard-Mikrocontrollers rangiert zwischen Cents und wenigen Euro. Die oben ange-deuteten Folgekosten von Fehlern dieser Controller liegen dagegen um viele Größenordnungen über diesem Preis. Aufgrund der millionenfachen Verbreitung solcher Hardwarebausteine liegt daher in der Verfügbarkeit korrekter Controller (s. u.) ein enormes volkswirtschaftliches Einsparpotential. Im Übrigen deuten erste Umfragen bei Nutzern solcher Bausteine darauf hin, dass der Markt die Hersteller korrekter Mikrocontroller mit verstärkter Nachfrage und höheren Preisen „belohnen“ würde, wenn es sie denn gäbe. Diese Hersteller würden sogar in doppelter Weise profitieren, denn mittlerweile müssen sie einen wachsenden „software content“ mit ihren Hardwareprodukten liefern und wären daher selbst Nutznießer des o. g. Einsparpotentials an Fehlerfolgekosten.

Durchbruch in der Entwurfstechnik

Im Rahmen des Projekts VALSE „Hochautomatisierte, zertifizierende und skalierende Validierung von System-on-Chip-Entwürfen“ wurde innerhalb von 4 Jahren eine Entwurfstechnik geschaffen (formale Modulverifikation), die das Gros der Fehler (sog. funktionale Fehler) im Gegensatz etwa zu Produktionsfehlern) in Mikrocontrollern und vielen anderen Hardwarebausteinen zu eliminieren vermag. Während bei VALSE noch die Aufbereitung der formalen Basistechnik für die Anwendung auf industrielle Schaltungen im Vordergrund stand, verschob sich der Schwerpunkt der Arbeiten im

Zusammensetzung des
Projektkonsortiums:

Partner:

Concept Engineering GmbH
Infineon Technologies AG
Alcatel-Lucent
Melexis GmbH
OneSpin Solutions GmbH
Robert Bosch GmbH

Unterauftragnehmer:

IMMS Ilmenau
Technische Universität Chemnitz
Technische Universität Kaiserslautern
Universität Bremen
Universität Duisburg-Essen
Universität Karlsruhe

Jeder Hersteller eines solchen Chips liefert mit diesem ein Dokument (Errataliste) aus, das bislang bekanntes Fehlverhalten des Controllers beschreibt und, wo möglich, angibt, wie dieses Fehlverhalten bei der Programmierung des Controllers umgangen werden kann. Je länger ein Controller vertrieben wird, desto mehr Fehler werden von der wachsenden Anzahl seiner Nutzer gemeldet. Zwar werden in jeder neuen Version Fehler eliminiert, doch die Fehlerbehebung ist auch Quelle neuer Fehler. Bereits für die mittlere Leistungsklasse von Mikrocontrollern sind mehr als 30 derart dokumentierte Fehlfunktionen nicht ungewöhnlich. Die Dunkelziffer für – noch – nicht entdeckte Fehler im ersten Drittel der Lebenszeit eines Mikrocontrollers schätzen Fachleute auf mindestens 5 Fehler pro 10 000

Nachfolge-Projekt VALSE-XT auf die systematische Beschaffung und Analyse einer verlässlichen formalen Spezifikation, die dann als Eingabe für formale Prüfverfahren diene. Im BMBF-Projekt VERISOFT wird diese Technik – ergänzt um weitere Beweisverfahren – eingesetzt, um in einem weit vorangeschrittenen, weltweit einmaligen Großversuch nachzuweisen, dass die Entwicklung eines modernen eingebetteten 32-bit-Mikrocontrollers ohne funktionale Fehler technisch machbar und wirtschaftlich ist.

Die neuen Verfahren zur Entwicklung korrekter Hardwarebausteine ermöglichen aber nicht nur die oben diskutierten Produktvorteile. Messdaten aus den VALSE-Projekten und VERISOFT zeigen, dass sich darüber hinaus höchste Qualität mit hoher Produktivität der neuen Verifikationstechnik paart.

Umsetzung – technische und mentale Hürden

Produktvorteile sowie massive Qualitäts- und Produktivitätsgewinne sind starke Argumente für eine neue Entwurfstechnik. Dennoch sind bei der Umstellung von der heutigen auf Simulation beruhenden Verifikationspraxis auf die neuen Verfahren erhebliche Hürden zu überwinden:

Ausbildung, Werkzeuge, Methodik und Designsysteme müssen aktualisiert werden. Hinter diesen Verfahren muss ein verlässliches kommerzielles Angebot mit ausreichenden Schulungskapazitäten stehen. Vor allem aber muss sich die Herangehensweise ändern. Diese ist in der Mikroelektronikindustrie auf die Funktion eines Chips, seine Herstellungskosten und das Zeitfenster mit den größten Marktchancen fixiert. Qualität wird nur vereinzelt als differenzierendes Produktmerkmal gesehen. Dass solche Einstellungen schnell ins Wanken kommen und dann hohe Kosten verursachen können, zeigt das Beispiel des Dieselfilters. Dieser hat nichts mit der hochoptimierten Funktion deutscher Dieselaggregate zu tun. Dennoch entsteht plötzlich durch mehr oder weniger berechtigte öffentliche Meinung und Gesetzesvorlagen massiver Druck auf die Automobilhersteller, ihre Emissionswerte für Dieselschadstoffe zu verbessern. Ansonsten drohen Marktpositionen und Image beeinträchtigt zu werden. Den Feinstaubpartikeln entsprechen bei den Hardwarebausteinen „schwer zu findende“ Fehler, die von den neuen Verfahren systematisch „herausgefiltert“ werden. Veränderungsdruck könnte hier von der Produkthaftung oder – besser – von Nachfrage und Marktchancen ausgehen.

Der nächste Durchbruch – von korrekten Hardwarebausteinen zu korrekten Hardwaresystemen

Früher wurden Hardwaresysteme ausschließlich durch Verdrahtung von Chips auf einer Leiterplatte gebaut. Mit heutiger Fertigungstechnologie kann die Funktionalität kompletter Leiterplatten auf einem einzigen Chip, einem so genannten System-on-Chip (SoC), integriert werden. So werden Verbesserungen bezüglich Fläche,

Stromverbrauch und Robustheit möglich, die Produktinnovationen quer durch alle Branchen treiben.

Die Charakterisierung dieser SoC ist eine Ansammlung von Superlativen: Ein solcher Chip enthält bis zu einige Hundert Millionen Transistoren und wird von Hunderten von Entwicklern in ca. 18 Monaten entwickelt. Die Umsatzerwartungen liegen jenseits von 500 Millionen Euro. Auch die Fehlerrisiken sind spektakulär: Die Suche nach Designfehlern verschlingt über 60 % des FuE-Budgets. Schwere Fehler, die nur beim Test erster Chips gefunden werden, erfordern oft mehrere „Respins“, die jeweils schon bald über 1 Million Euro kosten werden. Unterschätzte Verifikationsaufwände, die die Markteinführung um 3 Monate verzögern, können bis zu 25 % des erwarteten Umsatzes vernichten.

Selbst große Firmen können sich daher nur wenige solcher aufwändigen Entwicklungen zeitgleich leisten. Ihr Schicksal und erst recht das kleinerer Firmen hängt davon ab, die Risiken bezüglich Marketing, Entwicklung und gegebenenfalls der Produktion weniger großer Chips zu meistern. An die Stelle einer Risikoverteilung über viele kleine Chips tritt eine Auslese nach dem Prinzip „Alles oder Nichts“.

Zeit ist bei der Entwicklung eines SoC die knappste Ressource. Daher kann ein solcher Chip nicht vollständig neu entwickelt werden. Ein Großteil seiner Funktionalität muss aus vorgefertigten Designs häufig benötigter Bausteine – so genanntem Intellectual Property (IP), d. h. Designs von Prozessoren, Peripheriebausteinen, Speichern usw. – „zusammengesteckt“ werden. Das Zusammenwirken dieser IP gemäß einer hoch komplexen Kommunikationsstruktur erbringt dann die geforderte Systemfunktionalität. Die Anpassung des SoC an Besonderheiten von Kunden erfolgt über Software.

Abgesehen von der Beherrschung der weiteren Miniatürisierung sind Mängel in der Designqualität (s. o.) das größte Risiko bei der Entwicklung eines SoC. Die Antwort der EDA-Industrie auf diese Probleme heißt vereinfacht „mehr Simulation, mehr Rechner und mehr Personal“. Dies ist nach Einschätzung der Projektpartner keine zukunftsfähige Lösung. Denn die prinzipiellen Grenzen der Simulation und die damit verbundenen Bedrohungsszenarien werden von der Fachwelt übereinstimmend anerkannt.

Vereinfacht gesagt, besteht ein SoC aus IP und einer hoch komplexen Kommunikationsstruktur. Technisches Ziel von HERKULES ist es, einen Großteil der bei der Verifikation der Kommunikationsstruktur anfallenden Aufgaben formal durchzuführen. Dabei wird auch hier wieder unter maximaler Nutzung der VALSE- und VALSE-XT-Ergebnisse versucht, höchste Qualität mit überlegener Produktivität zu koppeln und diese Qualität zu einem Produktvorteil zu machen. Sicherheitshalber sei betont: Für die Verifikation des Gesamtsystemkonzepts wird die simulationsbasierte Verifikation

weiterhin benötigt. Sie wird aber durch die VALSE- und HERKULES-Techniken von einer Fülle von Aufgaben der Codeverifikation entlastet.

In **HERKULES-1, „Basistechniken“**, werden die algorithmischen Grundlagen für das Vorhaben geschaffen: Diese Algorithmen automatisieren die in HERKULES-2 und -3 beschriebenen Verifikationsaufgaben zu großen Teilen.

In **HERKULES-2, „2-Punkt-Kommunikation“**, werden formale Verifikationslösungen für die Kommunikation von zwei Modulen entwickelt. Bedarf an solcher Integrationsverifikation besteht prinzipiell bei jedem Schaltungsentwurf und insbesondere in der Kommunikationstechnik mit ihren vielen aufeinander folgenden Blöcken zur Bearbeitung der Kommunikationsdaten. Die zu erforschenden Verfahren erleichtern die Fehlerlokalisierung, verlagern die Integrationsverifikation auf einen früheren Zeitpunkt und finden letztlich alle funktionalen Integrationsfehler. Der Austausch von Chips im Feld, die aufgrund solcher Fehler nicht funktionieren, wird damit komplett vermieden.

In diesem Arbeitspaket sind auch die Leitanwendung der HERKULES-Technik auf Kommunikationsbausteine für Datenübertragungsnetze und die Verifikation eines LIN-Knotens platziert:

Die SDH-Protokolle (Synchrone Digitale Hierarchie) wenden statisches (leitungsorientiertes) Routing an, um die Wege der Rahmen im optischen Netz festzulegen. Die neuesten Systeme verbinden die statische Wegwahl des SDH-Standards mit der dynamischen, paketerorientierten Wegwahl wie beispielsweise im Internet Protokoll (IP). Diese Verbindung von dynamischen und statischen Routing-Protokollen hat einen erhöhten Maintenance- und Monitoring-Aufwand seitens der Netzbetreiber zur Folge. Es müssen z. B. komplizierte Quality-of-Service- (QoS) Abfragen in ASICs implementiert werden, die in den zugrunde liegenden Standards nicht bis in jede Einzelheit definiert wurden. Angesichts dieser „weichen“ Standards simulativ die nötige Verifikationssicherheit zu erlangen, ist mit immensem Zeitaufwand verbunden.

Daher werden die o. g. dynamischen Routingprotokolle einschließlich ihrer QoS-Abfragen häufig mit FPGAs implementiert, um so aufwandsarm im System nachbessern zu können. FPGAs sind jedoch in ihrem Durchsatz und in ihrer Größe limitiert und auch das Nachbessern „im Feld“ ist dem Image des Systemherstellers abträglich. Die formale Aufarbeitung der Standards und die Bereitstellung von Bibliotheken von formalen Verifikationskomponenten (FVC) für die neuen Datenübertragungsprotokolle steigern die Verifikationssicherheit um Größenordnungen und verkürzen die Entwicklungszeit.

In **HERKULES-3, „Mehrpunktkommunikation“**, wird die Korrektheit von Bussystemen adressiert. Solche Systeme sind das Rückgrat von SoCs, und Fehlerfunktionen in diesem Bereich haben oft gravierende Auswirkungen. Die geplante Aktivität soll fehlerfreie Kommunikation sichern und die Fehlerfindung auf die Phase der Modulverifikation vorverlegen, wo die Fehlerlokalisierung vergleichsweise einfach und die Fehlerkorrekturen kostengünstig sind. Zusätzlich soll der Aufwand in der Systemsimulation deutlich sinken, weil anders als in der heutigen Praxis keine Kommunikationsfehler mehr zu identifizieren und zu beheben sind.

In **HERKULES-4, „Methodik“**, sollen die in VALSE-XT und HERKULES entwickelten technischen Verfahren methodisch so aufbereitet werden, dass sie sowohl für Anbieter von integrierten Schaltungen als auch deren Anwender bzw. Integratoren insbesondere unter dem hohen Qualitätserfordernis „Null-Fehler-Design“ einsetzbar werden. Dabei sollen verschiedene Sichtweisen auf die Verifikationsaufgabe berücksichtigt werden. Neben der rein technischen Betrachtung wird beschrieben werden, wie Verifikationsprojekte unter Einbeziehung von HERKULES-/VALSE-XT-Technologie zu planen und zu überwachen sind. Für die administrative Ebene technischer Überwachung insbesondere sicherheitskritischer Anwendungen soll am Beispiel der Automobilelektronik eine geeignete Zertifizierungsmethodik entwickelt werden, die mit Hilfe der HERKULES-Technologie geltende Qualitätsstandards bzw. Normen erfüllt.

Kont@kt (HERKULES):

Hans Sahn

Alcatel Lucent Deutschland AG

O-TH14 Optical Networking

Thurn- und Taxisstr. 10

90411 Nürnberg

fon: (09 11) 5 26-26 38

hsahn@alcatel-lucent.com

Weitere Informationen sind
unter [http://www.edacentrum.de/
herkules/](http://www.edacentrum.de/herkules/) zu finden.

SAMS: Struktursynthese von analogen Schaltungen

Schlussbericht von Volker Schöber, Christoph Grimm, Roland Jancke, Lars Hedrich, Sorin Huss und Helmut Gräb

Digitale Schaltungen werden heute in weiten Teilen automatisiert entworfen. Möglich ist das durch den Syntheseprozess, der eine Spezifikation stark automatisiert in ein Layout umsetzt. Ein vergleichbarer Syntheseprozess existierte für analoge Schaltungen bislang nicht. Die im Rahmen des Clusterforschungsprojekts SAMS entwickelten Methoden und Verfahren demonstrieren einen nachweislich gangbaren Weg zur Synthese analoger Schaltungen. Dabei wird eine Spezifikation zunächst interaktiv zu einer Struktur aus grundlegenden Schaltungsprimitiven (z.B. Operationsverstärker, etc.) verfeinert. Für diese grundlegenden Schaltungsprimitive werden dann mögliche Topologien erzeugt und automatisch verglichen. Die Machbarkeit wurde im Projekt mit zwei Industriebeispielen erprobt. Weitere Forschung und Entwicklung ist aber notwendig, um die Vielzahl der analogen Schaltungsarten zu erfassen, damit der eingeschlagene Weg zur analogen Schaltungssynthese ein industriell einsetzbarer Entwurfsprozess wird.

Problembeschreibung

Der Entwurf analoger Schaltungen kann in die Aufgaben Architektursynthese, Topologiesynthese und Dimensionierung sowie Layoutsynthese strukturiert werden. Für Architektur- und Topologiesynthese gibt es bislang nur punktuelle Ansätze. Bei der Architektursynthese wird ein Blockdiagramm optimiert und auf Grundsaltungen abgebildet. Dabei müssen insbesondere die Ressourcen des Gesamtsystems auf die Komponenten verteilt werden. Bei der Topologiesynthese, auch Schaltungssynthese genannt, wird für die Komponenten eine Schaltungsstruktur aus elektronischen Bauelementen erzeugt. Die Dimensionierung bestimmt konkrete Größen elektrischer Parameter aus einem immer noch sehr großen Raum an Möglichkeiten. Erst nach der Dimensionierung und gegebenenfalls erst nach dem Layout lassen sich die elektrischen Eigenschaften von Schaltungen genau bestimmen. Die häufig schwer vorhersagbare Abhängigkeit der Architektur- und Schaltungssynthese von Dimensionierung und Layout machen die Strukturwahl anscheinend zur „schwarzen Magie“, die nur mit jahrelanger Erfahrung zu beherrschen und kaum zu automatisieren ist.

Lösungsansatz von SAMS

Bislang existierten keine Werkzeuge oder Entwurfsprozesse, die Architektursynthese und Schaltungssynthese in einem Flow durchgängig unterstützen. Einen durchgängigen Entwurfsprozess zu demonstrieren war Ziel des Clusterforschungsprojekts SAMS (Abbildung 1.18). Als Ergebnis wird deutlich, dass die durchgängige

und automatische Synthese von komplexen Mixed-Signal-Schaltungen und -Systemen heute kein unlösbares Problem mehr darstellt.

Das SAMS Projekt ist nach drei Jahren Laufzeit zum 31.10.2006 erfolgreich abgeschlossen worden. Dieser Bericht gibt einen Überblick über die in der Projektlaufzeit erreichten Ergebnisse.

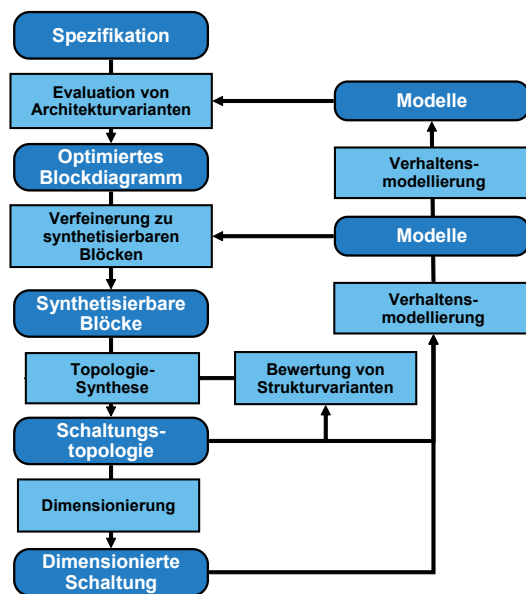


Abbildung 1.18 Überblick des Syntheseprozesses für analoge Schaltungen

Architektur-, Schaltungssynthese und synthesege-rechte Modellierung in SAMS

Ausgangspunkt der Synthese in SAMS ist eine ausführbare Spezifikation einer zu synthetisierenden Applikation. Diese kann sowohl analoge als auch digitale Teile enthalten. Aufgabe der Architektursynthese ist es, die ausführbare Spezifikation auf eine möglichst optimale Architektur elementarer Grundsaltungen abzubilden und die Komponenten der Architektur mit Constraints zu versehen, die in der Schaltungssynthese zur Auswahl der besten Schaltungsstruktur benötigt werden. Ein Schwerpunkt wurde auf die Automatisierung der Modellerstellung und die Mixed-Level-Simulation gelegt. Die Teilaufgaben bei der Architektursynthese werden dabei interaktiv in zwei Teilschritten durchgeführt: Im ersten Schritt wird die Architektur auf Blockebene verfeinert. Im zweiten Schritt werden analog zu realisierende Blöcke weiter zerlegt, bis analoge Teilschaltungen entstehen, die dann Ausgangspunkt für die Schaltungssynthese sind.

Die Aufgabe der Schaltungssynthese in SAMS ist die Erzeugung von nominal-dimensionierten, bewerteten Schaltungsstrukturen für von der Architektursynthese vorgegebene Spezifikationen. Schnittstelle sind VHDL-AMS-Beschreibungen, die überwiegend in generi-

schen Variablen beschriebene Spezifikationsgrößen übergeben. Im Projekt wurden die Methodik und die Algorithmen an den Schaltungsklassen Operationsverstärker, Komparator, Endstufe und zum Teil am Mischer erforscht.

Beim Entwurf analoger Schaltungen spielen viele Nebeneffekte und Nichtidealitäten eine Rolle, da sie zum Teil erheblich die Funktion bestimmen. Deshalb ist gerade hier der Vergleich des Entwurfsergebnisses mit der Spezifikation von großer Bedeutung. Während für kleinere Schaltungen direkt anhand der Transistorsimulation das Schaltungsverhalten überprüft werden kann, ist für größere Schaltungen und komplexe Systemzusammenhänge eine Erzeugung von hinreichend genauen Verhaltensmodellen erforderlich. Dadurch lassen sich auch Eigenschaften auf der Systemebene prüfen, deren Simulation auf der Transistorebene kaum möglich ist (z.B. Bitfehlerraten).

Im Folgenden werden die einzelnen Komponenten des Entwurfsprozesses für analoge Schaltungen erläutert.

Analyse von Architekturvarianten

Zu Beginn der Synthese müssen unterschiedliche Architekturvarianten evaluiert und verglichen werden. Dies umfasst die Aufgaben der Systempartitionierung, die Auswahl einer optimierten Struktur auf Blockdiagrammebene und die Spezifikation von Genauigkeiten einzelner Blöcke. Der Schaltungsentwickler wird bei dem interaktiven Prozess der Evaluierung von Architekturvarianten durch den Einsatz von „polymorphen Signalen“ unterstützt. Mit Hilfe von polymorphen Signalen kann ein Designer verschiedene Modellierungsformen (z.B. Bitvektoren, Signalfluss, el. Netz) und Simulatoren (SystemC-AMS, Matlab/Simulink, Dolphin/Smash mit SPICE und VHDL-AMS) miteinander verbinden. Eventuell notwendige Anpassungen (Bitbreiten, Abstraten, physikalische Größen etc.) werden automatisch mit Hilfe einer polymorphen Darstellung der Schnittstellen zwischen den Blöcken konvertiert.

Verfeinerung von Architekturmodulen zu synthetisierbaren Schaltungen

Architekturvarianten, die auf Blockebene vorliegen, werden im weiteren Entwurfsablauf so verfeinert, dass die resultierenden Teilblöcke von der anschließend durchzuführenden Schaltungssynthese in ein Netzwerk von elektrischen Komponenten abgebildet werden können. Die Verfeinerung der Architekturblöcke, die in Form von Verhaltensmodellen vorliegen, erfolgt mittels einer wiederholten Refaktorisierung der Modellcodes. Dabei sind sowohl die Schnittstellenbeschreibung als auch der funktionale Inhalt eines jeden Blockmodells zu behandeln. An dieser Stelle erfolgt der Übergang von SystemC-AMS-Modellnotationen zu VHDL-AMS-Beschreibungsformen.

Zunächst erfolgt eine Abbildung der abstrakten, nicht-konservativen Schnittstellensignale auf konservative,

d.h. auf elektrische Größen in Kirchhoff-Netzwerken. Der zweite Schritt bei der Verfeinerung der Architekturbeschreibung behandelt die Transformation des funktionalen Inhalts eines Blockmodells unter Berücksichtigung von zusätzlichen Vorgaben, die jeder Funktionsblock erfüllen muss. Es erfolgt eine Architekturverfeinerung mittels Code-Refactoring von analogen Teilblöcken, die wiederum in Form von Verhaltensmodellen in VHDL-AMS vorliegen. Die Architekturbeschreibungen werden dabei mittels Modellcodetransformation soweit verkleinert, dass die resultierenden Einheiten von der Struktursynthese verarbeitet werden können.

Analyse und Verfeinerung von Architekturvarianten

Grundstrukturen wie Differenzpaar, Stromspiegel usw. werden genutzt, um neue Schaltungsvarianten in VHDL-AMS zu erstellen. Diese Basisbausteine werden durch einen signalflossorientierten Algorithmus zu allen möglichen Topologien unter Berücksichtigung von Schaltungsvorgaben zusammengesetzt und bewertet. Die Constraints sind unter anderem Größe der Schaltung, Biasing, Symmetrie, Signaltyp (Strom/Spannung), Impedanzen. Der dem Entwickler in der Regel bekannte Struktur-Designraum, in unseren Beispielen zwischen 4.000 und 40.000 Schaltungen groß, wird durch dieses Verfahren vollständig automatisch exploriert. Die entstandenen Topologien werden nach einer ersten Überprüfung auf Eignung durch symbolische Verfahren schließlich einer vollautomatischen Dimensionierung und Bewertung zugeführt.

Symbolische Bewertung

Der erste Schritt der Bewertung aller entstandener Topologien ist eine Bewertung mit der symbolischen Analyse, die vor allem für eine gegebene Schaltung die linearen Eigenschaften wie Verstärkung, Bandbreite usw. sehr schnell ermitteln kann. Durch eine gut eingestellte symbolische Analyse können 80 % - 90 % der ursprünglichen, undimensionierten Topologien aussortiert werden.

Schnelle Bewertung von Strukturvarianten analoger Schaltungen

Bei der Synthese einer analogen Schaltung bzw. einer analogen Komponente eines Systems kommt zwischen der Synthese der Schaltungsstruktur auf Transistorebene und der Synthese des Layouts für die Fertigung ein Entwurfsschritt hinzu: die Dimensionierung von einstellbaren Parametern wie z.B. CMOS-Transistorweiten. Bei der Synthese einer Schaltungsstruktur müssen üblicherweise sehr viele, manchmal Tausende von Strukturvarianten verglichen werden, bevor eine geeignete Schaltungsstruktur gefunden ist. Eine ausführliche Dimensionierung ist extrem simulationsintensiv und zeitaufwändig und kommt daher für die Struktursynthese nicht in Frage. Die Leistungsfähigkeit einer Schaltungsstruktur wird durch die Menge der Eigenschaftswerte beschrieben, die sich durch gültige, d.h. technisch sinnvolle Dimensionierungen einstellen lassen. Diese Menge wird



Abbildung 1.19: Während der drei Jahre Projektlaufzeit gab es mehrere Treffen und viele Kontakte zwischen den Industrie- und Forschungspartnern.

realisierbarer Eigenschaftsraum genannt. Es wurde eine neue simulationsbasierte Methode erforscht, die dank eines linearen Ansatzes eine hohe Anzahl von Eigenschaften gleichzeitig behandeln kann. Als Resultat ergibt sich eine formale Approximation und Visualisierung des realisierbaren Eigenschaftsraums in Form eines Polytops. Auf diese Weise wird erst ermöglicht, eine sehr große Zahl von Strukturvarianten zu betrachten und so zu Varianten zu gelangen, die aus Aufwandsgründen nicht verglichen und ausgewählt worden wären.

Modellierung

Im Rahmen des Projekts wurden verschiedene Methoden der Verhaltensmodellierung untersucht und eingesetzt. Dabei spielte für die Integration in den gesamten Designflow ihre Automatisierbarkeit eine wichtige Rolle. Symbolische Verfahren lassen sich zur weitgehend automatischen Modellgenerierung einsetzen. Die Möglichkeit, gezielt Designparameter im Modell zu belassen, ist besonders von Vorteil. Die Erzeugung numerischer Modelle (auch Tabellenmodelle genannt) ist ebenfalls gut automatisierbar. Allerdings sind diese Modelle schlecht parametrisierbar und für komplexe, mehrdimensionale Zusammenhänge ebenfalls sehr zeitaufwändig in der Abarbeitung. Verhaltensmodelle auf Basis vorgefertigter Templates für bestimmte wiederkehrende Schaltungsklassen erwiesen sich als sehr flexibel und effizient. Nach dem einmaligen Aufwand zur Erstellung eines Templates kann die Parametrisierung mithilfe einer Charakterisierungsumgebung automatisch erfolgen. Ein modularer Modellaufbau ermöglicht die gezielte Anpassung an die geforderte Genauigkeit.

Nutzung von Industriebeispielen und Ausblick

Für den Test der entwickelten Methoden und deren Vorstellung standen dem Projekt zwei industrielle Beispiele aus dem Industriekonsortium zur Verfügung, die erfolgreich zur Validierung der Verfahren eingesetzt wurden. Neben der Validierung der einzelnen Methoden durch SW-Prototypen wurden auch der Entwurfsprozess und damit das Zusammenwirken der Schnittstellen zwischen den Werkzeugen gezeigt.

Der skizzierte Designflow des SAMS-Projekts und die erfolgreiche Anwendung an komplexen Industriebeispielen machen deutlich, dass die Synthese auch komplexer Mixed-Signal-Systeme methodisch beherrschbar ist. Jedoch lassen sich nicht alle Teilschritte sinnvoll in sehr hohem Maße automatisieren. Insbesondere bei der Architektursynthese hat sich gezeigt, dass bereits die Unterstützung des Designers beim interaktiven Schaltungsentwurf und bei der Modellerstellung und -verfeinerung die Arbeitsproduktivität deutlich steigert. Ein hoher Automatisierungsgrad ist jedoch hier in naher Zukunft noch nicht absehbar. Die Schaltungssynthese dagegen lässt sich mit den im SAMS-Projekt erforschten Methoden weitgehend automatisieren und liefert gute Ergebnisse, die jedoch stark von den zu wählenden Constraints abhängig sind. Die SAMS-Ergebnisse bezüglich einer durchgängigen Synthese zeigen, dass eine kommerzielle Umsetzung der Entwurfsautomatisierung bereits in vielen Entwurfsschritten denkbar ist. Hier werden die nächsten Jahre zeigen, ob die erzielten Erfolge beispielgebend sind und damit die Produktivitätslücke zwischen der analogen und der digitalen Welt verringert werden kann.

Eine Liste der Publikationen des Clusterforschungsprojekts SAMS befindet sich im edaAtlas (www.edacentrum.de/edaatlas) in der Rubrik „Projekt“ unter dem Stichwort „SAMS“. Hier finden sich auch Informationen zu Software-Prototypen. Im Tagungsband des edaWorkshop07 in Hannover wird ein detaillierter Artikel zum Clusterforschungsprojekt SAMS erscheinen.

Kontakt (SAMS):

Dr. Volker Schöber
fon: (05 11) 7 62-1 96 88
schoeber@edacentrum.de

Nachrichten von den Projekten

www.edacentrum.de/projekte

Trotz der vergleichsweise kurzen Zeitspanne seit dem Erscheinen des letzten newsletter edacentrum gibt es schon wieder Neuigkeiten von den Ekompas-Verbundprojekten. So weisen PRODUKTIV+ und auch VISION deutliche Erfolge bei der Veröffentlichung von Ergebnissen vor. VeronA erfreut die interessierte Öffentlichkeit mit der Organisation eines öffentlichen Tutorials und SIDRA kommt zum Projektende nochmal so richtig in Fahrt ...



ab liefert, für den das edacentrum Redaktion, Layout und Veröffentlichung übernimmt.

Am edacentrum gibt es prinzipiell folgende Arten der Veröffentlichung:

- » einen Kurzbericht (kurze Vorstellung des Projektes von max. 2 Seiten Umfang)
- » einen Projektbericht (Statusbericht mit Schwerpunkt auf den erarbeiteten Ergebnissen von max. 6 Seiten Umfang)
- » einen Schlussbericht (kurze Zusammenfassung der erarbeiteten Ergebnisse von max. 2 Seiten Umfang)
- » die Projektnachrichten (kurze Mitteilungen über Ergebnisse, Highlights, neue Kooperationen, Veröffentlichungen, Events etc., mind. 3 Zeilen Umfang je Nachricht)

Das edacentrum hat dazu folgenden Veröffentlichungsplan für die Ekompas-Projekte abgeleitet:

Zu Beginn der Laufzeit wird für jedes Projekt ein Kurzbericht veröffentlicht, im letzten Drittel der Projektlaufzeit der Projektbericht und zum Abschluss des Projektes der Schlussbericht. Zusätzlich sollte jedes Projekt in jedem Projektjahr mindestens drei Projektnachrichten im „newsletter edacentrum“ veröffentlichen. Dies gilt insbesondere, wenn in einem Projektjahr kein sonstiger Bericht anliegt. (CH)



PRODUKTIV+ in der Öffentlichkeit

Das Ekompas-Projekt PRODUKTIV+ untersucht die Messbarkeit der Produktivität von Entwicklungsprojekten und präsentiert sich in der Zeitschrift Markt & Technik (Ausgabe 10 vom 9.3.2007). Unter dem Titel „Die Produktivität von Entwicklungsprojekten wird messbar“ wird das Ziel von PRODUKTIV+ erläutert. Anhand der Höhe der F&E Aufwände der Halbleiterindustrie wird begründet, warum diese Thematik im Förderkomplex Ekompas erforscht wird. Um Produktivität künftig auch in Entwicklungsprojekten der Halbleiterindustrie messbar zu machen wird in PRODUKTIV+ ein Produktivitätsmodell entwickelt, das diesen wichtigen Faktor berücksichtigt (AV).

Aktuelle Informationen zu der Veranstaltung finden Sie unter www.edacentrum.de/veranstaltungen/

Fach- und Kooperationsworkshop „Technologie und deren Auswirkung“

Am 11. Mai 2007 findet in Dresden ein vom edacentrum in Zusammenarbeit mit den Projekten: AIS, DETAILS, LEMOS, SIDRA, Sigma65 und URANOS organisierter Fach- & Kooperationsworkshop zum Thema „Technologie und deren Auswirkung“ statt. Die Veranstaltung schließt an den am 10. Mai ebenfalls in Dresden durchgeführten „IC-Design-Workshop“ an (siehe Seite 34), der vom IC Arbeitskreis des Silicon Saxony e.V. zum Thema „Entwurf von integrierten Analog-/Mixed-Signal-/HF-Schaltungen“ organisiert wird. Das genaue Programm des Fach- und Kooperationsworkshops stand bei Redaktionsschluss noch nicht fest – aber es wird darum gehen, wie EDA- und Technologieexperten voneinander lernen und ihre jeweiligen Probleme nicht nur besser verstehen, sondern auch lösen können. Themen werden u.a. die Evolution der Fertigungsprozesse und deren Auswirkungen auf den Schaltungsentwurf sowie Einflüsse der fortschreitenden CMOS-Skalierung auf den heutigen Schaltungs- und Systementwurf sein. Zudem werden die Ergebnisse aus der Veranstaltung der Silicon Saxony e.V. in den Fach- & Kooperationsworkshop mit einfließen. (CH)

Termin:
11. Mai 2007
9:00–17:00 Uhr
Ort: FhG-Dresden

Kont@kt:
Dr. Cordula Hansen
fon: (07 11) 28 07-9 56
hansen@edacentrum.de

Veröffentlichungspflicht der Ekompas-Projekte im Rahmen der Projekt-Nebenbestimmungen

Förderprojekte sind üblicherweise verpflichtet, zu Laufzeitbeginn einen Veröffentlichungsplan vorzulegen und für regelmäßige Veröffentlichungen über ihr Projekt zu sorgen. Die Projekte im Ekompas-Förderprogramm sind von dieser Pflicht befreit und müssen sich keine Gedanken darüber machen, wo sie wann etwas über ihr Projekt veröffentlichen können. Diese Aufgabe wird vom edacentrum vorrangig durch Veröffentlichungen im „newsletter edacentrum“ übernommen. Damit das edacentrum seiner Aufgabe gerecht werden kann, hat der Projektträger in den Nebenbestimmungen festgelegt, dass jedes Ekompas-Projekt einmal im Jahr einen wissenschaftlichen Bericht an das edacentrum

Kont@kt (PRODUKTIV+):
Dr. Andreas Vörg
fon: (05 11) 7 62-1 96 86
voerg@edacentrum.de

Veröffentlichungen von PRODUKTIV+ sind:

A. Hassine, M. Olbrich und E. Barke: „Computer Aided HRM for the Semiconductor Industry: Limits and Perspectives“ in Asian Pacific Industrial Engineering and Management Systems Conference (APIEMS), Bangkok, Thailand, Dezember 2006

P. Leppelt, A. Hassine und E. Barke: „An Approach to Make Semiconductor Design Projects Comparable“ in Asian Pacific Industrial Engineering and Management Systems Conference (APIEMS), Bangkok, Thailand, Dezember 2006

J. Alt: „Die Produktivität von Entwicklungsprojekten wird messbar“, in Markt&Technik, Ausgabe 10, 9.3.2007

R. Sohnius, V. Ermolayev, E. Jentzsch und W.-E. Matzke: „An Approach for Assessing Design Systems: Design System Simulation and Analysis for Performance Assessment“ in 9th International Conference on Enterprise Information Systems, Funchal, Madeira, Portugal, Juni 2007

S. Häusler (OFFIS), F. Poppen, S. Preis (OFFIS), K. Hausmann (OFFIS), W. Nebel (OFFIS, Uni Oldenburg), A. Hahn (OFFIS, Uni Oldenburg), P. Leppelt (IMS), A. Hassine (IMS), E. Barke (IMS): „Modellierung von Komplexität und Qualität als Faktoren von Produktivität in Design-Flows für integrierte Schaltungen“ in edaWorkshop, Hannover, Deutschland, Juni 2007



Das Projekt SIDRA auf der Standardisierungsstrecke

Bei seiner letzten Begutachtung zeigte das Projekt, was in ihm steckte. Dabei hatte SIDRA einen mehr als schwierigen Projektstart. Massive Kürzungen und Sperrung der Unterauftragnehmer stellten die Förderung zu Beginn stark in Frage. Was würde von den Inhalten noch bearbeitet werden können, welche Ergebnisse konnten noch erreicht werden, wenn ein Teil der Forschungsinstitute wegfiel? Das Projekt stellte sich den Herausforderungen und bewies, dass mit einem hohen Engagement und dem Einbringen von zusätzlichen Eigenanteilen der bedeutendste Anteil der Ergebnisse erbracht werden konnte. Und diese können sich sehen lassen: Publikationen, von denen zwei auf dem EOS/ESD-Symposium den Best Student Award und den Best Paper Award bekamen, Atmel reichte ein Patent zur verbesserten ESD-Struktur (NMOS-Transistor) ein. Zu den drei Bereichen CDM-Charakterisierung, Transient-Latch-up (TLU) und System-Level-ESD sind die Standardisierungsaktivitäten angelaufen. Ein erster Vorschlag zu TLU liegt bereits vor, so dass

SIDRA als eines der Standardisierungsprojekte betrachtet werden kann. (CH)



Tutorial „Formalisierte Methoden zur Verifikation analoger Schaltungen“ im Anschluss an den eda-Workshop07

Am 21. Juni 2007 (am Tag nach dem edaWorkshop07) veranstaltet das Konsortium des Projektes VeronA (Verifikation analoger Schaltungen) ein Tutorial zum Thema „Formalisierte Methoden zur Verifikation analoger Schaltungen“. Die ursprünglich zum projektinternen Austausch über die Forschungsarbeiten der Partner auf diesem Gebiet gedachte Veranstaltung wird einen guten Überblick über den Stand der Technik in Deutschland geben. Das derzeit in Planung befindliche Programm spannt einen thematischen Bogen vom Model Checking von digitalen Systemen über hybride Systeme bis hin zu verschiedenen Aspekten der formalisierten Verifikation von Schaltungseigenschaften analoger Schaltungen. Allen Forschern und Entwicklern, die in diesem zukunftssträchtigen EDA-Bereich arbeiten, ist eine Teilnahme an der Veranstaltung dringend zu empfehlen. (Pp)



VISION präsentiert Forschungsergebnisse auf der DATE

Das Verbundprojekt VISION ist in der University Booth auf der DATE in Nizza (16.–19.4.2007) mit einer Präsentation vertreten. Interessierte Besucher können sich am Mittwoch, 18.4. – 15:45–17:45 Uhr durch anwesende Projektpartner die Forschungstätigkeit zum Thema „The VISION Project: SysXplorer“ anhand von Demonstrationen und Präsentationen erläutern lassen (Tr).

Pressemeldung zum Projektstart

In der ELEKTRONIK 26/2006 vom 22.12.2006 wurde über den Start des Forschungsprojektes „Verteilte integrierte Systeme und Netzwerkarchitekturen für die Applikationsdomänen Automobil und Mobilkommunikation“ (VISION) berichtet (Tr).

VISION und VEIA vereinbaren Zusammenarbeit

Das Projekt VEIA „Verteilte Entwicklung und Integration von Automotive-Produktlinien“ ist der Forschungs-offensive „Software Engineering 2006“ angegliedert. VISION und VEIA vereinbarten bei Gesprächen die Zusammenarbeit in thematisch ähnlichen Fachgebieten. Von dieser Kooperation werden sicherlich beide Projekte profitieren (Tr).

Kont@kt (VeronA):

Ralf Popp
fon: (05 11) 7 62-1 96 97
popp@edacentrum.de

Kont@kt (VISION):

Dr. Dieter Treytnar
fon: (05 11) 7 62-1 96 87
treytnar@edacentrum.de

Weitere Informationen zu VEIA:
<http://veia.isst.fraunhofer.de>

Kont@kt (SIDRA)

Dr. Petra Rose
fon: (0 71 21) 35-65 60
petra.rose@de.bosch.com



Neues aus der Clusterforschung

www.edacentrum.de/clusterforschung

Eine Liste der Publikationen und Prototypen aller Clusterforschungsprojekte befinden sich im edaAtlas (www.edacentrum.de/edaatlas) in der Rubrik „Projekt“.

Publikationen und wichtige Informationen können für die Forschungs- und Industriepartner von den Homepages der Projekte über einen geschützten Bereich (Intern/Login) heruntergeladen werden. Den Link auf die Homepages finden Sie auf www.edacentrum.de/clusterforschung.

Die Planungen für das vierte Clusterforschungsprojekt für 2008 sind angelaufen

Themenvorschläge für das vierte Clusterforschungsprojekt werden von den Fachgruppen der Kooperationsgemeinschaft „Rechnergestützter Schaltungs- und Systementwurf“ (RSS) von GI, GMM und ITG zusammengestellt. Das RSS-Leitungsgremium wird dem Steuerungsgremium des edacentrum dazu ein neues Thema vorschlagen. Anschließend erfolgt ein Aufruf zur Teilnahme am nächsten Clusterforschungsprojekt. Zur Teilnahme können sich Universitäten und nichtkommerzielle Forschungseinrichtungen bewerben. Ein Gutachtergremium wählt aus den eingereichten Einzelanträgen ein Konsortium aus, welches zur Einreichung einer Projektskizze im edacentrum aufgefordert wird. Finanziert wird das Projekt zu gleichen Teilen vom Bundesministerium für Bildung und Forschung (BMBF) im Rahmen der

Ekompas-Förderinitiative und einem noch zu bilden den Industriekonsortium.



Das Projekt AIS läuft an

Zum 31.1.2007 lud das Forschungskonsortium des Projekts AIS die Industriepartner zum Kick-off-Treffen nach München ein, um die wissenschaftlichen Ziele der Forschungspartner vorzustellen und Kooperationsschritte einzuleiten. Mehr als 20 Teilnehmer diskutierten über die Vorträge der Forschungspartner mit den folgenden Themen:

- » Uni Tübingen (Oliver Bringmann): System-Level-Entwurfsmethodik für autonome integrierte Systeme

2

Neues aus dem edacentrum

Einreichungstermine für neue Projekte

www.edacentrum.de/projekttermine

Die Termine für die Einreichung zur Steuerungsgremiumssitzung am 18. Juni 2007 in Hannover sind:

- » Anmeldung einer Einreichung bis: 04.05.2007
- » Abgabe der ersten Version bis: 18.05.2007
- » Abgabe der letzten Version bis: 01.06.2007

Bitte berücksichtigen Sie bei der Einreichung nicht nur diese Termine, sondern unbedingt auch die Vorgaben bzgl. des Umfangs. Projektskizzen dürfen maximal einen Umfang von 16 Seiten, Vorhabenbeschreibungen einen Umfang von 50 Seiten haben. Bei beiden Angaben sind Titelseite, Inhaltsverzeichnis und Anhang nicht mit einberechnet. (CH)

Kont@kt: Dr. Cordula Hansen, fon: (07 11) 2 80 79 56, hansen@edacentrum.de



PEDAL bewilligt

www.edacentrum.de/

Die Pläne des edacentrum zur weiteren Gestaltung seines Dienstleistungsangebots sind auch beim BMBF

auf Zustimmung gestoßen. Das hierfür von der edacentrum GmbH mit tatkräftiger Unterstützung der fünf Mitgliedsfirmen im Aufsichtsrat des edacentrum e.V. beantragte Vorhaben PEDAL wurde vom BMBF mit einer Laufzeit vom 01.01.2007 bis zum 31.12.2011 bewilligt. PEDAL steht für „Plattform zur Unterstützung von EDA-Lösungen“ und stellt der Mission des edacentrum entsprechend den nachhaltigen Nutzen für das komplette edacentrum-Netzwerk in den Mittelpunkt (Haa).

Kont@kt: Dr. Jürgen Haase, fon: (05 11) 7 62-1 96 98, haase@edacentrum.de

Wechsel im Steuerungsgremium

www.edacentrum.de/portrait/struktur.html

Nichts ist in unserer Branche so konstant wie die Veränderung, da bildet auch das Steuerungsgremium (SG) des edacentrum e.V. keine Ausnahme. Auf der letzten SG-Sitzung begrüßte der Vorsitzende Dr. Peter van Staa mit Stefan Kern von Atmel und Reimund Wittmann von Nokia zwei neue Mitglieder. Die Beiden übernehmen ab sofort als Vertreter ihrer Firmen die Aufgaben von Dr. Volker Meyer zu Bexten bzw.

unter
www.edacentrum.de/newsletter/
finden Sie im Internet
weitere Informationen.

- » TU Braunschweig (Rolf Ernst): Hardware- und Software-Maßnahmen zur Fehlerbehebung
- » TU München (Andreas Herkersdorf): Zuverlässige Datenverarbeitung in Modulen
- » Uni Erlangen (Jürgen Teich): Zuverlässige Kontrollpfade
- » TU Kaiserslautern (Norbert Wehn): Zuverlässige Kommunikationsstrukturen
- » Uni Paderborn (Katharina Hojenski): Autonomes Betriebssystem

Der Webserver für das AIS Projekt wird derzeit aufgebaut. Nach seiner Fertigstellung werden dort alle wichtigen Informationen zum Projekt zu finden sein. Industriepartner- und das Forschungskonsortium können dann über einen geschützten Zugriff Informationen austauschen. Zu finden ist die AIS-Homepage über www.clusterforschung.de/ais.

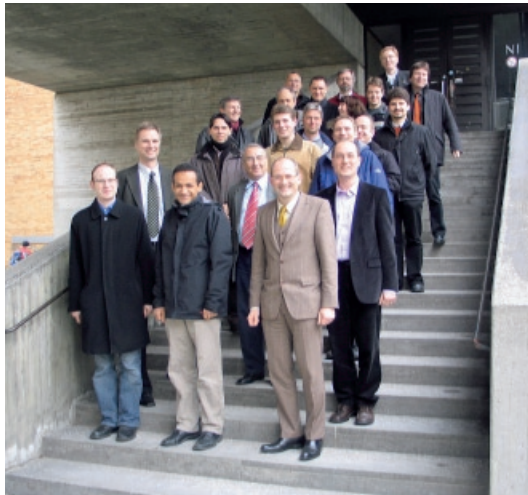


Abb. 1.20: Die Teilnehmer des Clusterforschungsprojekts AIS trafen sich an der TU München, um die Ziele des Projekts vorzustellen und Kooperationen zu starten.

Kont@kt

(EDA-Clusterforschung):

Dr. Volker Schöber

fon: (05 11) 7 62-1 96 88

schoeber@edacentrum.de

Dr. Mohsen Darianian. Beide jetzt ausgeschiedenen SG-Vertreter haben sich als langjährige Mitglieder zunächst im Arbeitskreis SSE, bei der Gründung des edacentrum e.V. und danach im Steuerungsgremium sehr verdient um das edacentrum gemacht und zahlreiche Themen und Projekte mit ihrem fachlichen Rat unterstützt. Wir wünschen Beiden alles Gute und sagen „Danke“. (Haa)

Kont@kt: Dr. Jürgen Haase, fon: (05 11) 7 62-1 96 98,
haase@edacentrum.de

☀ Personelle Verstärkung im edacentrum

<http://www.edacentrum.de/mitarbeiter.html>

Personellen Zuwachs verbucht das edacentrum seit dem 15. Januar 2007. Frau Dipl.-Ing. Susanne Sass unterstützt unser Team in den Bereichen Projektmanagement, Koordination und beim „newsletter edacentrum“. Sie hat Elektrotechnik mit der Studienrichtung Technische Informatik an der Leibniz Universität Hannover studiert und ihr Studium nach 12 Semestern erfolgreich im August 2006 abgeschlossen. Schon in ihrer Studienzeit hat sich Susanne Sass mit Entwurfsautomatisierung befasst, die Vorlesung „EDA“ bei Prof. Barke

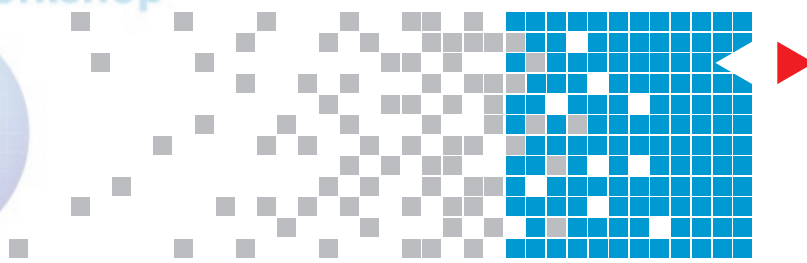
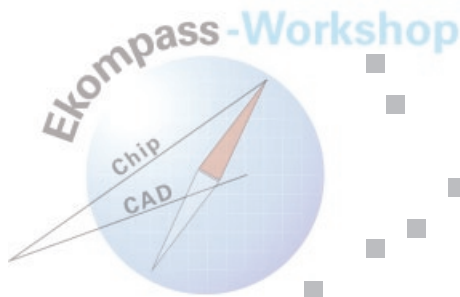


Abbildung 2.01: Susanne Sass, Mitarbeiterin am edacentrum seit dem 15. Januar

besucht und an der Projektarbeit „ChipDesign“ am Institut für Mikroelektronische Systeme teilgenommen. Da das Interesse an EDA über die Semester Bestand hatte, war das Job-Angebot der edacentrum GmbH umso verlockender. Mit Kreativität und Engagement geht sie nun ans Werk und gleicht so (noch) fehlende Erfahrungen aus. (Su)

Kont@kt: Susanne Sass, fon: (05 11) 7 62-1 96 88,
sass@edacentrum.de

edaWorkshop07 am 19./20. Juni in Hannover

www.edacentrum.de/edaworkshop

edaWorkshop 07

Hannover, 19.–20. Juni 2007

www.edacentrum.de/edaworkshopBundesministerium
für Bildung
und Forschung

ITG



GMM

Aktuelle Informationen zum
edaWorkshop finden Sie
unter www.edacentrum.de/edaWorkshop

Mit dem Abschluss des Begutachtungsprozesses der wissenschaftlichen Einreichungen steht das Programm vom edaWorkshop07 nahezu fest, so dass dem Druck und Versand nichts mehr im Wege steht.

Die Vorbereitungen für den edaWorkshop07 sind inzwischen weit fortgeschritten. Für die sich aus dem Ekompas-Workshop entwickelnde Veranstaltung steht das Programm nach dem Begutachtungsprozess nahezu fest. Neben den bewährten Vorträgen zu Ergebnissen der Ekompas-Projekte enthält das Vortragsprogramm zwei eingeladene Vorträge und acht Vorträge zu wissenschaftlichen Beiträgen im Tagungsband. Das edacentrum ist überzeugt ein für knapp zwei Tage gehaltvolles Programm mit ausgewogener Balance von Forschungsergebnissen mit und ohne Bezug zu Ekompas-Projekten gefunden zu haben.

Mit Dr. Gerd Teepe, Direktor DDC bei AMD Saxony LLC & Co. KG und Prof. Dr. Rudy Lauwereins, Vice-President of Belgium's Interuniversity Micro-Electronic Centre (IMEC) konnten dieses Jahr zwei hochkarätige Keynote-Sprecher gewonnen werden.

Von den Ekompas-Projekten präsentieren im Juni DETAILS, LEMOS, LEONIDAS+ und das Clusterforschungsprojekt SAMS die in der Projektlaufzeit erreichten Ergebnisse.

Zum ersten edaWorkshop wurden insgesamt 26 wissenschaftliche Beiträge eingereicht. Aus dieser für die erste Veranstaltung und die kurzen Fristen erfreulich hohen Anzahl hat das Programmkomitee acht Beiträge als Vortrag und weitere sieben Beiträge als Poster angenommen. Damit wird das bisher bewährte Ekompas-Workshop-Programm um zusätzliche Elemente erweitert.

Bewährte Programmteile werden weiterhin eine Posterausstellung und der Kooperationsmarkt unter dem Motto „Ideen suchen Abnehmer – Markt sucht Innovationen“ an beiden Workshop-Tagen, sowie eine gesellige

Abendveranstaltung im Gartensaal des Neuen Rathauses von Hannover am ersten Abend sein. Um den kulturellen Genuss nicht zu kurz kommen zu lassen, wird es dieses Jahr auf vielfachen Wunsch eine erneute Führung mit anschließender Turmauffahrt im Rathaus geben.

Das Programm beginnt am 19. Juni um 9:30 Uhr und endet am 20. Juni gegen 14:30 Uhr. Bewährter Veranstaltungsort ist das Courtyard by Marriott Hotel am Nordufer des Maschsees in Hannover.

Wir sind der Meinung, dass die Integration der wissenschaftlichen Beiträge in das Programm dem Workshop eine zusätzliche äußerst interessante Möglichkeit gegeben wird, sich zu der deutschen EDA-Veranstaltung zu entwickeln.

Überzeugen Sie sich selbst – wir freuen uns auf Ihren Besuch!

Über den edaWorkshop

Der edaWorkshop als eine zentrale deutsche EDA-Veranstaltung bietet beste Voraussetzungen für die Publikation und Diskussion von anwendungsnahen EDA-Forschungsergebnissen. Die ausgewogene Präsenz von Industrie und Forschung schafft ideale Möglichkeiten, um einen fachlichen Austausch mit wissenschaftlichem Anspruch mit der Initiierung von Kooperationen zur Vorbereitung eines industriellen Nutzens zu verbinden.

Gleichzeitig ist der edaWorkshop auch die zentrale Veranstaltung zum Ergebnisaustausch für alle deutschen EDA-Förderprojekte. Er dient der Kommunikation zwischen EDA-Fachleuten und dem Fördergeber und unterstützt den Ergebnistransfer bei öffentlich geförderten Forschungs- und Entwicklungsprojekten.



Kontakt und Information

Maren Sperber
edacentrum

Schneiderberg 32
30167 Hannover

fon: (05 11) 762-1 96 99

fax: (05 11) 762-1 96 95

info@edacentrum.de

Heiße Tage in Berlin – Ein Bericht vom edaForum06 (Teil 2)

von Ralf Popp (Pp) und Dieter Treytnar (Tr)

Am 16. und 17. November trafen sich Vertreter des höheren technischen Managements sowie EDA-Experten aus Industrie und Forschung in Berlin. Im „newsletter edacentrum 04 2006“ wurde bereits ausführlich von der General Keynote und den technisch ausgerichteten Sessions berichtet. In dieser Ausgabe folgt die zusammenfassende Darstellung der beiden „Business-Sessions“, die „Friday-Keynote“ folgt im newsletter edacentrum 02 2007.



Abbildung 3.01: Christian Wolff (links) von Infineon nach seinem Vortrag auf dem edaForum06 mit Session-Chair Albert Stritter (rechts), ebenfalls von Infineon

In der ersten „Business-Session“ mit dem Titel „The Times They are a-Changin‘ – Chip Business is System Business“ ging es um die verschiedenen Ausprägungen und Anforderungen des modernen Chip-Designs. Dass sich das Chip-Business mittlerweile zum System-Business gewandelt hat, zeigten die drei Vortragenden mit unterschiedlichen Beispielen. Die Veränderungen in der Kommunikationsindustrie präsentierte Christian Wolff von Infineon in seinem Vortrag „Replacing the Field Trial“. Am Beispiel von VDSL2, der neuen Kommunikations-Übertragungstechnik die über vorhandene Kupferkabel übertragen wird, zeigte er, wie Chip- und System-Anbieter – was früher nicht der Fall war – allein schon aus wirtschaftlichen Gründen sehr eng zusammenarbeiten. Durch Discrete-Multi-Tone (DMT) werden Übertragungsraten von bis zu 200 MBit/s erreicht. Um diese hohe Datenmenge plastisch darzustellen, bediente er sich eines Musikbeispiels: Ein Orchester aus 2000 Instrumenten, bei dem jedes 15 Töne gleichzeitig spielt und diese Gesamttöne 4000fach pro Sekunde übertragen werden, ist vergleichbar mit dieser Übertragungsrate. Um die technischen Herausforderungen einer solchen Übertragungstechnik zu lösen, sind besondere Anforderungen an EDA-Software notwendig. Wolff schlug unter anderem vor, einen parallelen „Pipeline“ Entwurfsprozess zu realisieren. Mit dieser Hilfe ließe sich auf die immer schneller wechselnden Heraus- und Anforderungen des Marktes rea-

gieren und somit ein günstiges Marktfenster erreichen. „We have to think beyond the chip“, erläuterte Wolff. Und nur mit EDA konnte VDSL2 überhaupt realisiert werden.

Im zweiten Vortrag dieser Session befasste sich Joachim Kunkel von Synopsys unter dem Titel „Where is the \$1B ESL EDA Market Gone?“ mit dem ESL-Markt. Schon seit einigen Jahren wird von Milliardenumsätzen in diesem Markt gesprochen – jedoch ist die Realität bisher hinter den Erwartungen zurückgeblieben. Seiner Meinung nach liegt dies an Schwierigkeiten bei der Entwicklung guter ESL-Tools. Er schlug eine Evolution der ESL-Design- Idee vor, die auf die Wiederverwendung von IP-Modulen aufsetzt. Dazu griff er das Orchesterbeispiel seines Vorredners auf: Es ist leichter auf einem Klavier als auf einer Geige Töne zu erzeugen, denn auf diesem seien die Töne schon voreingestellt. Weiterhin schlug er vor, virtuelle (Software-) Plattformen einzusetzen. Diese seien wie Hardware – nur besser. Sie gewährleisteten eine frühe Verfügbarkeit, ein verbessertes Debugging und seien einfach einzusetzen. Die Wiederverwendung von IP-Modulen und virtuellen Plattformen führe dazu, dass Hardware/Software, die Chip-Entwicklung und DFM ineinander integriert werden könnten und somit ESL-Entwicklungen leichter realisiert werden könnten. Genau dies sei erforderlich, um den vorhergesagten Milliarden-ESL-Markt endlich zu erreichen.



Abbildung 3.02: Joachim Kunkel von Synopsys bei seinem Vortrag auf dem edaForum06



Abbildung 3.03: Gerd Teepe von AMD bei seinem Vortrag auf dem edaForum06

Gerd Teepe von AMD stellte in seiner Präsentation „The Ecosystem Decides – Customer Centric Innovation“ vor, wie die Wirkung eines „Ecosystems“ die Hardware-Entwicklung beeinflusst. Dazu zeigte er Anwendungsbeispiele, bei denen sich neue Hardware über Hardware-Interfaces auf alter Hardware einsetzen lässt (z.B. der CD-Audio-Kassetten-Adapter fürs Autoradio). Dieses unschöne Vorgehen liege auch an

Der dritte und letzte Teil der Berichterstattung vom edaForum folgt im newsletter edacentrum 02 2007.

der Softwareentwicklung. Software dominiere schon allein aufgrund seiner wirtschaftlichen Größe die Entwicklungen zukünftiger Hardware. Als Beleg dafür sagte er, dass der gesamte Software-Markt fünf Mal so groß sei wie der Halbleitermarkt. Allein die Umsätze von Microsoft seien höher, als die des gesamten Mikroprozessormarktes. Dies führe dazu, dass sich neue Hardware-Architekturen nur äußerst schwierig durchsetzen könnten. Aktuell sei man beim Wechsel von 32 auf 64 Bit Systeme – allerdings würden die Software-Anbieter diese neuen Systeme noch nicht im gleichen Maße unterstützen. Als Beispiel zeigte er die Prozessorgenerationen der letzten Jahrzehnte, von denen sich nur die wenigsten über einen längeren Zeitraum behaupten konnten. Dies führe dazu, dass Hardware-Anbieter meist an alten Architekturen festhalten würden, um auch alte Software auf diesen Systemen verfügbar machen zu können – obwohl eine neue Architektur deutliche Performance-Verbesserungen mit sich bringen würde. Als Ausweg aus diesem Dilemma sieht er eine notwendige Konvergenz in der Prozessor-Architektur wie sie bei AMD's nächsten Opteron Prozessor vorgesehen ist, d.h. mit standardisierter Plattform-Kompatibilität.

In der zweiten „Business-Session“ wurde unter dem Titel „With a little help from my friends – Leadership Means Partnership“ ein Thema behandelt, welches die EDA-Community zunehmend, spätestens aber seit der DAC 2005 beschäftigt. Alle Referenten beleuchteten das Thema aus ihrem Blickwinkel und ermöglichten dem Publikum einen umfassenden Einblick in Möglichkeiten und Herausforderungen im Zusammenhang mit Partnerschaften.



Abbildung 3.04: Barry Dennington von NXP Semiconductors bei seinem Vortrag auf dem edaForum06



Abbildung 3.05: Thomas Harms von Infineon bei seinem Vortrag auf dem edaForum06

In der Session Keynote „The Partnership Network“ führte Barry Dennington von NXP Semiconductors zunächst beispielhaft in die Thematik ein, indem er deren Grundsätze thematisierte, wie sie in Lehre und Literatur dargestellt sind. So werde die Möglichkeit zur Bildung von Partnerschaften für jede Art von Geschäftsbeziehung bereits in der MBA-Ausbildung betont und als Chance dargelegt. Dass es keine Firma alleine schaffen könne, sei auch eine Kernaussage

des Buches „Alliance Advantage“ von Gara Hamel, aus dem Dennington einige Fragen eines „Partnering-Fitness-Test“ aufgriff. Danach sei neben einer entsprechend ausgerichteten „gelebten“ Firmenstrategie vor allem der Wille zur Zusammenarbeit mit Anderen entscheidend. Motivation für das Eingehen von Partnerschaften ist für Dennington die Sicherstellung der Kundenzufriedenheit, die in Zeiten der immer weiter wachsenden Kundenansprüche ohne Partnerschaften unerreichbar sei. Als EDA-Kunde forderte er „Flawless Design and Flawless Execution“ für den Entwurf und äußerte sich damit in Einklang mit der DATE06-Keynote seines CTO Henning de Vries. Nur damit könnten Unternehmen wie NXP die aus den Anforderungen ihrer Kunden resultierende stetig steigende Komplexität von System-on-Chip- (SoC), System-in-Package- (SiP) und Software-Design bewältigen. Ausgehend von dieser hohen Anforderung, die EDA-Anwender wie NXP an die EDA-Anbieter stellten, seien deren Partnerschaften unerlässlich, weil ein EDA-Anbieter alleine nicht in der Lage sei, diese zu erfüllen. Dies gelte insbesondere vor dem Hintergrund, dass der EDA-Markt (und damit der Gewinn der EDA-Anbieter) nur dann wachsen werde, wenn die EDA-Anbieter einen Mehrwert für EDA-Anwender schaffen. Schließlich sei dies viel lukrativer, als sich um Marktanteile eines bestehenden Marktvolumens zu streiten. Dennington forderte die EDA-Anbieter folgerichtig auf, die optimale Lösung (den EDA-Mehrwert) in Partnerschaften zu erarbeiten, anstatt nur zu konkurrieren und diese (möglicherweise lukrative) Aufgabe den EDA-Anbietern zu überlassen. Im Anschluss an diesen Appell stellte er einige Regeln für das Eingehen von Partnerschaften vor, deren Quint-Essenz auf die Formel gebracht werden kann, dass eine Partnerschaft weit mehr ist als eine Zusammenarbeit, ja jeder Partner dabei etwas aufgeben muss, um etwas Anderes oder Wichtigeres zu gewinnen. Nachfolgend präsentierte Dennington einige Beispiele für erfolgreiche Partnerschaften bei EDA-Anwendern, von denen er hofft, dass sie die EDA-Anbieter zu mehr Partnerschaften und zu industrie-übergreifenden Standards von Entwurfswerkzeugen und -Methoden animieren und dadurch „Flawless Design and Flawless Execution“ Wirklichkeit wird.

Thomas Harms von Infineon fesselte das Publikum in seinem nachfolgenden Vortrag „Improving the Partnerships in the Design System Value Chain – an Infineon Perspective“ in ganz anderer Weise. Weniger appellierend beschränkte er sich selbstbewusst auf die Darstellung der Strategie von Infineon in diesem Bereich, die insbesondere die EDA-Anbieter aufhorchen ließ. Er begann seinen Vortrag mit der Beschreibung des Status-Quo der Entwurfsumgebung bei Infineon, bei der eine Vielzahl von (oft nicht vernünftig zusammenwirkenden) Werkzeugen in diversen Flows eingesetzt würde. Aus diesem für ihn nicht akzeptablen Missstand leitete er den Wunsch nach einem Gesamt-Flow ab. Anschließend ging er auf die bei EDA-Anwendern eingerichteten CAD-Abteilungen ein, deren schwierige Aufgabe in der

Integration der Werkzeuge und Flows bestehe. Dort werde viel Zeit mit Datenfluss- und Schnittstellenproblemen, spezifischer Modellentwicklung, der Entwicklung von anwendungsorientierten Entwurfsmethoden und der Organisation und Integration von Design-Flows verbracht. Harms stellte heraus, dass diese zusätzlichen Integrationskosten nach einer Studie der Si2 (Si2 2002 EDA Cost of Ownership Study) Kosten von etwa 2 Dollar für jeden für EDA-Werkzeuge ausgegebenen Dollar verursachen. Harms rechnete vor, dass dies bedeute, dass die EDA-Anwender firmenintern mehr EDA-Ingenieure beschäftigten als die EDA-Industrie – ein für ihn untragbarer Zustand. Zur Korrektur dieses Missverhältnisses seien im Wesentlichen zwei Herausforderungen zu bewältigen. Einerseits gelte es die Kompatibilität und das Zusammenspiel zwischen Werkzeugen herzustellen und andererseits genaue und konsistente Modelle und Standards zu entwickeln. Diese Aufgaben seien laut Harms nur mit einer veränderten Implementierung des Design-Flows zu lösen, bei dem integrierte Sub-Flows zum Einsatz kommen, die abgeschlossene Entwurfsbereiche abdecken und in denen ausschließlich kompatible Werkzeuge und Methoden eingesetzt würden. Mit der Realisierung dieser Sub-Flows werde Infineon jeweils einen einzigen für diesen Sub-Flow ausschließlich gegenüber Infineon verantwortlichen Partner suchen, mit dem eine langfristig ausgerichtete Partnerschaft eingegangen werden solle. Abschließend stellte Harms ein solches Subflow-Partnerschaftsmodell als Win-Win-Modell dar: Dem EDA-Partner entstünde durch Infineon ein langfristig angelegter höherer Marktanteil und eine gute Möglichkeit zur nachhaltigen Produktentwicklung mit Anwendungsbezug, während Infineon sich mehr auf sein Kerngeschäft abseits von EDA konzentrieren könne.



Abbildung 3.06: Wayne Howell von IBM bei seinem Vortrag auf dem edaForum06



Abbildung 3.07: Sean Redmond von Cadence bei seinem Vortrag auf dem edaForum06

In seinem Vortrag „The Cell Processor: Partnership for Success“ ging Wayne Howell von IBM eher exemplarisch auf das Thema Partnerschaften ein und berichtete von der Partnerschaft bei der Entwicklung des Cell-Prozessors. Er postulierte, dass die Halbleiterindustrie einer globalen „recognition of challenges“ gegenüber stehe, die bereits zu zahlreichen Partnerschaften geführt habe. Grund dafür sei die von Kunden/Benutzern zunehmend gewünschte Möglichkeit zur Interaktion in verschiedenen Anwendungsbereichen. Auf diese Weise werde laut

Howell die Elektronik- und Computerinnovation erzwungen, da skalierbare flexible Architekturen mit optimierter Leistungsaufnahme für Echtzeitanwendungen mit hohem Vernetzungsgrad benötigt würden. Dieser Bedarf habe die Kontinuität der Entwicklung von Halbleitertechnologie gestört, weil es seit ungefähr drei Jahren nicht mehr um die durch Skalierung getriebene Verbesserung von Prozessorenperformanz gehe, sondern eine innovationsgetriebenen Schaffung von Systemperformanz gefragt sei. Um diese höchste Anforderung zu erfüllen seien Partnerschaften zwingend nötig, da die Aufgaben in ökonomischer und technologischer Hinsicht für ein Unternehmen zu groß seien: Neben sehr hohen Investitionen, guten Marktkennntnissen und kurzen Entwicklungszeiten seien dabei auch der mit viel Kreativität und großem Wissen gepaarte Einsatz von neuester Technologie nötig. Als Paradebeispiel führte Howell den in globaler Partnerschaft von Sony, Toshiba und IBM entwickelten Cell-Prozessor an. Aufgrund der angestrebten Anwendung für Multimedia und Spiele sei bei diesem Prozessor eine außergewöhnliche Echtzeit-Performanz, große Netzwerkfähigkeit und wegen der hohen Zahl von geplanten Anwendungen auch eine große Flexibilität gefragt gewesen. Diese sei ohne einen partnerschaftlichen Ansatz und insbesondere nicht in der angestrebten Zeit bis zur Markteinführung in 2006 realisierbar gewesen. Anschließend ging Howell noch auf verschiedene Einzelheiten der Partnerschaft ein, bevor auch er seinen Vortrag mit einem Credo für Partnerschaften auf allen Unternehmensebenen schloss.

Auch Sean Redmond von Cadence ging in seinem Vortrag „EDA Leadership - A Journey through the Electronic Design Chain“ von der Erfahrungsseite auf die Thematik ein. Dabei stellte er fest, dass Cadence seine hohen Marktanteile über die Jahre kaum ohne Allianzen hätte behaupten können. Er wies darauf hin, dass Allianzen den Zugriff auf nützliche Kompetenzen ermöglichen, die außerhalb des eigenen Unternehmensfokus stünden. Bemerkenswert sei laut Redmond die Tatsache, dass die meisten Allianzen nur zwischen zwei Partnern geschlossen würden. Dies sei von Nachteil, da dabei potentielle Kompetenzen per se ausgeschlossen würden und für den Erfolg eine zu geringe „unternehmerische Masse“ vereint werde. Für Cadence seien daher „Multi-Company-Alliances“ wichtig, was er an verschiedenen Beispielen (Verilog/SDF, X-Initiative, OpenAccess, eLanguage-IEEE) aus der 15-jährigen Firmenerfahrung belegte. Anschließend ging er auf die Tatsache ein, dass bedauerlicherweise etwa 50 % aller Allianzen fehlschlagen. Grund dafür sei in den meisten Fällen eine im Vorfeld einer Partnerschaft versäumte Überprüfung ihres gemeinsamen Nutzens und ihrer strategischen Relevanz, der Mangel an operativer Exzellenz sowie die ungenügende Kontrolle des (Informations-) Austauschs und der Qualität. Dies führe schließlich auf allen Seiten zu Unzufriedenheit. Zum Schluss seines Vortrages führte Redmond einige Beispiele für erfolgreiche Partnerschaften auf, an denen er seine Thesen belegte.

Weitere Informationen zum edaForum sowie eine Bildergalerie der Veranstaltung finden Sie unter www.edacentrum.de/edaforum/.



MEDEA+ und ENIAC: Innovationen für Europas Zukunft

Ein Bericht vom MEDEA+-Forum 2006, das Ende November 2006 in Monaco stattgefunden hat.

Der gemeinschaftlichen Forschung und Entwicklung im Bereich der Nanoelektronik widmeten sich im November 2006 MEDEA+ und ENIAC in ihrem jährlichen Forum. Im Fokus standen dabei nicht nur die eindrucksvollen Ergebnisse, sondern insbesondere der Ausblick auf die Rahmenbedingungen für künftige Programme.

Mehr als 300 Teilnehmer kamen Ende November in das spätsommerlich warme Monaco, um sich auf dem MEDEA+-Forum über die Ergebnisse ihrer F&E-Projekte auszutauschen und gemeinsam darüber zu diskutieren, wie Europa seine weltweite Position in der Nanoelektronik-Industrie weiter stärken kann. Man war gespannt darauf zu hören, wie es mit MEDEA+ weitergehen soll und welche Neuigkeiten es zu der Initiative ENIAC gibt.

Gleich zu Beginn konnten die Organisatoren mit einem Highlight aufwarten: Fürst Albert II. von Monaco ließ es sich nicht nehmen, das MEDEA+-Forum höchstpersönlich zu eröffnen. In seiner Ansprache beeindruckte er durch profunde Kenntnisse der Hightech-Industrien. Wer reine Höflichkeitsfloskeln erwartet hatte, wurde positiv überrascht und erlebte einen in Fragen der Technologie und der internationalen Wirtschaft sehr gut informierten Fürsten. Er erläuterte die ambitionierten Pläne des Fürstentums Monaco, das im Laufe des letzten Jahres EUREKA beigetreten war, und verwies dabei auf ein Motto seines Vaters: „Man muss kein großes Land sein, um große Träume zu haben“.

Bevor es an die Präsentation der Ergebnisse einzelner F&E-Projekte ging, gab Arthur van der Poel, Chairman von MEDEA+, einen Überblick über das komplette MEDEA+-Programm. In 74 Projekten mit 408 Partnern aus 22 Ländern mit einem Gesamtvolumen von mehr als 20.000 Personenjahren wurden zahlreiche Durchbrüche erzielt, mit denen sich die europäische Industrie vielfach von der Position des Nachahmers bis an die Weltspitze vorgearbeitet hat. Dabei wirkte MEDEA+ als Katalysator für die Entstehung neuer „Eco-Systems“, in denen die Schaffung einer modernen Infrastruktur und die Vernetzung von Industrie und Forschung auch zu einem deutlich erkennbaren Einfluss auf die regionale Wirtschaft und zur Entstehung Tausender neuer Arbeitsplätze geführt hat.

Im Anschluss daran wurde es dann sehr fachlich: in guter Tradition stellte mit SiOnIS und MARQUIS je ein Projekt aus den beiden Hauptlinien Technology und Applications seine Resultate vor. Dass aber die Forschungsarbeiten auch und vor allem wirtschaftlich motiviert sind, wurde in den beiden Beiträgen zur Verwertung auf den Gebieten Smart Cards und Embedded Memories deutlich. Man berichtete stolz, dass im

Rahmen von MEDEA+ entwickelte Smart Cards z.B. von Microsoft verwendet würden und dass die Partner des NEMeSys-Projekts einen Marktanteil von 70% bei Embedded Memories für Smart Cards und von 30 % im Bereich Automotive hätten.

Mike Thompson von STMicroelectronics ging auf die Rolle regionaler Cluster ein und zeigte, dass solche in allen führenden Ländern, ob in USA oder in Fernost, eine wichtige Rolle spielen. In Europa sieht er als herausragende Beispiele die drei Regionen Crolles/Grenoble, Leuven/Nijmegen/Eindhoven und Dresden. Am Beispiel von Crolles schilderte er die Phasen der Entstehung eines solchen Clusters, das auf Vorarbeiten in den 70er- und 80er-Jahren aufbaute und nach etwas mehr als 10 Jahren mehr als 5000 Arbeitsplätze geschaffen hat. Sein Fazit: „Microelectronics brings wealth“.

Auch in der den ersten Tag abschließenden Panel-Diskussion mit Repräsentanten aus Industrie und Politik war man sich einig, dass eine Bündelung und Fokussierung aller Kräfte unabdingbar sei. Einig war man sich darin, dass eine Entzerrung sich überlappender Forschungsprogramme hilfreich wäre und dass eine Öffnung der europäischen Forschungsprogramme für Partner aus Übersee mit Skepsis betrachtet wird. Große Einigkeit bestand darin, dass es in Europa ohne hoch qualifizierte Arbeitsstellen auch keine Arbeit für niedrigere Qualifikationen geben werde und der Bildung in diesem Zusammenhang höchste Bedeutung zukomme. Ob es ambitionierte Forschung und Entwicklung auch ohne Fabs geben kann, war sehr umstritten. Dagegen blieb es unstrittig, dass auch die Forschung und Entwicklung aus Europa abwandern werde, wenn nicht alle gemeinsam die Ärmel hochkrempeln würden.

Im Rahmen der wieder sehr gelungenen Abendveranstaltung wurde in feierlichem Rahmen das Projekt PICS mit dem Jean-Pierre Noblanc Award 2006 als bestes Projekt ausgezeichnet. Im Finish der nominierten vier Projekte musste sich das Projekt SIDRA, dessen deutscher Teil ein Ekompass-Projekt ist, erst nach der Auswertung des Zielfotos äußerst knapp geschlagen geben. Ein toller Erfolg für das Projekt SIDRA!

Alle Projekte waren dann in der den zweiten Tag einleitenden Poster- und Demoaussstellung vertreten.

In seiner Keynote gab Ulrich Schäfer (Bosch) einen faszinierenden Einblick in die Technologie und Märkte für Halbleiter im Bereich Automotive. Treibende Kräfte seien gesetzliche Regulierungen (z.B. beim Schadstoffausstoß), Sicherheit, Komfort und Unterhaltung. Sehr schwierig seien die Rahmenbedingungen, z. B. der geforderte Temperaturbereich, die extrem niedrige Fehlerrate und die langjährige Verfügbarkeit von Ersatzteilen. Trotz dieser immensen Anforderungen bleibe Automotive dennoch ein hochinteressanter Markt, da das stabil wachsende Geschäft und die (wenn auch auf eher niedrigem Niveau) kaum schwankenden Preise eine langfristige Planung und ein gesundes Wachstum über einen langen Zeitraum ermöglichen. Mit einem Anteil der Halbleiter von 20 % an der gesamten Autoelektrik sieht er eine gewisse Sättigung erreicht, weshalb sich das Wachstum der Automotive-Halbleiter nach bisher 15 % pro Jahr jetzt bei ca. 7 % pro Jahr einpendeln werde.

Günter Lugert (Siemens) verwies auf die neuen Märkte für Mikrosystem-Technologie in Ländern wie China. Allerdings dürfe man die klassischen westlichen Märkte nicht vernachlässigen, da diese auch noch 2020 größer als die neuen sein würden. Die Anforderungen sind zahlreich (Verbrauch, Schadstoffe, Sicherheit, Kosten), die Grundlagen für die Lösungen werden in MEDEA+-Projekten erarbeitet.

In seinem abschließenden Ausblick kündigte Arthur van der Poel das Nachfolgeprogramm „Beyond MEDEA+“ an, dessen Vorbereitung bereits in vollem Gang sei. Mitte 2007 soll ein „White Book“ Details hierzu liefern. Dieses Programm soll mindestens das Volumen von MEDEA+ haben und unter dem Motto „Together we do what Europe needs“ die „Beyond MEDEA+“-Vision „Technology leadership for a strong European industry and better quality of life“ verwirklichen. Dabei sieht er die Hauptkonkurrenz nicht in den so genannten Billiglohnländern, sondern in Regionen wie Silicon Valley, New York State, Taiwan, Japan und Südkorea. Europa sei aber mit seinen Regionen Crolles/Grenoble, Eindhoven/Leuven und Dresden sowie mehreren kleineren PdCs (Pole de Compétence) gut gerüstet. Erste Projekte sollen Anfang 2008 starten. Da die letzten MEDEA+-Projekte bis Ende 2009 laufen, wird es eine zweijährige Übergangszeit von MEDEA+ zu „Beyond MEDEA+“ geben.

ENIAC-Forum

Frans v. Houten (NXP Semiconductors) fasste zusammen: „Europa muss Mehrwert durch Innovation schaffen, und das zu vernünftigen (nicht: zu niedrigsten) Kosten oder es wird vom Rest der Welt abgehängt. Hierfür würden die JTIs (Joint Technology Initiatives) ENIAC (Nanoelectronics) und ARTEMIS (Embedded Computing Systems) dringend benötigt, und zwar rasch.“ Am Tag nach dem MEDEA+-Forum rückte dann ENIAC vollends in den Mittelpunkt, als die große Teilnehmerzahl beim am selben Ort veranstalteten

ENIAC-Forum das große Interesse an ENIAC dokumentierte. Im Mittelpunkt standen die vorbereitenden Prozesse und Strukturen von ENIAC. Vice-Chairman Wolfgang Ziebart (Infineon) erklärte die bessere Nutzung aller Förderungsmöglichkeiten zum zentralen Ziel von ENIAC und verwies auf eine enge Zusammenarbeit mit ARTEMIS. Geplant ist z.B., in ENIAC-Projekten nationale Fördermittel um 50% durch Fördermittel der Europäischen Kommission aufzustocken. Beobachter rechnen damit, dass bei einem Erfolg des ENIAC-Ansatzes das MEDEA+-Nachfolgeprogramm langfristig in ENIAC aufgeht.

Fred von Roosmalen (NXP Semiconductors), Chairman der ENIAC Support Group, stellte die Struktur der ENIAC-Organisation vor. Das ENIAC Office wurde 2006 gegründet und hat seinen Sitz in Paris, in unmittelbarer Nachbarschaft zum MEDEA+-Office. Als wichtiger Meilenstein wurde von Livio Baldi (STMicroelectronics) das zweite Release der Strategic Research Agenda vorgestellt, mit dem Start der ersten Projekte werde aber nicht vor 2008 gerechnet. Das Arbeitsprogramm steht auf den Säulen: „Design Automation“ (besonders wichtig für weitere EDA-Projekte), „Heterogenous Integration“, „More Moore“ (mit Anknüpfungspunkten zur JTI ARTEMIS), „More than Moore“ (mit Anknüpfungspunkten zur JTI EPOS) sowie „Beyond CMOS“.

Gerard Matheron (MEDEA+) erläuterte den Stand der Entwicklung der ENIAC-Organisation. Die JTIs wie ENIAC und ARTEMIS werden das EUREKA-Programm mit dem siebten Rahmenprogramm der Europäischen Kommission verknüpfen und dadurch das Gesamt-Volumen für F&E-Projekte erhöhen. Hierfür sind geeignete Prozesse als gemeinsame Grundlage für Entscheidungen der Europäischen Kommission und der nationalen Geldgeber in Diskussion. 50 % der Projektkosten und 100 % der Kosten der ENIAC-Organisation sollen von den beteiligten Projektpartnern der Industrie finanziert werden. Sehr ambitioniert ist das Ziel von ENIAC, die Zeit zwischen der positiven Beurteilung eines Projekts bis zum Projektstart auf 3 Monate zu begrenzen.

Patrick Dewilde (TU Delft), Chairman des ENIAC Scientific Community Council, stellte die Ziele der unterstützend geplanten Aktivitäten vor. Hierzu gehören je ein europäisches F&E-Ecosystem für die Gebiete Design und Technologie mit sehr hoher und vielfältiger Aktivität, eine intensive Kommunikation und Kooperation innerhalb der Forschergemeinschaft sowie ein strategisch ausgebautes Bildungssystem, jeweils mit enger Kooperation zwischen Industrie und Wissenschaft.

Das Fazit des ENIAC-Forums bilden die gemeinsame Überzeugung aller Teilnehmer über die enorme Wichtigkeit der Initiative ENIAC und die Hoffnung auf eine möglichst baldige Entscheidung des Europäischen Rats zur Umsetzung dieser Joint Technology Initiative als nächsten entscheidenden Schritt nach vorne.

Die Folien der Vorträge sind auf den Webseiten von MEDEA+ unter www.medeaplus.org/web/forum2006/ zu finden.

Weitere Informationen zu ENIAC finden Sie unter www.eniac.eu

Informationen zu der Strategic Research Agenda von ENIAC finden Sie unter www.eniac.eu/web/SRA/local_index.php



Die Folien der Vorträge vom ENIAC-Forum sind auf den Webseiten von ENIAC unter www.eniac.eu/web/events/forum2006.php zu finden.

Kont@kt und Autor:
Dr. Jürgen Haase
fon: (05 11) 7 62-1 96 98
haase@edacentrum.de

In die Stille des Orkans

Das edacentrum stellte sich neuen Herausforderungen
von Cordula Hansen

Es ist tatsächlich wahr: Ich war dabei. Der Orkan Kyrill tobte in Deutschland und ich versuchte Zug zu fahren - hatte die Warnungen im Vorfeld gar nicht ernst genommen. Hatten meine Kollegen und ich uns doch am vorherigen Abend erst im Sultan Palace vergnügt und dann den Tag mit Besprechungen bis zum Anschlag verbracht.



Abbildung 3.09: Kollege Ralf muss tanzen ...

Ahnungslos stand ich daher nachmittags am Bahnhof in Hannover und nahm zur Kenntnis, dass mein Zug mehr als eine Stunde Verspätung haben würde, weil eine Oberleitung abgerissen war. Am Bahnsteig stand überall Personal – ich wunderte mich etwas über diese mir unbekannte Fürsorge der Bahn – und riet mir, in den Zug nach München einzusteigen, dann in Fulda auszusteigen, von dort bis Frankfurt und dann fände sich schon ein Zug nach Stuttgart. Ich also rein in den Zug, sogar ein Sitzplatz war zu finden, zwei andere Frauen sprangen auch mit auf und ab Richtung Fulda. Die Stimmung war entspannt, der Zug fuhr. Alles kein Problem... Dann die erste Durchsage: „Ein Baum liegt auf dem Gleis, die Fahrt wird sich voraussichtlich etwas verzögern“.

Die zweite Durchsage: „Der Zug wird außerplanmäßig in Hanau halten“. Ein paar Zwischenstopps - immer noch sind alle entspannt, der Zug fährt ja noch. Irgendwann eine Durchsage: „In wenigen Minuten erreichen

wir Fulda“. Viele kramen hoffnungsfroh ihre Koffer hervor und reihen sich vor der Tür auf. 5 Minuten, 10 Minuten, 15 Minuten... der Zug wird noch langsamer... 20 Minuten... Eine weitere Durchsage: „Die Ankunft in Fulda verzögert sich voraussichtlich um 30 Minuten. Alle ICEs dürfen nur mit maximal 100 km/h fahren.“ Die Reihe vor der Tür löst sich wieder auf. Ich sehe aus dem Fenster. Das sollen 100 km/h sein? Naja. Der Zug fährt, dann rollt er, dann schleicht er und dann steht er. Um mich herum sind eifrig Handys im Einsatz. In Norddeutschland ist sämtlicher Zugverkehr eingestellt, lässt einer verlautbaren. Eine Frau raunzt leicht entnervt: „Nein, ich weiß nicht, wann wir ankommen. Ich melde mich, wenn ich etwas weiß.“ Ich schließe engeren Kontakt mit einer Frau, die auch nach Stuttgart will. Der Zug rollt wieder. Die Geschäftsleute nebenan holen sich erst einmal ein Bier. Nach einer Stunde die nächste Durchsage: „Jeder Zugverkehr in Deutschland ist eingestellt. Dieser Zug endet in Fulda“. Nichts weiter. Nur das. Schmeißen die uns dann in Fulda raus oder übernachten wir alle in Turnhallen? Neben den Handys kommen jetzt auch die Laptops zum Einsatz. Es werden Hotel- und Pensionszimmer gebucht. Die Geschäftsleute holen sich noch ein Bier und grinsen entspannt. Das Zimmer in Fulda ist sicher, da kann man über die leichte Nervosität der anderen lächeln.

Dann ändert sich die Situation noch einmal. Der Zug würde gleich in Fulda ein- und dann als einziger Zug weiter nach München fahren. Wieder keine weiteren Ansagen. Und wenn ich nicht nach München will?! Der Zug fährt ein, draußen peitscht der Regen fast waagrecht an uns vorbei. Personal ist nirgendwo zu sehen. Ein Teil der Leute hastet durch den Regen. Ich bleibe mit meiner neuen Bekannten unentschlossen drinnen. Sollen wir hier raus und sehen, ob wir einen Zug nach Frankfurt bekommen oder lieber bis nach Würzburg fahren? Draußen regnet es wirklich sehr, der Zug ist warm und Würzburg ist ja eine nette Stadt. Nach weiteren 10 Minuten verkündet die Bahn, dass es Freigetränke gibt. Ähm, alkoholfreie Freigetränke... wird schnell korrigiert. Die Menschen um mich herum grinsen. Dann stürmen neue Zugreisende hinein, klitschnass und sichtlich froh den Zug gerade noch zu erwischen. Sie kommen aus dem Zug, der jetzt nach Frankfurt unterwegs ist. Mist, da war also doch einer. Ein Mann setzt sich, zückt sein Handy und verkündet im Gespräch, er sitze jetzt im richtigen Zug und führe nach München. Es lachen alle im Waggon. Endlich habe auch ich meinen Freund am Telefon. Ja, meine Tochter war so frei im Sturm noch zum Klarinettenunterricht zu gehen, aber meine Freundin hat sie zum

Glück abgeholt. Beide Kinder sind jetzt sicher zu Hause und ja, es fahren noch Züge von Frankfurt und Würzburg ab... zumindest laut Internet. Ich hänge immer noch unentschlossen im Zug herum. Eine Nacht hier zu verbringen wäre sicher ein Erlebnis, aber andererseits will ich ja gar nicht nach München. Und meine Schwester hatte ich dort erst letztes Wochenende besucht. Man soll es ja nicht übertreiben mit der Verwandtschaft. Der Anruf meines besorgten Kollegen macht meiner Unentschlossenheit den Garaus. Er gibt mir eine Liste von Telefonnummern für Pensionen und Hotels durch und meine neue Bekannte nickt. Ja, wir nehmen zusammen ein Zimmer. „Wie heißt Du eigentlich?“, frage ich sie. Es ist sicherlich gut zumindest den Namen derjenigen zu wissen, mit der man sein Bett teilt, denke ich. Sie lacht und meint: „Ursel“. Wir haben Glück und bekommen das letzte Zimmer in einer Pension, 7 Minuten vom Bahnhof entfernt. Und diese Pension entpuppt sich als absoluter Glücksfall. Für 25 € pro Person haben wir ein riesiges Doppelzimmer und, die Wirtin empfiehlt uns ihren Lieblingsgriechen. Wenn ich in Fulda wohnen würde, wäre es auch mein Lieblingsgriechen. Das Essen ist prima, der Wein gut und er hat diese großen Backgammon-Spiele. Ich bringe Ursel das Spiel bei und wir erfreuen uns der neuen Bekanntschaft. Es ist dann doch ziemlich spät bis wir ins Bett kommen.

Am nächsten Morgen rufen wir erst einmal den Service Point in Fulda an. Schon nach 10 Minuten kommen wir durch. Ja, die Züge fahren wieder, aber welche und wohin könnten sie uns nicht sagen. Wir sollen einfach vorbeikommen und auf die Durchsagen achten. Hört sich ja unkompliziert an, denken wir. Vielleicht sollten wir ein anderes Fahrziel aussuchen? Am Frühstückstisch werden die Erfahrungsberichte ausgetauscht. In Frankfurt saßen 2500 Leute fest und übernachteten auf dem Bahnhof. Na, zum Glück hatten wir den Zug verpasst, dachten Ursel und ich. Und die Jagd nach Taxis in Fulda muss auch sehr spannend gewesen sein. Die Frau am Nachbartisch war mit dem Auto unterwegs und knapp einem umherfliegenden Autobahnschild entkommen. In Berlin kamen Teile der Fassade herunter und der ganze Bahnhof musste geräumt werden. Ich komme mir ein wenig vor, als hätte ich in der Stille des Orkans gegessen. Wir gondeln zum Bahnhof und haben wieder Glück. In 10 Minuten kommt ein Zug, der bis Frankfurt geht. Den sollten wir doch erst einmal nehmen. Der Zug ist fast leer und die Waggons sehen aus, als hätten hier eben noch viele Menschen geschlafen und den Zug dann fluchtartig verlassen. Wir suchen uns ein halbwegs sauberes Plätzchen und betrachten

die Landschaft, die gemächlich an uns vorüberzieht. Die Wiesen sind überflutet und von normalen Seen nicht mehr zu unterscheiden.

Dem Kontrolleur zeige ich meine Fahrkarte und erwähne, dass sie von gestern sei. „Och“, meint er, „ich nehme heute alle Karten.“ In Frankfurt finden wir einen Zug, der nach München fährt (das hatten wir doch schon), aber dieses Mal über Stuttgart, vorausgesetzt... ja vorausgesetzt, es lässt sich ein Lokführer auftreiben. Ob der Lokführer sich solange Zeit lässt, dass ich bei Starbucks noch einen Capuccino besorgen kann?



Abbildung 3.10: Zwischen Fulda und Hanau...

Ich bleibe doch lieber am Zug und – habe wieder Glück – 5 Minuten später: „Bitte einsteigen, der Zug fährt los.“ Es setzt ein Gehaste am Bahnsteig ein, als ob der Zug sich plötzlich in Luft auflösen könnte. Drinnen treffen wir ein nettes Ehepaar, das gerade aus Thailand angekommen ist und uns mit Berichten vom Flughafen erfreut. Dort muss es weder lustig noch entspannt zugegangen sein. Der Mann berichtete, dass er und seine Frau sich in einer Gruppe der nach Süddeutschland Reisenden zusammengerottet hatten. Die Gruppe blieb immer zusammen und einer wurde als Kundschafter ausgesandt. So kamen sie halbwegs durch. Ursel meinte, ihre Mutter sage ja immer, wir würden nicht mehr mit Notzeiten umgehen können. Aber was sie so erlebe und höre, lasse sie zu einem anderen Schluss kommen. Ich nicke. Die ungewohnte Situation lässt Fremde miteinander reden und gemeinsam nach einem Ausweg suchen. Mittags erreichen wir Stuttgart und Ursel und ich verabschieden uns. Wir haben keine Adressen ausgetauscht, aber ich denke, den Sekt, den ihre Mutter ihr kaltgestellt hat, hat sie sehr genossen.

Kont@kt:
Dr. Cordula Hansen
fon: (07 11) 2 80 73 36
hansen@edacentrum.de



DATE07 Conference and Exhibition

By Rudy Lauwereins and Jan Madsen

The world's premier event in electronic system design

DATE combines the world's favourite electronic systems design conference and Europe's leading international exhibition for electronic design, automation and test, from system level hardware and software implementation right down to integrated circuit design. The DATE07 event features a technical program with 78 sessions covering the latest in system design and embedded software, IC design methodologies and EDA tool developments, together with an exhibition with the leading EDA, silicon and IP providers showing their new products and services. Challenges that you all face or soon will face in your daily practice are the increasing design complexity of highly integrated systems, the introduction of reconfigurability and embedded software, and the control of power, reliability and variability in nanometer IC designs. All these issues will be addressed in this year's DATE event.



Abbildung 3.11: Get familiar with this view over the bay of Nice and visit DATE07

At its tenth anniversary, DATE07 has again reached a record number (933) of submissions, compared to previous years and compared to other EDA conferences worldwide. With submissions coming from all five

continents and almost fifty countries, DATE has truly become an international conference. After a thorough review and selection process, finally 208 papers were selected for presentation at the conference. In addition, 57 papers were selected for Interactive Presentations, which highlight quality work in progress. Compared with previous years, submissions in design, test and embedded software have grown significantly, showing a clear trend toward a holistic view and a comprehensive system design focus. This year, papers are organized in 4 major areas:

- » D – Design Methods, Tools, Algorithms and Languages
- » A – Application's Design
- » T – Test Methods, Tools and Innovative Experiences
- » E – Embedded Software

New this year and to emphasize that DATE is the major event for the designers, DATE07 features two invited sessions where Europe's famous consumer industry presents their best designs and design practices.

The DATE week opens on Monday April 16, 2006 at the Acropolis, Nice, France, with the offer of pre-conference tutorials. This year the five full-day tutorials and six half-day tutorials cover topics of great interest to industrial designers including Software Defined Radio, system level design and test, and packaging.

The main conference opens on Tuesday April 17, 2007 with two very interesting keynote speeches. Tohru Furuyama, General Manager at Toshiba, will talk about the challenges of digital consumer and mobile SoCs, and Alan Naumann, CEO of CoWare, will challenge Darwin's law by questioning whether design evolution stopped at RTL level. On the same day, the completely revamped Executive Track offers a series of panels with executives discussing their design needs: the fab-less companies, the consumer electronics market and the embedded automotive system designers.

On Wednesday April 18, 2007 a special full-day track is devoted to Ubiquitous Communication and Computation. By embedding computing resources and communicating seamlessly, we can hide the technology and provide services that are natural for humans to use. Connecting anything, anywhere all the time opens possibilities for numerous new services and solutions. The many options and opportunities set challenges for the design, interoperability and verification for these systems. The design process is one key success factor

in creating these heterogeneous systems. This special day focuses on the key technical challenges and especially on the applications, system architecture, communication and interoperability, security issues, power supply and power management issues.

On Thursday April 19, 2007 a second special full-day track focuses on Space and Aeronautics applications. Space and Aeronautics have been innovative and technology pioneering industries in safety critical embedded systems for a long time. Recently, the fast growth of new high tech industries with mass markets has opened more and more opportunities for the space and aeronautics industries to transfer back a broad range of generic and high performance technologies, particularly in information and communication.

Seven special sessions complement the main conference program, with embedded tutorials, hot topics and panels on the most interesting issues today in electronic design. A first session looks at microprocessor architectures in the era of terascale integration. This raises the question addressed in a second session whether testing systems with multiple billions of transistors will be feasible. The increasing NRE cost of deep sub-micron silicon designs leads to the increased use of flexible application domain specific systems. This is discussed in two sessions, one looking at heterogeneous systems on chip and systems in package, the other covering the future of customizable processors. The evolution to nano-scale semiconductor process technologies ripples through into the design area. Two panels discuss respectively its influence on mixed signal and digital design. A last special session sketches the pivotal place EDA takes in the European Technology Platforms Artemis and ENIAC, which structure the European government funded research in enabling hardware and software technologies for embedded systems.

Friday April 20 is the day for the DATE workshops. DATE offers the possibility to attend workshops as a complement to the regular conference. Seven workshops will run in parallel, covering emerging and important design topics including UML for SoCs, software and compilers for embedded systems, secure embedded implementations, embedded system design, diagnostic services for networks-on-chip, FPGAs and reconfigurable systems, and robust computing with nano-scale devices. Each workshop is structured into presentations from highly distinguished academic and industrial researchers.

Finally, throughout the conference days the DATE Exhibition is open to designers. The more than hundred exhibitors include the leading EDA, silicon, FPGA and IP providers showing their new products and services. In addition, there is an Exhibition Theatre featuring talks from engineering managers of the leading electronic manufacturers on first-hand design experiences of commercial EDA tools. This

year, the PCB symposium will also take place on Thursday afternoon as part of the Exhibition Theatre programme. The exhibition program offers also designers' solutions workshops, which are short training sessions organized by vendors on specific topics such as closing the gap between design and test teams, transaction level modeling, IP verification, combining SystemC with SystemVerilog and DSP implementation techniques for FPGAs. The DATE week will also be a possibility for students and universities to show their research works, through the PhD Forum on Monday and the University Booth in the exhibition where hardware and software demonstrations will be shown by different universities on a rotation schedule. New this year is that the university booth is also open to demonstrate the pre-commercial results obtained in government funded projects.



Abbildung 3.12: DATE07 will be held in the "Acropolis" in Nice

The DATE07 event's program will be particularly attractive to industrial designers, both at IC, FPGA and embedded system level, to researchers and academics as well as to design managers, and an increasing attendance is anticipated.

Cont@ct:

Rudy Lauwereins
DATE07 General Chair
Rudy.Lauwereins@imec.be
<http://www.date-conference.com>

edacentrum at DATE07

We are looking forward to your visit!

edacentrum as a guest at the Synopsys Booth #M4

The edacentrum can be found within the DATE07 Exhibition, April 16-20, 2007 in Nice, as a guest of Synopsys (Booth #M4). There you will find employees of the edacentrum, who offer information and answer questions concerning edacentrum and its services.

SYNOPSYS®

edacentrum organizes the Exhibition Theatre and helps at the University Booth

With the Exhibition Theatre and the University Booth DATE established two important additions to the very successful scientific conference. As part of its mission to support industry and science in the area of EDA, edacentrum organized the Exhibition Theatre and helped the local organization of the University Booth.

Cont@ct:

Ralf Popp
fon: (05 11) 7 62-1 96 97
popp@edacentrum.de



Arbeitskreis „IC Design“ im „Silicon Saxony“

vorgestellt von Dr. Johannes Kneip, Director Program Management bei NXP Semiconductors Dresden und Thomas Hötzel, CTO ZMD AG und Leiter des Arbeitskreises IC-Design im Silicon Saxony e.V.

„Silicon Saxony e.V.“ steht für das europaweit führende Mikroelektronik-Cluster in und um Dresden. Für viele sind die großen Fabriken für Speicher, Prozessoren und Solarzellen der Inbegriff der Mikroelektronik-Szene in Sachsen. Nicht ganz so bekannt sind hingegen die vielfältigen Aktivitäten rechts und links der Elbe im Bereich des Designs von integrierten Schaltungen aller Art. Diese ermöglichen es, immer kompliziertere Systeme zu realisieren und damit neue Anwendungsgebiete kostengünstig mittels Mikroelektronik zu erschließen. Time to Market ist eine der wesentlichen Herausforderungen an die Entwicklungsingenieure, kombiniert mit gleichzeitig zunehmenden Qualitätsanforderungen besonders in den Bereichen Automobil und Medizin. Um diese Herausforderungen zu meistern und im globalen Wettbewerb zu bestehen, bedarf es einer engen Kooperation zwischen den Disziplinen und einer optimalen Zusammenarbeit über die gesamte Halbleiter-Wertschöpfungskette. Die Nähe von IC und System-Designern zur Produktion spielt hier eine große Rolle.

Die Designer Community im Silicon Saxony umfasst derzeit bereits 700 IC-Entwickler in etwa 30 Unternehmen und wächst ständig. Auch wenn sie damit rein zahlenmäßig im Vergleich zu den produktionsnahen Beschäftigungszahlen nur eine kleine Gruppe darstellt

- insgesamt arbeiten im Silicon Saxony etwa 30.000 Menschen in der Mikroelektronik - ist durch die enge Zusammenarbeit zwischen den Unternehmen und Forschungsinstituten ein schlagkräftiger Designer-Verbund entstanden.

Nicht umsonst ist der Standort Dresden mit seinen 13 Fraunhofer Instituten, 3 Instituten der Max-Planck-Gesellschaft sowie den zahlreichen Instituten an der TU Dresden einer der bedeutendsten Standorte für IC Design und Produktentwicklung überhaupt.

Zentrale Drehscheibe für das Netzwerk und den Informationsaustausch ist ein Arbeitskreis „IC-Design“, der sich 2005 aus einem lockeren Stammtisch der Design-Verantwortlichen von Unternehmen, Universitäten und Forschungsinstituten gebildet hat. Alle zwei Monate treffen sich über 20 hochkarätige Manager und Design-Fachleute, um sich gegenseitig über die neuesten Projekte, Design-Aktivitäten und Design-Werkzeuge zu informieren, aber auch um gemeinsame Trainings und Veranstaltungen mit CAD-Firmen zu organisieren. Weitere Schwerpunkte sind die Nachwuchsgewinnung, aber auch die Öffentlichkeitsarbeit, um mehr Aufmerksamkeit auf die Arbeit und die Bedeutung des IC-Designs zu lenken.

Der Arbeitskreis „IC Design“ steht jedem Interessenten offen. Bitte wenden Sie sich an Dr. Wolfgang Herrmann vom Silicon Saxony e.V. (Kontaktdaten am Ende des Artikels).



Abbildung 3.13: Sitzung des Arbeitskreises „IC-Design“ im Februar 2006.

Beteiligt sind sowohl die großen Design-Center der Firmen AMD, ZMD und NXP mit deutlich über 100 Entwicklungsingenieuren, als auch die zahlreichen Firmen mittlerer und kleiner Größe. Die Design-Gruppenleiter der Fraunhofer Gesellschaft sind hier genauso häufig zu Gast und aktiv, wie die Professoren der sächsischen Universitäten.

„Was mit einem Dutzend Teilnehmern in einem Dresdener Restaurant als lockerer Zusammenschluss von Fachleuten begann, ist heute ein aktives und schlagkräftiges Netzwerk, das nicht nur das klassische Digital-, Mixed-Signal und Analog-Design abdeckt, sondern zunehmend auch System-Designer anzieht. Heute kommen selbst Teilnehmer aus Thüringen regelmäßig zu den Abenden“, erläutert Prof. Bernd Junghans, der im Januar 2005 im Auftrag von Silicon Saxony e.V. das erste Treffen organisierte. „Das Thüringer Institut für Mikroelektronik- und Mechatronik-Systeme gGmbH (IMMS) ist bestrebt, die Industrie-Praktiker mit den leistungsfähigsten Entwurfswerkzeugen vertraut zu machen. Dafür kommen wir sehr gern nach Dresden zu den Spezialistentreffen und nehmen auf dem Heimweg viele sächsische Erfahrungen mit zu unseren Industriepartnern“, ergänzt Prof. Franz Rößler vom IMMS-Institutsteil in Erfurt.

Seit Herbst 2006 leitet Thomas Hötzel, CTO der ZMD AG, den Arbeitskreis (Abbildung 3.14): „Nach einer Kennenlern-Phase zu Beginn wurden immer mehr konkrete Interessen und Schwerpunktthemen angegangen. Das Programm für 2007 ist bereits verabschiedet, und neben den Themenabenden wird ein Analog-Mixed-Signal-Tag im Mai ein Höhepunkt unseres Programms für dieses Jahr.“

Der Zusammenschluss der Firmen und Institute ist eine in Europa einmalige Einrichtung. Denn die Herausforderungen an die IC-Designer wachsen ständig mit der fortschreitenden Miniaturisierung der Strukturen und der immer weitergehenden Integration in der Mikroelektronik.

Johannes Kneip, Program Manager von NXP Semiconductors, zeigt anhand eines Beispiels, wie sehr der Erfolg eines Unternehmens heute an den Design-Tools hängt: „Vor fünf Jahren bestanden unsere Wireless-LAN Systeme noch aus einer ganzen Platine mit digitalen und Hochfrequenz-ICs und fast einhundert diskreten Bauteilen. HF-ICs wurden mit Analog-Tools entworfen, Digital-ICs über Synthese, Place&Route; am Ende baute man auf dem Board alles zusammen. Alle Komponenten wurden separat getestet und wenn etwas nicht gleich funktionierte, konnte man mit Messinstrumenten und LötKolben noch eine ganze Menge ausrichten. Diese Zeiten sind ein für alle mal vorbei – heute integrieren wir mehrere Millionen Digitaltransistoren, komplette HF-Baugruppen und die Stromversorgung auf einem einzigen Chip zu einem kompletten System. In der verwendeten



Abbildung 3.14: Thomas Hötzel, CTO ZMD AG und Leiter des Arbeitskreises IC-Design im Silicon Saxony e.V.

65 nm-Technik kann man auf dem Chip kaum mehr etwas messen, was nicht über die wenige Dutzend Pins von außen zugänglich ist. Ein winziger Fehler im Design bedeutet einen Chip-Re-Spin mit bis zu einer Million Euro Kosten und mehreren Monaten Dauer. Entwurfs- und Simulationstools müssen daher sowohl mit der enormen Komplexität auf dem Chip fertig werden, als auch die enormen Wechselwirkungen der vielfältigen Strukturen auf so engem Raum aufs Genaueste in die Technologie-Wirklichkeit abbilden.“

Thomas Hötzel ergänzt: „Die Grenzen zwischen Digital- und Analogdesign verschwinden dabei zunehmend, die Welt ist analog und ab bestimmten Frequenzen sind selbst digitale Signale analog zu betrachten. Während im Digitalbereich in den 90er Jahren wesentliche methodische Fortschritte zur Beherrschung von Multi-Millionen-Transistor-Designs erreicht werden konnten, gilt es für die analoge und Mixed-Signal-Welt erst noch, die jetzt ungleich höhere Komplexität methodisch umfassend abzubilden und First-Time-Right-Ergebnisse zu ermöglichen.“

Die Interessen der Unternehmen im Design-Arbeitskreis decken dabei die gesamte Palette des IC-Designs ab - von Analog, Digital, Speichern bis hin zu kombinierten Mixed-Signal- und Hochfrequenz-Schaltungen sind alle Interessen vertreten. Mehr und mehr werden aber auch angrenzende Themenschwerpunkte wie etwa die Testprogramm-entwicklung adressiert. „Eine enge Verzahnung von „Design-for-Test“ und dem eigentlichen Chip-Test in der Fabrikation bedeutet enorme Wettbewerbsvor-

teile“, so Johannes Kneip, Program Manager von NXP Semiconductors.

Warum das so ist? „Nachdem die Chips immer kleiner, aber komplexer werden, sind die Kosten für den Chip-Test in der Produktion in immer mehr Fällen bald genauso hoch wie die eigentlichen Siliziumkosten. Wenn man hier intelligent arbeitet, also zum Beispiel durch geeignete Schaltungsstrukturen Teile des Chips sich selbst testen lässt, kann man die Kosten gegenüber dem Wettbewerb enorm reduzieren“. „Die Entwicklung von hochoptimierten Testprogrammen ist sogar eine ausgewiesene Kernkompetenz von der ZMD Entwicklungsmannschaft“, so Thomas Hötzel.

Aber auch das Projekt- und Qualitätsmanagement und seine Techniken sind angesichts des ständigen Zeitdrucks und dem Zwang zum „First time right“ ein wichtiges Thema. Thomas Hötzel: „Das Projektmanagement spielt eine besondere Rolle, gilt es doch Termine und Kosten mit der geforderten Performance der Produkte optimal abzustimmen. Auch sind die methodischen Bereiche nicht so sensibel, was die Konkurrenzsituation der Teilnehmer untereinander betrifft. Man hilft sich und geht Themen gemeinsam an, wo das eben sinnvoll und möglich ist. Dies ist ein ganz klarer Vorteil des Silicon Saxony. Kurze Wege – man kennt sich und unterstützt sich gegenseitig.“

Weiter organisiert der Arbeitskreis fachliche Workshops zu Themen wie elektromagnetischer Verträglichkeit, ein Bereich der gerade für Automobil und Medizin eine immer größere Bedeutung bekommt und heute nicht komplett über Entwicklungswerkzeuge abgedeckt ist.

Eine Besonderheit des Arbeitskreises ist zudem seine effektive Zusammensetzung der Mitglieder aus Industriefirmen, Professoren verschiedener Hochschulen und den Dresdener Fraunhofer Instituten. Die zielgerichtete und industriennahe Ausbildung von Entwicklungsingenieuren an den beteiligten Universitäten ist ein weiterer Schwerpunkt des Arbeitskreises, der diese mit verschiedenen Aktivitäten wie der erfolgreichen Sommerschule, unterstützen will. Auch als das IC-Design-Labor an der TU Dresden letztes Jahr aufgrund erneut gekürzter Haushaltsmittel eine Finanzspritze für die Rechnerinfrastruktur benötigte, haben Firmen des Design-Arbeitskreises mit Finanzspritzen schnell und unbürokratisch ausgeholfen. Dabei bietet die Fertigungsnähe einen entscheidenden Vorteil. „Im Silicon Saxony können Studenten den gesamten Entstehungsprozess eines Chips von der Idee über das Design bis zur Fertigung und Test hautnah miterleben. Das dürfte in dieser lokalen Dichte ziemlich einmalig auf der Welt sein.“, so Prof. René Schüffny vom Lehrstuhl VLSI-Systeme und Neuromikroelektronik der TU Dresden.

Kont@kt:

Dr. Wolfgang Herrmann
Silicon Saxony e.V.
fon: (03 51) 89 25-887
herrmann@silicon-saxony.net

Am 11. Mai, direkt nach diesem „IC-Design-Workshop“ findet in Kooperation von Silicon Saxony e.V. und dem edacentrum ebenfalls in Dresden der Fach- und Kooperationsworkshop „Technologie und deren Auswirkung“ (siehe Seite 20) statt. Aktuelle Informationen finden Sie unter www.edacentrum.de/veranstaltungen/

Das Programm, die Anmeldeunterlagen sowie weitere Informationen finden Sie unter www.silicon-saxony.net => Termine.

Silicon Saxony konzentriert in seinem Arbeitskreis „IC-Design“ die Kompetenz zahlreicher Unternehmen und Forschungseinrichtungen auf dem Gebiet des Entwurfs von Analog-, Mixed-Signal- und HF-Bauelementen. Jährlich wird ein eintägiger offener Workshop veranstaltet, bei dem ausgewählte Aspekte des Entwurfs von Schaltungen im Mittelpunkt stehen.

Wann: 10. Mai 2007
9:00–17:00 Uhr

Wo: Mercure-Hotel Elbpromenade
01157 Dresden
Hamburger Straße 64–68

Auf der Tagung werden

- » neue Schaltungskonzepte,
- » Design-Erfahrungen und -Probleme,
- » neue Methoden und Werkzeuge für den Schaltungsentwurf

von Praktikern für Praktiker vorgestellt, wobei auch CAD-Anbieter sowie Hochschulen und Forschungseinrichtungen einen wichtigen Beitrag leisten.

Bitte reichen Sie Abstracts per E-Mail an herrmann@silicon-saxony.net ein.

Angesichts der ständigen Innovationen der Mikroelektronikbranche und dem IC-Design als heißes Dauerthema, werden dem Arbeitskreis die Aktivitäten in den nächsten Jahren kaum ausgehen. Überregional wird man ebenfalls den Kontakt mit anderen Arbeitskreisen, Organisation, EDA-Firmen und Verbänden ausbauen. „Auch wenn der Aufbau von IC-Design-Aktivitäten keine pressewirksamen Milliardeninvestitionen in teure Fabriken zur Folge hat und daher oft leise und unbemerkt vor sich geht, leistet er einen signifikanten Beitrag zur Entwicklung der Region. Es sind extrem hochwertige Arbeitsplätze, die hier geschaffen werden, zählt doch das IC-Design zu den anspruchsvollsten Disziplinen unter den Ingenieuren. Und nicht zuletzt existiert durch die Vernetzung der Design-Unternehmen untereinander und die enge Zusammenarbeit mit den Halbleiterfertigungen ein Innovationspotential, das wohl kaum anderswo auf der Welt so möglich sein dürfte“, so Thomas Hötzel abschließend.

„edaTrend DATE07“ – der DATE-Trendbericht des edacentrum

www.edacentrum.de/trendberichte.html



Eine nicht repräsentative Umfrage unter Ingenieuren ergab folgendes Meinungsbild:

Neigungen bei einem Konferenzbesuch:	mag ich	mag ich nicht
Informationsaustausch auf Konferenzen	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Interessante und lebhaft Podiumsdiskussionen verfolgen	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Über aktuelle Themen und Trends informiert sein	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Notizen während Podiumsdiskussionen machen und dadurch abgelenkt sein	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Artikel über Podiumsdiskussionen schreiben	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Interessante Podiumsdiskussionen verpassen	<input type="checkbox"/>	<input checked="" type="checkbox"/>
Abwägen müssen zwischen wichtigen Gesprächen/Terminen, einem Besuch in der Ausstellung und interessanten Podiumsdiskussionen	<input type="checkbox"/>	<input checked="" type="checkbox"/>

Sie denken gerade, dass Sie die Fragen genauso beantwortet hätten?

Dann sind die Trendberichte des edacentrum hoch interessant für Sie, da diese genau auf Ihre Bedürfnisse zugeschnitten sind.

Unser Redaktionsteam sammelt für Sie seit nunmehr 5 Jahren die auf der DAC und DATE thematisierten industrie- und business-relevanten Trends und fasst diese jeweils in einem Trendbericht zusammen.

Der nächste Trendbericht (in englischer Sprache!) erscheint anlässlich der DATE07-Konferenz vom 16.–20. April in Nizza.

Dieser Bericht gliedert sich in drei Abschnitte, einen allgemeinen Teil, einen Abschnitt über Podiumsdiskussionen im technischen Programm und einen Abschnitt über die Sessions im Exhibition Theatre und Eindrücke von der Ausstellung. Damit ist der „edaTrend DATE07“ die einzige öffentliche Publikation, die diese Inhalte in kompakter Form zusammenträgt und seinen Lesern präsentiert. Der Bericht ist ausschließlich als gedrucktes Exemplar lieferbar.

Das geplante Erscheinungsdatum für den „edaTrend DATE07“ ist der 25. Mai 2007. Der Preis beträgt EUR 250, für folgende Gruppen gewähren wir Sonderpreise:

1. Mitglieder und Projektpartner des edacentrum e.V.

- » Einzelexemplar: EUR 125
- » 10er-Paket: EUR 1.000
- » 50er-Paket: EUR 3.750

2. Universitäten, Fachhochschulen und öffentliche Forschungseinrichtungen

- » Einzelexemplar: EUR 50
- » 10er-Paket: EUR 250

Alle genannten Preise verstehen sich zuzüglich der gesetzlichen Mehrwertsteuer.

Sie möchten sich von der Qualität der Berichte überzeugen? Wir laden Sie ein, sich den (noch in deutscher Sprache erstellten) vergleichbaren Trendbericht zur DATE06 unter „www.edacentrum.de/download/DATE_Bericht-2006.pdf“ anzusehen. Fragen Sie uns nach dem Passwort.

Wir freuen uns sehr, wenn Sie weiterhin ein treuer Leser unserer Publikationen bleiben oder wenn Sie es bald werden. Ihre verbindliche Bestellung für den „edaTrend DATE07“ senden Sie uns bitte bis spätestens zum 04. Mai 2007.

Kont@kt und Information
 Dirk Rosendahl
 fon: +49 (511) 7 62-1 96 83
rosendahl@edacentrum.de



Alex & Bill

Die Notwendigkeit, an einem Strang zu ziehen

Quantifizierung am Nachmittag

Alex drückte die Klinke noch einmal herunter, aber die Tür war definitiv verschlossen. Er wandte sich zu Gracia um und zuckte mit den Schultern. „Linus scheint wirklich nicht da zu sein.“

„Kann er noch in der Mittagspause sein?“

Alex schüttelte den Kopf. „Glaube ich kaum. Er hat vermutlich nicht die geringste Lust mit uns seine Skizze zu überarbeiten. Dass Bill darauf bestanden hat, hat ihm sicherlich gestunken. Verdammt, ich habe wirklich anderes zu tun, als hinter ihm herzulaufen. Wir gehen am besten in mein Büro zurück und arbeiten an der Vorhabenbeschreibung weiter. Linus wird schon irgendwann auftauchen.“

Sie machten sich auf den Weg und gingen schweigend nebeneinander her durch die halbleeren Büroflure. Alex Gedanken wanderten kurz zur Quantifizierung und von dort zu seiner gestrigen Diskussion mit Ines. Er musste heute unbedingt früher gehen. Wenn er heute nicht wie versprochen um 17 Uhr zu Hause wäre, nicht auszudenken. Naja, er hatte sich in letzter Zeit auch wirklich nicht viel um die Kinder kümmern können und mit Ines war er auch schon lange nicht mehr ausgegangen. Die Förderprojekte und dann noch das Designprojekt, in dem er nach wie vor steckte, das war einfach zuviel. Aber er konnte weder Bill noch Peter, dem Leiter des Designprojekts, das Zeug einfach vor die Füße schmeißen. Und die Umstrukturierung der Abteilungen machte es unmöglich jetzt einen Ersatz zu finden. Management! Phh! Alex stoppte, als er plötzlich ein lautes Räuspern hörte. Gracia war nicht mehr neben ihm, sondern stand an seiner Bürotür. Er war glatt daran vorbeigelaufen. Verlegen grinste er Gracia an, ging zurück und öffnete die Tür.

Als sie im Büro waren, griff Alex mit einer Hand nach den Projektunterlagen und fegte mit der anderen Hand die übrigen Sachen zur Seite, um Platz für ihre Besprechung zu schaffen. Er sah, wie Gracia die Stirn runzelte. Bevor sie ihm einen Vortrag über geordnete Schreibtische und kurze Zugriffszeiten hielt, womit bei ihr immer zu rechnen war, richtete er sich auf und sah sie an.

„Ok, eines müssen wir klären. Ich mag überquellende Schreibtische und Kaffeetassen, die man unter Bergen

von Papier hervorziehen muss. Ich kann dabei wunderbar denken und mir wäre es lieb, wenn sie nicht andauernd darauf rumhacken würden.“

„Ich habe doch noch gar nichts gesagt.“

„Sie haben die Stirn gerunzelt.“

„Ähm...“, fing Gracia an, stoppte dann aber und hüstelte leicht.

Alex sah sie misstrauisch an, aber sie schaute nur ernsthaft auf ihre Unterlagen. Er seufzte. Ihm war einfach nicht klar, wann sie etwas ernst nahm.

„Also“, fing Gracia an, „für die Vorhabenbeschreibung müssen wir etliche Kapitel noch ausbauen, die Beiträge der Projektpartner müssen ausführlich beschrieben werden und wir haben folgende Empfehlungen auf dem Tisch: Reduktion der Ressourcen, verbesserte Quantifizierung der Ziele, bessere Darstellung der Kooperationen und Konkretisierung der Verwertungspläne. Über die Ressourcenreduktion haben wir ja bereits gesprochen.“

„Wayne hat heute Morgen angerufen und will sich aus dem Projekt zurückziehen, wenn sie in so hohem Maße reduzieren sollen. Wenn wir bei 10 % Kürzung bleiben und die Beiträge entsprechend formulieren, finden wir aber sicherlich einen Kompromiss. Die Kürzung kann ich ansprechen, wenn wir die konkreten Beiträge haben. Sie kümmern sich weiter um die Beiträge?“

Gracia nickte. „Ja, ein paar sind bereits bei mir eingetroffen. Und was machen wir mit der Quantifizierung?“

Alex nahm einen Stift und zog ein Blatt zu sich herüber. „Ich habe mir dazu folgendes überlegt. Ziel ist letztendlich die Time-to-Market zu verbessern. Gehen wir mal davon aus, dass wir zwei Monate früher auf dem Markt sein wollen.“

„Was bedeuten zwei Monate früher auf dem Markt?“

Alex sah Gracia erstaunt an. „Was das bedeutet? Na, dass wir zwei Monate schneller sind und somit der Konkurrenz den Markt vor der Nase wegschnappen! Sie kennen sich damit ja wohl aus, oder?“

Kontakt und Autorin:

Dr. Cordula Hansen
fon: (07 11) 28 07-9 56
hansen@edacentrum.de

„Hm, ich hatte das folgendermaßen gemeint: Angenommen ich erzähle ihnen, dass meine Firma für ein Produkt Ihre Entwicklungszeit um 10 % reduziert hat. Was würden Sie dazu sagen?“

„Na, das ist doch prima.“

„Ja, aber für wie prima würden Sie das halten?“

„Keine Ahnung. Ich weiß doch nicht, was das insgesamt für ihre Firma bedeutet.“

Gracia nickte. „Eben. Und diese Schwierigkeiten habe ich auch mit ihren zwei Monaten. Was bedeuten zwei Monate früher auf dem Markt für dieses Projekt?“

„Dass wir durch diese zwei Monate die Nase vorn haben in der ganzen Produktlinie und echte Chancen auf dem Weltmarkt haben.“ Alex nickte. „Ich muss die Zahl in Bezug setzen, damit ihre Bedeutung klar wird.“ Alex kritzelte etwas auf sein Papier und überlegte sich dabei, dass er sich allmählich vielleicht doch ein Notizbuch anschaffen sollte, in dem er diese ganzen Vor-, Nach- und Randbedingungen von Förderprojekten festhalten sollte. „Klar ist auf jeden Fall“, fuhr Alex fort, „dass wir dieses Ziel auf unsere Arbeiten 'runterbrechen müssen. Um früher auf dem Markt zu sein, müssen wir vor allem die Modellierung und die Validierung verbessern. Beide liegen auf dem kritischen Pfad. Ich würde aus den bisherigen Erfahrungen mal schätzen, dass wir für diese zwei Monate und unter Berücksichtigung, dass unsere Produkte immer komplexer werden, den Zeitaufwand für die Modellierung um mindestens 20 % drücken müssen, und die Validierung muss um mindestens den Faktor 10 beschleunigt werden. Eine echte Herausforderung“, seufzte Alex. „Wenn wir diese Zahlen für die Arbeitspakete aufstellen, müssten sie sich eigentlich auch auf die Beiträge beziehen lassen.“

Gracia sah ihn grinsend und nickte. „Wenn die Beiträge konkret genug sind, kann ich damit zunächst mal arbeiten. Wie sieht es mit den Kooperationen aus?“

„Desolat.“

„Gäbe es zum Thema Modellierung nicht die Möglichkeit, sich auf ein gemeinsames Vorgehen zu einigen? Dann könnte das als Bündelthema dienen.“

Alex nickte. „Ja, das könnte vielleicht gehen. Ich spreche das bei unserer nächsten Telecon mal an. Dann blieben noch die Verwertungspläne. Sie schicken eine E-Mail an die Projektpartner?“

„Ja, ich schicke eine Vorlage 'rum. Das Problem sind immer die konkreten Pilotprojekte und Zeitangaben. So weit im Vorfeld planen die Firmen nicht. Eigentlich immer noch überraschend.“

„Warum...“, begann Alex, wurde dann aber unterbrochen, da seine Bürotür mit solchem Schwung aufgerissen wurde, dass sie gegen den Stopper knallte. Linus stand mit breitem Grinsen in der Tür.

Linus meint es gut

„Hallo, ihr zwei. Ratet mal, mit wem ich gerade eine Besprechung hatte.“

„Na, mit uns. Nur, dass wir vor deiner geschlossenen Tür standen und du nicht da warst“, antwortete Alex.

Linus schaute verwirrt auf Alex und Gracia. „Oh, ja? Naja, kommt mal vor. Was war denn Thema? Ach egal, ich habe gerade mit Shawn zusammengesessen.“ Linus trat ein und schloss die Tür hinter sich.

„Shawn ist schon wieder da? Ich dachte, er kommt erst nächste Woche aus den USA zurück. Wieso hast du denn mit ihm zusammengesessen? Wollte Bill nicht mit ihm reden?“ Alex sah Gracia an: „Habt ihr nicht heute Morgen Unterlagen vorbereitet?“ Gracia nickte.

Linus winkte ab. „Kann ja schon sein. Ich bin ihm einfach auf dem Flur begegnet und ich dachte, das ist die Gelegenheit unserem Entwicklungsleiter ein paar Dinge über diesen Förderkram zu stecken. Und dann haben wir uns kurz zusammengesetzt“

Alex stand auf und sah Linus entsetzt an. Diese verfluchte Spontaneität von Linus hatte ihm schon einiges Kopfzerbrechen in den Designprojekten bereitet. Eigentlich wollte er gar nicht wissen, was Linus genau erzählt hatte. „Ok, was genau hast du ihm erzählt?“

„Na, dass dieser Förderkram nur unnütz Ressourcen verschlingt. Du erinnerst dich doch an unsere Gespräche oder? Das war doch die Gelegenheit mal klar Schiff zu machen. Keine Förderprojekte, keine langen und überflüssigen Antragsphasen, kein Schreibkram, keine Debatten über gesellschaftlichen Nutzen. Die Designprojekte sind das Wichtige.“ Linus stoppte. „Was ist denn, Alex? Ist dir nicht gut? Mensch, wenn du dich um die Wette sorgst... Hauptsache, wir sind den Förderkram los!“

Alex platzte der Kragen. „Himmel, Linus. Spinnst du eigentlich? Du kannst doch bei Shawn nicht erzählen, dass der Förderkram nutzlos ist. Wir setzen hier zwei Projekte auf, die uns wirklich was bringen können. Es ist schon schwierig genug, die Projekte hier in der Firma zu motivieren. Und du hast nichts Besseres zu tun als unserem Entwicklungsleiter noch Wasser auf die Mühlen zu gießen? Argh!“ Alex sah wütend zu Linus. Dann hinüber zu Gracia, die diesen Kram eigentlich gar nicht mitbekommen sollte. Sie hatte sich zurückgelehnt und sah ihn prüfend an. Und ein wenig musste Alex sich über sich selbst wundern. Er redete schon wie Bill. Alex atmete durch und sah wieder zu Linus. „Ok, was machen wir jetzt?“

Linus hatte erst verwirrt zu Alex hinübergeschaut, jetzt hatte er sein strahlendstes Lächeln aufgesetzt. „Mensch, Alex. Das habe ich nicht gewusst, dass du dein Herz an Förderprojekte verloren hast. Ich dachte immer, dein Ding wäre der Designprozess. Ich glaube, du setzt aufs falsche Pferd.“ Linus schaute zu Gracia hinüber. „Wirklich!“, ergänzte er.

„Linus, das...“ Alex stoppte und wandte sich zu Gracia: „Frau Torner, wir sind ja soweit durch. Wir sprechen uns dann in der nächsten Telecon.“

Gracia sah kurz von Alex zu Linus. Dann nahm sie ihre Unterlagen, erhob sich, nickte beiden noch einmal zu und verließ das Büro. Alex griff sich an den Kopf. Verdammt noch mal, warum musste er sich darum kümmern? Dann sah er zu Linus. „Wir sollten Bill informieren, am besten gleich.“ Alex blickte auf seine Uhr. „Mist, es ist schon nach vier. Das wird knapp.“

„Sag mal, was ist denn mit dir los, Alex? Mach dir doch nicht so einen Stress. Wenn dir die Förderprojekte so am Herz liegen, bekommen wir das schon wieder hin.“

„Ach ja, und wie? Willst du zu Shawn gehen und ihm erzählen, dass du ihm nur ein paar Märchen aufgetischt hast, um ihm den Nachmittag zu versüßen?“

„He, Alex, jetzt mal ruhig. Wir gehen zu Bill und dann wird das schon.“ Linus öffnete die Tür. „Los, komm!“

„Warte, ich muss erst Ines anrufen. Sonst bleibt das nicht die einzige Katastrophe an diesem Tag.“

Lucianos Restaurant

„Buona sera, Alex, welche Freude dich hier wieder zu haben.“ Luigi, der Wirt von Luciano's Restaurant, stürmte auf Alex zu und drückte ihn herzlich an seine Brust. Dann flüsterte er Alex zu. „Deine Frau sitzt an eure Tisch. Aber erst fünf Minute.“ Luigi zwinkerte ihm zu. „Non ritardo, he!“

Alex ging zu Ines rüber und drückte ihr einen Kuss auf die Wange. „Du hast doch nicht lange gewartet oder?“, fragte er und setzte sich Ines gegenüber.

„Nein, ich bin auch gerade erst gekommen. Der Babysitter war nicht besonders pünktlich.“

„Ich bin froh, dass wir uns hier sehen und du mir die 17 Uhr nicht zu übel nimmst.“

„Hmm, naja, aber auf Dauer ist das keine Lösung oder?“

„Nein, ist es wohl nicht. Aber lass' uns erst mal Essen bestellen. Ich hoffe, du hast ordentlich Hunger.“

Ines grinste ihn an. „Immer doch, wenn ich eingeladen bin.“

Sie saßen friedlich bei Pizza und Rotwein als Ines ihn entschieden ansah. „Also, was war jetzt los, dass du dich nicht loseisen konntest?“

Alex seufzte. „Es sind die Förderprojekte. Wir haben unseres auf einen ganz guten Weg gebracht, aber heute ist Linus uns so richtig in die Quere gekommen. Du kennst ihn ja.“ Ines nickte. „Dabei hat er es noch gut gemeint. Er hat unserem Entwicklungsleiter erzählt, was für ein Quatsch die Förderprojekte seien und der legt durchaus Wert auf Linus Meinung. Linus hat ein gutes Standing in der Firma. Naja, und dann habe ich Linus zu Bill geschleift, um zu sehen, was wir wieder einrenken können. Deswegen ist es auch später geworden. Linus und Bill gehen jetzt die Unterlagen für den Entwicklungsleiter noch einmal durch und versuchen, die Förderprojekte stärker mit unseren Entwicklungsprojekten zu verzahnen. Dann könnten Linus und Bill mit diesem neuen Ansatz noch einmal in die Diskussion gehen.“ Alex sah Ines nachdenklich an. „Eigentlich ist das nur von Vorteil. Wir können die Förderprojekte sowieso nicht isoliert in der Firma ablaufen lassen und wenn die auch in unserem Qualitätsmanagement aufgenommen werden, können wir später die Ergebnisse besser bewerten.“

„Das klingt doch gut.“

Alex sah Ines überrascht an. „Vielleicht. Ich habe bis jetzt nur die negativen Seiten gesehen. Aber unser Problem ist schon, dass die Projekte so isoliert ablaufen. Ich will gar nicht wissen, wie oft wir Dinge schon doppelt entwickelt haben, weil der eine nicht vom andern wusste.“

Jetzt war es Ines, die Alex nachdenklich ansah. „Weißt du Alex. Du klingst fast schon wie ein Manager. Vielleicht ist das Problem, dass du neue Wege gehst und die alten nicht loslässt.“

Alex schüttelte den Kopf. „Nein, ich will in meinem Designprojekt tüfteln. Bill braucht nur Unterstützung bei den Förderprojekten.“

„Ich bin mir da nicht sicher. Aber vielleicht ist das jetzt nicht der richtige Zeitpunkt darüber zu reden. Wir können ja besser darüber reden, wie du mehr Zeit mit den Kindern verbringst.“

Alex stöhnte und sah in Ines grinsendes Gesicht. „Ok, was steht am Wochenende an?“

„Dein Sohn spielt am Sonntag gegen den TSV Gross-Eggen. Und brüll den Trainer nicht wieder zusammen.“

Begutachtungen oder die Beachtung des Guten

Ablauf und Inhalt

Die Pflicht der Begutachtung als Chance

Innerhalb der Projektlaufzeit wird jedes vom edacentrum betreute Projekt einmal im Jahr begutachtet – sicherlich eine nicht von allen geschätzte Pflicht, die oft mit hohem Aufwand in der Vorbereitung verbunden ist. Doch wie bei allen Dingen, kommt es oft darauf an, wie man sie betrachtet. Die Begutachtung kann als Pflichtveranstaltung angesehen werden, die unliebsamen Aufwand erzeugt und im Ergebnis als überflüssige Veranstaltung zu bewerten ist. Man kann die Begutachtung aber auch als Chance sehen. Ziel jeder Begutachtung ist es, in Diskussionen und Fragen Hilfestellungen bei eventuell auftretenden Problemen zu geben, und zu einer Beachtung der erarbeiteten Ergebnisse zu führen. Dazu werden zwei Gutachter, ein Vertreter des PT-IT und eine Moderatorin gestellt, die den Projektbeteiligten die Chance bieten, gemeinsam über Probleme, Herausforderungen und Ergebnisse zu diskutieren. Außerdem schafft eine solche Veranstaltung den Rahmen, um die erarbeiteten Ergebnisse zusammenzubringen. Eine Erfahrung, die jeder Einzelne aus seiner eigenen Arbeit kennt: Wenn der Abgabetermin näher rückt, kann man plötzlich unglaublich effizient werden. Wir würden uns freuen, wenn Sie die Begutachtung nicht nur als Pflicht sondern auch als Chance betrachten!

Ergebnisse in Postern, Demonstratoren etc. zusätzlich visualisiert werden.

Ein wichtiger Punkt bei den Begutachtungen ist, dass sich entsprechend dem Fortschreiten des Projektes der Schwerpunkt von der Gesamtübersicht hin zur Präsentation der Ergebnisse und deren Verwertung verschiebt. In der ersten Begutachtung, die ungefähr nach einem Jahr Projektlaufzeit durchgeführt wird, steht vor allem die Gesamtpräsentation im Mittelpunkt. Es sollte ein Verständnis von der Struktur, der Zusammenarbeit und dem Stand der laufenden Arbeiten sowie der Konkurrenzsituation entstehen und Schwierigkeiten oder Herausforderungen erkennbar werden.

In den nachfolgenden Begutachtungen spielt die Gesamtübersicht keine große Rolle mehr und kann nur kurz zur Erinnerung präsentiert werden. Wichtig ist dann vor allem die Präsentation der Ergebnisse und Highlights sowie die Darstellung der Konkurrenzsituation, der Kooperationen sowie die Präsentation der dem Projektverlauf angepassten Verwertungspläne. Der letzte Punkt ist vor allem in der Abschlussbegutachtung von besonderer Bedeutung, denn Ziel des Projektes ist es ja, Ergebnisse zu erarbeiten, die später weiterverwendet werden und den Projektpart-

Nur um Unklarheiten zu vermeiden: „Review“ heißt jetzt „Begutachtung“!

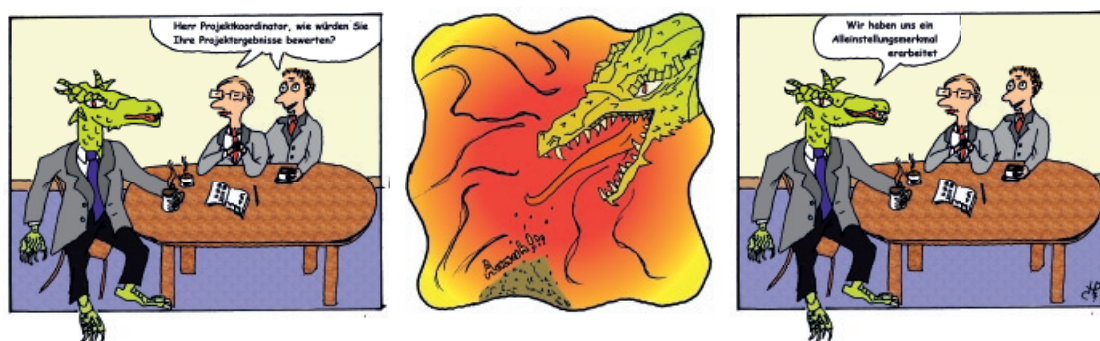


Abbildung E.01: „Der Koordinator“ von Cordula Hansen und Martin Pröfrock

Der Begutachtungsablauf

Die Begutachtungen laufen prinzipiell immer nach dem gleichen Schema ab: Vortrag des Projektkoordinators, Vorträge der Arbeitspaketleiter und Vorträge der Zuwendungsempfänger. Trotzdem bietet diese Einteilung genug Spielraum, um den Charakter des Projektes zu berücksichtigen. Die Aufteilung der Vorträge ist dynamisch, d.h. wer welche Inhalte wie am besten präsentiert, ist Entscheidung des Projektes, ebenso, ob

nern wirtschaftliche Vorteile bringen. Wenn in der Abschlussbegutachtung dann noch die Brücke zur Ausgangssituation mit einem Vergleich zur Konkurrenz geschlagen wird, liegen alle Informationen für anregende Fragen und eine gute Diskussion auf dem Tisch. In diesem Sinne wünschen wir allen Projekten für Ihre Begutachtungen eine gute Vorbereitungszeit und bitte nicht vergessen: Alle Unterlagen immer 14 Tage vorher zur Verfügung stellen!

Wenn Sie organisatorische Fragen zu Begutachtungen haben, wenden Sie sich bitte an Frau Dr. Cordula Hansen.

Kontakt und Autorin:
Dr. Cordula Hansen,
fon: (07 11) 28 07 - 956,
hansen@edacentrum.de

4 Panorama

Meldungen

www.edacentrum.de/newsletter/

Firmen: Netzeitung, vom 26.3.2007

Intel investiert Milliarden in China

Intel wird zu einem der größten Auslandsinvestoren in China. Mit dem Bau einer neuen Chip-Fabrik soll noch in diesem Jahr begonnen werden.

Firmen: Computerwoche, vom 21.3.2007

NXP macht Chip-Werk in Böblingen dicht

Der Konzern schließt den Standort bei Stuttgart, die 550 Beschäftigten machen ihre „Next Experience“ mit einem Sozialplan.

Firmen: EE Times, vom 22.2.2007

X-Fab moves to take over ZMD

Foundry provider X-Fab has submitted an application at the German federal antitrust authority to take over Dresden based semiconductor manufacturer ZMD AG. The move could further strengthen the foundry's position in the analog/mixed signal market.

Firmen: Financial Times Deutschland, vom 9.2.2007

Mastercard presst Infineon-Chips auf Karten

Der Halbleiterkonzern Infineon liefert Sicherheitschips für die neuen Kreditkarten von Mastercard. Damit hat der Konzern innerhalb einer Woche den zweiten Großauftrag bekannt gegeben. Der neue Auftrag hat für Infineon enorme strategische Bedeutung.

Firmen: EE Times, vom 9.2.2007

EDA notables join ChipVision TAB

EDA luminaries Raul Camposano, Jason Cong, and Jim Hogan have joined a new technical advisory board (TAB) set up by ChipVision.

Forschung: Heise Online, vom 13.3.2007

Schavan: „Für jeden Euro Fördergeld müssen Unternehmen fünf Euro beisteuern“

Die Bundesregierung will bei der Förderung von Informationstechnologien die Industrie künftig stärker in die Pflicht nehmen.

Forschung: Financial Times Deutschland, vom 1.3.2007

Schalten mit einem einzigen Elektron

Britische Forscher haben einen winzigen Transistor aus der Kohlenstoff-Variante Graphen hergestellt. Er

ist rund viermal kleiner als die kleinsten elektronischen Schalter aus dem heute gebräuchlichen Material Silizium

Forschung: Presstext, vom 16.2.2007

RFID-Chip in Staubkorngröße entwickelt

Die winzigen Sender sind 64-mal kleiner als die derzeit angebotenen kleinsten RFID-Tags und weisen Maße von 0,05 mal 0,05 Millimeter auf. Mit einer Dicke von nur fünf Mikron eignet sich der RFID-Staub für die Integration in eine Reihe von Materialien. Die Partikel sollen Geldscheine fälschungssicher machen.

Forschung: elektroniknet, vom 15.2.2007

Schnellere Chips durch neue Speicher-Technologie

eDRAM statt SRAM - IBM hat eine neue On-Chip-Speichertechnologie entwickelt, die die Leistung von Mikroprozessoren deutlich verbessern soll.

Forschung: BMBF Pressemeldung, vom 1.2.2007

Forschungsprämie stärkt Zusammenarbeit von Wissenschaft und Wirtschaft

Die Forschungsprämie setzt als breitenwirksames und technologieübergreifendes Instrument des Bundesministeriums für Bildung und Forschung (BMBF) im Rahmen der „Hightech-Strategie für Deutschland“ der Bundesregierung an. Das BMBF beabsichtigt damit, strukturbedingte Defizite in der öffentlichen Forschung bei der Zusammenarbeit mit der Wirtschaft, insbesondere kleinen und mittleren Unternehmen, abzubauen. Dazu können Hochschulen und gemeinsam von Bund und Ländern finanzierte Forschungseinrichtungen nach der Durchführung eines Forschungs- und Entwicklungsauftrages für mittelständische Unternehmen eine Forschungsprämie erhalten, um im Rahmen zusätzlicher Aktivitäten ihre Kompetenzen im Wissens- und Technologietransfer und für eine wirtschaftsorientierte Kooperation weiter zu entwickeln.

Forschung: EE Times, vom 28.1.2007

Intel und IBM schaffen Durchbruch in der Chip-technologie

Unabhängig voneinander melden IBM und Intel wesentliche Fortschritte in der Halbleitertechnik: Bei den Unternehmen ist es gelungen, Transistoren mit

High-k-Materialien und Metall-Gates industriell herzustellen. Damit ist eine wesentliche Voraussetzung für die Herstellung von Chipgenerationen mit noch höherer Integrationsdichte und Arbeitsfrequenz und gleichzeitig niedrigerem Stromverbrauch erfüllt.

Forschung: BMBF Pressemitteilung, vom 26.1.2007

Elektronik der Zukunft kommt aus Jülich

BMBF bewilligt 4,6 Millionen Euro für die Forschung an den Chips von morgen. Thomas Rachel, Parlamentarischer Staatssekretär im Bundesministerium für Bildung und Forschung (BMBF), gab den Startschuss für die nächste Ausbaustufe der Plattform „Nanoelektronik“ im Forschungszentrum Jülich der Helmholtz-Gemeinschaft. Die erweiterte Forschungsplattform wird eine intensive Zusammenarbeit mit Unternehmen der Halbleiterindustrie über die gesamte Wertschöpfungskette ermöglichen.

Forschung: Presstext, vom 22.1.2007

Durchbruch bei Speicherdichte mit Nanotechnik

Strukturierte Magnetscheibe ermöglicht ein Terabit pro Quadratzoll.

Markt: Computerwoche, vom 26.3.2007

Anwender beurteilen RFID immer noch skeptisch

Einer Umfrage des Drucklösungsanbieters Zebra Technologies Corp. zufolge glauben die Anwender mehrheitlich nicht an einen schnellen Siegeszug der „Smart Labels“ genannten Funketiketten. Für seine „Labeling-Studie“ ließ Zebra den Auftragsstudien-Anbieter Vanson Bourne insgesamt 127 Unternehmen fragen, welche Kennzeichnungssysteme sie verwenden und wie sie die Marktentwicklung einschätzen.

Markt: Spiegel Online, vom 13.3.2007

Flash schlägt Festplatte

Die Harddisk scheint am Ende. Zur Cebit kündigten etliche Firmen Massenspeicher an, die auf Chips statt auf Magnetplatten setzen. Sie sind schnell, sparen Strom – und kosten viel.

Markt: channel-e, vom 12.3.2007

Halbleitermarkt in Deutschland im Februar 2007

Der Umsatz mit Halbleitern in Deutschland war im Februar gegenüber dem Vormonat unverändert. Er blieb jedoch um 4 % unter Februar 2006, nach jeweils –7 % im Januar –9 % im Dezember und –4 % im November.

Markt: channel-e, vom 8.3.2007

Deutscher Halbleitermarkt 2006/2007

Im Jahr 2007 wird der deutsche Halbleitermarkt laut ZVEI-Fachverband Electronic Components and Systems voraussichtlich um fünf Prozent auf knapp zwölf Milliarden Euro Umsatz wachsen. Das Wachstum stützt sich auf einen zweistelligen Umsatzzanstieg in den Bereichen Diskrete Bauelemente, Opto-Halbleiter und Sensoren, während die ICs ein Wachstum von voraussichtlich vier Prozent verzeichnen werden.

Markt: channel-e, vom 5.2.2007

Weltweiter Halbleitermarkt 2006

Die Semiconductor Industry Association (SIA) meldet für das Jahr 2006 einen weltweiten Halbleiterumsatz in Höhe von 247,7 Mrd. US\$. Im Vergleich zu 2005 entspricht das einer Steigerung um 8,9 %.

Wirtschaft: FAZ.net, vom 27.3.2007

China statt Irland, New York statt Dresden

Asien und Amerika jagen Europa die Chipfabriken ab. Wachsende Märkte, niedrige Löhne, qualifizierte Arbeitskräfte und Steuergeschenke – Argumente für eine Ansiedlung außerhalb Europas gibt es viele.

Wirtschaft: EE Times, vom 22.3.2007

The top 10 emerging mobile markets ranked

Developing countries now account for more than half of mobile subscriber growth worldwide, with the top 10 adding around 285 million new subscribers in 2006 alone. The world's top 10 mobile growth markets are all countries considered to be "emerging" in Europe, Asia/Pacific, Africa, and Latin America.

Wirtschaft: EE Times, vom 14.3.2007

Nanoident startet kommerzielle Fertigung von Plastikelektronik

Mit der weltweit ersten Eröffnung einer Serienfertigung für organische Halbleiter hat das österreichische Unternehmen Nanoident AG den Startschuss für die kommerzielle Herstellung von Halbleiterprodukten auf organischer Basis gegeben. Die Technologie verspricht ein außerordentlich hohes Kostensenkungspotential und eröffnet die Perspektive zu neuen Anwendungen.

Wirtschaft: CAD-Info, vom 10.3.2007

VDI: Arbeitslosigkeit bei Ingenieuren um 50 % reduziert

Nach Angabe des VDI hat sich innerhalb der letzten zehn Jahre die Anzahl der arbeitslosen Ingenieure halbiert, von 77.672 im Jahr 1996 auf 38.733 im Jahr 2006.

Wirtschaft: EE Times, vom 8.3.2007

Automobilelektronik dominiert deutschen Chipmarkt

Der deutsche Halbleitermarkt wird nach Schätzungen des ZVEI im laufenden Jahr um 5 Prozent auf etwa 12 Milliarden Euro wachsen. Dabei rückt

die Automobilindustrie als wichtigstes Anwendungsssegment zunehmend in den Vordergrund.

Wirtschaft: elektroniknet, vom 21.2.2007

ZVEI: Starkes 2006, noch stärkeres 2007

Umsatzwachstum, steigende Beschäftigungszahlen, mehr Geld für Investitionen und für die Forschung – ein Ende ist nicht absehbar. Die Elektrotechnik- und Elektronikindustrie scheint keine Sorgen zu kennen. Wenn es den Fachkräftemangel nicht gäbe.

Von unseren Partnern im Ausland

www.edacentrum.de/newsletter



EDA Consortium

EDA Consortium, IEEE Council on EDA to Jointly Sponsor Prestigious Kaufman Award

The Electronic Design Automation (EDA) Consortium and the IEEE Council on EDA announced today that they will jointly sponsor the EDA industry's prestigious Phil Kaufman Award. The award now will be known as the Phil Kaufman Award for Distinguished Contributions to Electronic Design Automation, sponsored by the EDA Consortium and IEEE Council on EDA. Presented annually since 1994, the Kaufman Award honors an individual who has had a demonstrable impact on the field of EDA. It was established in honor of deceased EDA industry pioneer Phil Kaufman, who turned innovative technologies like silicon compilation and emulation into businesses that have benefited electronic designers.

"IEEE places a high value on rewarding individuals who have made contributions that significantly impacted the EDA community," said Al Dunlop, president of the IEEE Council on EDA.

Added Aart de Geus, chairman of the EDA Consortium and chairman and CEO of Synopsys, Inc.: "We welcome the IEEE Council on EDA's participation in selecting and honoring the recipient of the Phil Kaufman Award. The addition of the IEEE as a sponsoring body supports the notion that the Phil Kaufman Award is truly the 'Nobel Prize of EDA.' "



MEDEA+

MEDEA+ appoints new Chairman

MEDEA+ announces Jozef Cornu as its new Chairman, following Arthur van der Poel, who decided to step down from this function per end of February. Mr. Cornu, born in 1944, was awarded degrees in electrical and mechanical engineering from the Catholic University of Leuven and subsequently received the Ph.D. in Electronics from Carleton University in Ottawa.

He started his career in research in semiconductors in the Brown Boveri (now ABB) research center in Switzerland. In 1973 he joined the Belgian subsidiary of ITT, Bell Telephone, and became in 1982 General Manager of the newly formed semiconductor company Mietec, jointly owned by Bell Telephone and the Flemish Investment Company. In 1984 he was appointed General Manager of Bell Telephone and member of its Board of Directors. With the acquisition of the European ITT subsidiaries by Alcatel end of 1987, Jozef Cornu became member of the Board of Management of Alcatel NV. In 1995 he was

appointed Chief Operating Officer of Alcatel Telecom and member of the Alcatel Executive Committee. In his capacity as advisor to the chairman of Alcatel in 2000, Mr. Cornu has been appointed as member of the Board of Directors of Alcatel S.A. Recently Mr. Cornu has been appointed as a member of the board of Directors of Alcatel-Lucent. He is also a board member of KBC Group, Agfa Gevaert, Barco and Arinso International. Since 2005 Jozef Cornu is Chairman of the IST Advisory Group of the European Commission and contributing in this function to reshape Europe's economy and society to meet the challenges of the 21st century. His international experience, knowledge and expertise will ensure a continuation of the high profile chairmanship in MEDEA+.

MEDEA+

New Members in MEDEA+ Management Team

Guy Dubois has been appointed new MEDEA+ Office Director, following Gerard Matheron. Mr. Matheron having served as Office Director in MEDEA and MEDEA+ for over 8 years has accepted a new assignment within STMicroelectronics. Guy Dubois has started his professional career in 1968 as engineer for semiconductor process and device R&D at Thomson. In 1978 he joined the manufacturing organisation of Thomson Semiconductors and became after the merge of Thomson Semiconductors and SGS Microelettronica in 1987 a Group Quality Manager of the newly formed STMicroelectronics. In 1990 he was promoted Plant Manager in Rennes and returned back to Grenoble as Operations Manager in 1994, subsequently taking care of several management functions in the company's international engagement. As Group Vice President, Guy Dubois has been responsible since 2005 for Strategic Projects, Front End Technology and Manufacturing in STMicroelectronics.

Eberhard Schmid has been appointed MEDEA+ Vice-Chairman Applications, after Jürgen Deutrich has stepped down from this position at year end 2006. Having passed the degrees in electrical engineering at Stuttgart Technical University, Eberhard Schmid has started his industrial career in 1979 within Siemens Component Division in Munich. In 1985 he joined Robert Bosch GmbH, where he has been in charge of several management positions for R&D in automotive electronics. In 1989 he was promoted Vice President in charge of development of application specific semiconductors for all semiconductor activities of the Bosch Group, from which he retired end of 2003. Apart from that, he was member of the edacentrum supervisory board.

Based on their solid background, team spirit and expertise, the two new MEDEA+ team members will ensure the continuation of job performance and high profile of their predecessors.

Nominations for this year's recipient are being accepted until Friday, June 29. For more information on the award and to download this year's nomination form, visit: www.edac.org/about_kaufman_award.jsp or www.ieee-ceda.org/awards.html.

Cont@ct

EDA Consortium
111 West Saint John Street,
Suite 220
San Jose, Calif. 95113, USA
office 408-287-3322
fax 408-283-5283
www.edac.org



Kont@kt:

MEDEA+ Office
140 bis, rue de Rennes
75006 Paris, France
fon: (+33) 1 40 64 45 60
medeaplus@medeaplus.org

For more information about MEDEA+ see www.medeaplus.org

EDA Consortium reports continued Growth in 3rd Quarter 2006

Source EDA Consortium, Market Statistics Service Press Release

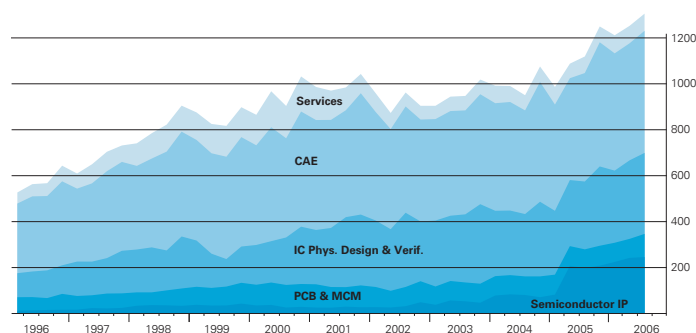


Chart 5.01: EDA and SIP Revenue, Q1 1996 to Q3 2006 [in Million US-\$]

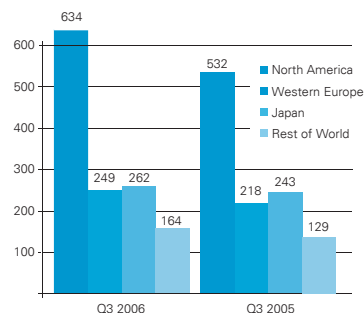


Chart 5.02: Total EDA & SIP Revenue by Geographic Region [in Million US-\$]

The EDA Consortium's Market Statistics Service (MSS) today announced that the electronic design automation (EDA) industry revenue for Q3 of 2006 grew to \$1,309 million compared to \$1,122 million in Q3 2005. This increase reflects both the continuing growth of the industry as a whole and the growth of the MSS program, which enjoyed a net increase in the number of participating companies compared to the same quarter last year. The MSS average annual growth rate comparing the most recent four quarters to the same four quarters in the prior year was 12 %. When comparing the same quarter in 2005, revenue in Q3 2006 jumped by 17 %.

A net total of six new reporting companies were added to the MSS between Q3 2005 and Q3 2006. Because the total number of companies reporting to the MSS can change from quarter to quarter, comparing revenue growth for the most recent four quarters with the same four quarters in the previous year provides a longer-term industry view as well as mitigates seasonal fluctuations.

Employment Data

Companies tracked in the MSS employed 25,018 professionals in Q3 2006, up 11 % from 22,462 in Q3 2005.

Revenue by Product Category

EDA's largest product segment, Computer-Aided Engineering (40 % of industry revenue in Q3 2006), generated revenue of \$533 million in Q3 2006, 13 % more than the same period in 2005., IC Physical Design & Verification revenue increased 19 % to \$354 million (27 % of industry revenue) in Q3 2006 compared to the same

quarter in 2005. Semiconductor Intellectual Property (SIP) revenue totaled \$246 million (19 % of industry revenue) in Q3 2006, a 24 % increase compared to Q3 2005. Printed Circuit Board and Multi-Chip Module revenue increased 24 % to \$101 million (8 % of industry revenue) in Q3 2006 compared to Q3 2005. Services revenue was \$75 million (6 % of industry revenue) in Q3 2006, up 4 % from Q3 2005.

Revenue by Consuming Region

North America, EDA's largest region, purchased \$634 million of EDA products and services in Q3 2006, a 19 % increase over Q3 2005. Western Europe revenue was up 14 % in Q3 2006 with revenues of \$249 million. Q3 2006 revenue from Japan grew 8 % in Q3 2005 to \$262 million. Revenue in the rest of the world (ROW) increased 27 % to \$164 million in Q3 2006 compared to the same quarter a year earlier.

About the MSS Report

The EDA Consortium's Market Statistics Service reports EDA industry revenue data quarterly and is available by annual subscription. Both public and private companies contribute data to the report. Each quarterly report is published approximately three months after quarter close. MSS report data is segmented as follows: revenue type (product licenses and maintenance, services, and SIP), application (CAE, PCB/MCM Layout, and IC Physical Design and Verification), operating system (UNIX vs. Windows) and region (North America, Western Europe, Japan, and Rest of World), with many subcategories of detail provided. The report also tracks total employment of the reporting companies.

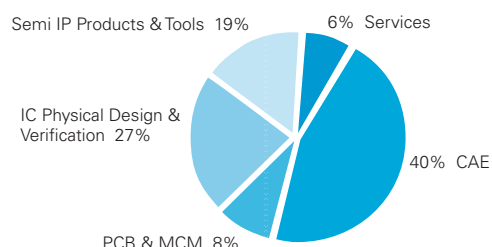


Chart 5.03: Distribution of the total EDA & SIP Revenue by Product Category

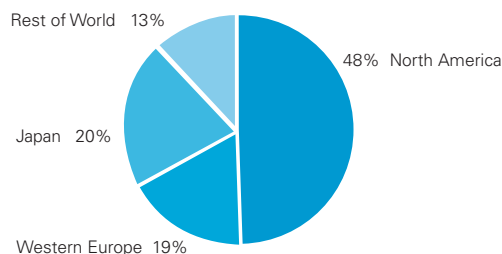


Chart 5.04: Distribution of the total EDA & SIP Revenue by Region

Cont@ct:

EDA Consortium,
111 West Saint John Street,
Suite 220,
San Jose, Calif. 95113, USA
fon: ++1 408-287-3322,
fax: ++1 408-283-5283
www.edac.org.

6 Mitglieder

Mitglieder stellen sich vor

www.edacentrum.de/portrait/mitglieder/



Professur Schaltkreis- und Systementwurf Fakultät für Elektrotechnik und Informationstechnik, Technische Universität Chemnitz

Mitglied seit 17.11.2006

Die Umsetzung immer komplexerer Systemkonzepte in möglichst leistungsfähige Geräte und Baugruppen bei möglichst kleinen Abmessungen in immer kürzerer Zeit erfordert nicht nur neuartige Schaltkreis- und Systemlösungen, sondern auch neue Methoden im Entwurfsprozess. Dementsprechend konzentriert sich die Lehr- und Forschungstätigkeit an der Professur Schaltkreis- und Systementwurf (SSE) an der TU Chemnitz auf den Entwurf und die Applikation von Schaltungen/Schaltkreisen und Systemen, vor allem unter dem Aspekt der Rechnerunterstützung bei FPGAs und ASICs, aber auch auf die Entwicklung neuer Entwurfsmethoden.

Haupteinsatzgebiete dafür sind Echtzeitverarbeitung und Rapid Prototyping z. B. für Bildverarbeitung, Fuzzy-Pattern-Klassifikation, Vibroakustik, Simulationskopplung und Emulatoren, für den Automotive- und Sensorsystembereich.

Auf dem Gebiet der Methodik- und Toolentwicklung werden u. a. Themen zu Low Power Design, Schutz von „Intellectual Property“ (IP) und Einsatz eingebetteter, rekonfigurierbarer Hardware bearbeitet.

Die folgende Aufzählung nennt einige Forschungsthemen, die an der Professur SSE bearbeitet werden:

- » Logik- und Systementwurf, zu FPGAs, PLDs, Gate-Arrays und Applikationen, wie Hochleistungsarithmetik für z. B. Kalman-Filter, Bildkompression, Grafikcontroller, FFT,
- » Entwicklung von wiederverwendbaren Komponenten, IPs, Entwurfsumgebungen zur Wiederverwendung, Applikationen,
- » Spezifikation, High-Level-Modellierung und Synthese von System-on-Chip (SoC), prototypische Realisierung mittels FPGA,
- » Entwicklung und Nutzung von prototypischer Hardware (FPGA-gestützt) für Echtzeitaufgaben (Inspektion textiler Oberflächen, Untersuchung von Hautkrankheiten, Echtzeitbildverarbeitung, Fuzzy-Klassifikationssysteme, Ansteuerung von

Projektionssystemen, generalisierte Plattform zur Sensorsignalverarbeitung),

- » Systementwurf von heterogenen Mikrosystemen in Zusammenarbeit mit der Professur Mikrosystem- und Gerätetechnik und dem Zentrum für Mikrotechnologien,
- » Low Power Design, speziell durch dynamisch partielle Rekonfiguration von FPGAs,
- » Methoden zur formalen Spezifikation und Verifikation integrierter Schaltungen,
- » Applikationen, die als rekonfigurierbares SoC realisierbar sind.

Bei SSE entstehen jährlich ca. 15 bis 20 Publikationen für verschiedene Tagungen (z. B. DAC, DATE, PATMOS, IEEE Sensors, ICST, DAS und weitere) und für diverse Journale (IEEE u. a.), drei Bücher (seit 2000) ergänzen das Spektrum.

Geleitet wird die Professur, an der mit Stand 02/2007 24 Mitarbeiter beschäftigt sind, von Prof. Dr.-Ing. Ulrich Heinkel.



Virtual Socket Interface Alliance (VSIA)

Mitglied seit 13.2.2007

The VSIA was created in 1996 by worldwide leaders in semiconductor, Semiconductor IP (SIP) and EDA companies to help the industry define and address the challenges of SoC development. Since that time, the VSIA has created more than 20 documents, specs and standards focused on SIP integration. The most widely adopted of these documents, the QIP Metric, has been downloaded and adopted by leading IP companies and integrators located throughout the world. The VSIA has also created documents and standards addressing IP Protection through tagging and encryption and IP Transfer and as these products mature, we expect to see the same high level of interest and adoption from the industry.

VSIA specifies "open" interface standards, which will ease the integration work required to incorporate IP

Kontakt:

TU Chemnitz

Fakultät für Elektrotechnik und
Informationstechnik

Reichenhainer Str. 70
09126 Chemnitz

Prof. Dr.-Ing. Ulrich Heinkel

fon: (03 71) 531-24 31 0

ulrich.heinkel@etit.tu-chemnitz.de

www.tu-chemnitz.de/etit/sse/

cores into "Virtual Sockets" at both the functional level (e.g., interface protocols) and the physical level (e.g., clock, test, and power structures). This will allow IP providers to productize and maintain a uniform set of IP deliverables, rather than requiring them to support numerous sets of deliverables needed for the many unique customer design flows. Providing a common set of deliverables can significantly reduce development time and costs for the IP integrator.

Wherever possible, VSIA will begin standards development work utilizing existing defacto standards or other open or proprietary data formats donated by companies, individuals or groups. Additionally, VSIA works with a variety of other organizations to minimize overlap and support complementary efforts. Only when there is no other standard does VSIA develop new standards for the industry. VSIA focuses primarily on addressing the technical aspects of IP integration challenges.

Cont@ct (VSIA):

VSIA Alliance Main Office
401 Edgewater Place, Suite 600
Wakefield, MA 01880
fon: +1 (7 81) 8 76-88 22
fax: +1 (7 81) 2 24-12 39
info@vsi.org
www.vsi.org

For more information visit the VSIA web site at www.vsi.org, or e-mail to info@vsi.org.

Nachrichten von den Mitgliedern des edacentrum

www.edacentrum.de/newsletter



Ansoft GmbH & Co. KG

Ansoft bringt Nexxim v3.5 heraus – Die neue Version erweitert die Fähigkeit zur Simulation von Kommunikations ICs und High-Speed Package und PCB Designs.

Basierend auf der Softwarearchitektur und dem Erfolg der bisherigen Programmversionen erweitert Nexxim v3.5 seine Simulationsfähigkeiten auf den Gebieten der Transienten-, Oberwellen- und Rauschanalyse (zeit- und phasenvariabel) um die Analyse von Oszillatoren, Hüllkurven und periodische Übertragungsfunktionen. Außerdem stehen Monte-Carlo- und Loadpull-Analyse bereit. Zusätzlich unterstützt Nexxim v3.5 direkt Verilog-A und ermöglicht damit auch nicht-elektrische Systembeschreibungen, was der Entwurfsimulation eine ganz neue Dimension verleiht. Weitere Highlights sind die Cosimulation der Harmonic-Balance und linearen Netzwerk-Schaltungsanalysen in der System-Level-Testbench von Ansoft Designer, eine Shooting-Analyse sowie eine erweiterte Rauschanalyse und Auswertung sowie weitere neue Entwurfshilfsmittel.

Low-Power Solution vor. Diese Lösung integriert führende Design-, Verifikations- und Implementierungstechnologien mit dem Si2 Common Power Format (CPF). Es handelt sich dabei um ein Format zur frühzeitigen Spezifikation stromsparender Verfahren im Entwurfsprozess, welches den IC-Ingenieuren dazu verhilft eine End-to-End-Lösung für Low-Power-Designs zu entwickeln. Durch die Berücksichtigung der Low-Power-Design-Vorgaben im gesamten Design-Prozess lassen sich mittels dieser Lösung mühselige manuelle Tätigkeiten vermeiden, leistungsbezogene Chipausfälle reduzieren und frühzeitig eine Vorhersagbarkeit der Leistungsaufnahme im Entwurfsprozess erreichen.

Auf Grund der stetig steigenden Nachfrage nach stromsparenden Mainstream-Produkten werden immer häufiger Low-Power-Designverfahren eingesetzt. So erfordern zum Beispiel tragbare Anwendungen längere Batterielaufzeiten, was aber eine optimale Energieeinsparung voraussetzt. Durch den Umstieg auf hoch integrierte, hochleistungsfähige Sub-90-Nanometer-Halbleiter entstehen zudem neue Herausforderungen hinsichtlich der Wärmehandhabung, die eine Leistungsoptimierung im gesamten Chip erfordern. Außerdem benötigen große Endprodukt-Anwendungen, wie Server-Farmen, eine umfassende Leistungsoptimierung zur Reduzierung des Energieverbrauchs. Nicht zuletzt stellen auch Kostenüberlegungen beim Packaging einen Anreiz für die Entwickler zum Einsatz von Low-Power-Designs dar.

Besuchen Sie www.ansoft.com für mehr Informationen über Nexxim v3.5.

Kont@kt (Ansoft):

Thomas Liratsch
fon: (0 89) 68 08 62-40
tliratsch@ansoft.com



Cadence Design Systems GmbH

Cadence liefert die erste vollständige Low-Power-Lösung und setzt von Si2 freigegebenes Common Power Format wirksam ein – CPF-fähige Low-Power-Lösung ermöglicht höhere Produktivität und reduziert Projektrisiko durch die Integration von Low-Power-Design, Verifikation und Implementierung.

Cadence stellt mit dem ersten verfügbaren voll integrierten Flow für Logik-Design, Verifikation und Implementierung von Low-Power-Chips, seine Cadence®

Um diesen unterschiedlichen Anforderungen gerecht werden zu können, nutzen die Entwickler zunehmend fortschrittliche Low-Power-Design-Verfahren, wie Power Shut-Off (PSO), multiple Versorgungsspannungen (MSV) und State Retention Power Gating (SRPG). Jedoch ist die Automatisierung dieser Verfahren fragmentiert, da die verschiedenen Werkzeuge unterschiedliche Darstellungen der Leistungsvorgaben nutzen. Dadurch sind die Entwickler gezwungen, die Low-Power-Funktionalität durch eine Reihe von

Weitere Informationen über die Aufgaben des Projektträgers unter: www.pt-dlr.de

Kontakt (DLR):
Dr. Uwe Weigmann
fon: (0 30) 6 70 55-7 20
weigmann@dlr.de

ad-hoc-Maßnahmen zu spezifizieren, wodurch die manuelle Eingabe der Leistungsdaten bei einem einzigen Design mehrfach notwendig ist. Diese Aufgabe ist sowohl lästig als auch fehleranfällig, und macht vor allem die Vorhersagbarkeit und Verifikation des Designs äußerst schwierig.

Die neue Cadence Low-Power-Solution adressiert diese Schwierigkeit durch eine einzige Darstellung der Leistungsvorgaben des Designs in der CPF-Spezifikation, was zudem die IP-Wiederverwendung und RTL-Portierbarkeit erleichtert. Diese Darstellung deckt die Cadence Logic Design Team Solution und die Digital Implementation Lösung ab – die von Logikentwicklern, Verifikations- und Implementierungsingenieuren genutzt wird. Darüber hinaus umfasst sie aber auch ein Plan- und Metrik-orientiertes Flow-Management, die Simulation, Logiksynthese, Äquivalenz-Check, Test, Platzierung, Routing und IR-Drop-Analyse. Dadurch kann das gesamte aus mehreren Spezialisten bestehende Projektteam auf der Basis einer einheitlichen Design-Darstellung arbeiten, das zudem die Low-Power-Vorgaben enthält. Hierdurch lässt sich insgesamt sowohl die Design-Vorhersagbarkeit verbessern, als auch das Risiko eines Chipausfalls minimieren.

Common Power Format und die Power Forward Initiative

Ein Kernelement der neuen Cadence Low-Power Solution ist die Integration des Common Power Format (CPF). CPF stellt ein Standard-Lexikon zur Verfügung, das vom Design über die Verifikation bis hin zur Implementierung erkannt wird und damit die Geschlossenheit des Flows sicherstellt.

CPF 1.0 wurde von der Power Forward Initiative (PFI) umfassend überprüft, deren Mitglieder alle Segmente der Elektronikindustrie einschließlich Halbleiter, Foundries, Halbleiterfertigungsanlagen, System und EDA-Unternehmen umfassen. Die PFI-Mitglieder meldeten mehr als 500 Änderungswünsche, die in CPF 1.0 eingeflossen sind, welches Ende 2006 der Si2 Low Power Coalition (LPC) übergeben wurde. Künftig wird die Low Power Coalition (LPC) für die Weiterentwicklung des CPF verantwortlich sein. Das LPC hat CPF 1.0 überprüft und entsprechend dem Si2-Standardisierungsprozess vorläufig als Si2-Spezifikation freigegeben.

Verfügbarkeit

Als Meilenstein des Projekts Torino von Cadence ist die Cadence Low-Power Solution ab sofort verfügbar. Im Laufe des Jahres werden die leistungsorientierten Flows auch in weiteren Cadence-Technologien unterstützt. Weitere Komponenten des Projekts Torino werden im Laufe des Jahres 2007 vorgestellt.

Kontakt (Cadence):
Andrea Huse
fon: (0 89) 45 63-17 26
ahuse@cadence.com



Deutsches Zentrum für Luft- und Raumfahrt e.V. (DLR)

Stellenangebot der DLR - Wissenschaftliche/r Mitarbeiter/in für die Organisationseinheit „Elektronik und Elektroniksysteme“, am Standort Berlin-Adlershof gesucht

Für den Projektträger im DLR (PT im DLR), Organisationseinheit „Elektronik und Elektroniksysteme“, am Standort Berlin-Adlershof wird ein/e Wissenschaftliche/r Mitarbeiter/in gesucht.

Der Projektträger erfüllt Aufgaben im Rahmen der Forschungsförderung des Bundes, insbesondere des Bundesministeriums für Bildung und Forschung (BMBF) für die Informationstechnik. Die Organisationseinheit Elektronik und Elektroniksysteme betreut Forschungsprojekte auf dem Gebiet der Mikroelektronik und deren Anwendung in innovativen Systemen. Die angebotene Tätigkeit umfasst die Vorbereitung und Organisation der Projektförderung, die Beratung interessierter Wissenschaftler und die Kontrolle der geförderten Vorhaben, und setzt fundierte Kenntnisse in den einschlägigen Fachgebieten voraus. Sie erfordert ein besonderes Maß an analytischem Denkvermögen und sprachlicher Ausdrucksfähigkeit, Flexibilität, Organisationstalent und Verhandlungsgeschick.

Mit dieser Ausschreibung soll ein bestehendes Team um Kompetenzen insbesondere in den Gebieten Automobilelektronik und innovative Bauelemente ergänzt werden. Voraussetzungen: Abgeschlossene wissenschaftliche Hochschulausbildung in der Informationstechnik oder der Physik (mit Bezug auf das beschriebene Fachgebiet), gute bis sehr gute Kenntnisse der englischen Sprache, Organisationstalent und Verhandlungsgeschick, nachweisbare Fähigkeit zur allgemeinverständlichen Darstellung von Wissensinhalten sowie zu stilsicherer und präziser Formulierung. Sicherer Umgang mit MS-Office (Word, Outlook, Excel und PowerPoint) werden erwartet. Teamfähigkeit. Weiterhin wären Promotion mit gutem Abschluss, Publikationen eigener Forschungsergebnisse in Fachzeitschriften, mehrjährige Berufserfahrung in der Industrie bzw. in industrienaher Forschung im Gebiet der Mikroelektronik, Erfahrungen in der Öffentlichkeitsarbeit, im Fördermanagement und Studien- bzw. Forschungsaufenthalt im Ausland wünschenswert.

Bereitschaft zur Versetzung oder Abordnung an einen anderen inländischen Standort des DLR entsprechend § 4 TVöD.

Vergütung: je nach Qualifikation und Aufgabenübertragung bis Entgeltgruppe 14 TVöD (BAT Ib) und die im öffentlichen Dienst üblichen Sozialleistungen

Weitere Informationen und White Paper zu diesem Thema finden Sie unter http://www.cadence.com/lowpower/index.aspx?lid=low_power

Eintrittsdatum: sofort

Dauer: zunächst befristet bis 31.12.2008

Wir streben eine Erhöhung des Anteils der im DLR beschäftigten Frauen an und freuen uns deshalb über entsprechende Bewerbungen. Schwerbehinderte werden bei fachlicher Eignung bevorzugt behandelt.

Interessiert? Bitte richten Sie Ihre Bewerbung mit den üblichen Unterlagen baldmöglichst unter Angabe der Kennziffer 042/2006 BA an das DLR, Personalbüro, Rutherfordstr. 2, 12489 Berlin.



Melexis GmbH

Melexis stellt Mehrkanal-Receiver-Chip und Low-Power Empfänger Chip für 300 bis 930 MHz vor

Mit dem MLX71122 präsentiert Melexis das erste Produkt einer neuen hochintegrierten Receiver-Familie. Das neue, für den Einsatz im Automobilbau qualifizierte IC wurde eigens für die Verwendung im lizenzfreien ISM-Band (Industrial-Scientific-Medical) und im SRD-Band (Short Range Devices) konzipiert. Mehrkanalige, multibandfähige und frequenzagile Telemetriesysteme jeglicher Art profitieren von dem eingebauten programmierbaren PLL-Synthesizer des Bausteins.

Der ebenfalls neu vorgestellte HF-Empfänger-IC MLX71121 wurde für Festfrequenz-Applikationen mit geringem Energieverbrauch entwickelt. Die zwei HF-Eingänge erlauben dem Anwender auf einfache Weise ein Antenna-Diversity-System aufzubauen, welches üblicherweise sonst nur in High-End-Anwendungen vorkommt. Damit kann die Übertragungssicherheit wesentlich verbessert werden, in dem der HF-Eingang

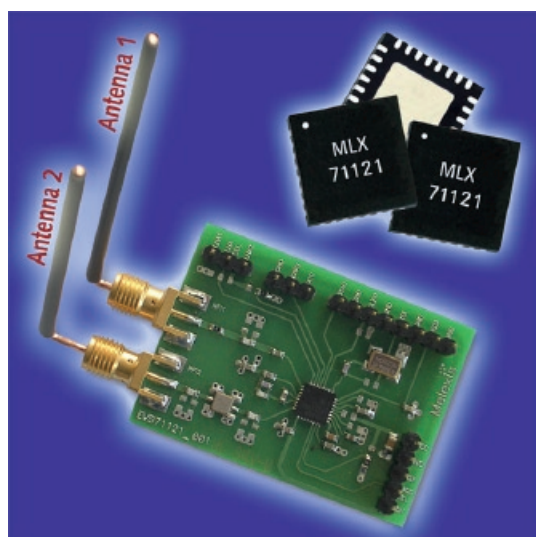


Abbildung 6.01: Der MLX71122 Baustein



Abbildung 6.02: Der MLX71121 Baustein

ausgewählt wird, der das bessere Empfangssignal aufweist.

Mit beiden Bausteinen lassen sich sämtliche europäischen Sub-Bänder von 863 bis 870 MHz abdecken, und selbst größere Frequenzsprünge über regional unterschiedliche Bänder wie das US-Band (315 MHz) und das europäische 433-MHz-Band sind ohne Modifikationen an der HF-Hardware möglich. Hersteller von schlüssellosen Zugangssystemen und Reifendruck-Überwachungssystemen sowie von Consumer-Produkten und industriellen Systemen profitieren von der daraus resultierenden Vereinfachung ihrer Produktions-Logistik und den indirekt erzielten Kostensenkungen.

Das kleine, nur 5 x 5 mm messende QFN-32-Gehäuse der Bausteine und die Tatsache, dass keine Platz raubenden externen Keramikfilter benötigt werden, machen die Bausteine zur idealen Wahl für Systeme, in denen minimale Abmessungen und geringste Kosten oberstes Gebot sind.

Der MLX71122 kann an Versorgungsspannungen von 3 bis 5,5 V betrieben werden und nimmt typisch 11 mA auf, der MLX71121 arbeitet bei Versorgungsspannungen von 2,1 bis 5,5 V bei 7 bis 9,6 mA. Im Standby-Modus geht die Stromaufnahme bei beiden Bausteinen auf unter 50 nA zurück.

Die Eingangsempfindlichkeit des MLX71122 beträgt bei ASK-Signalen -112 dBm, bei FSK-Signalen -107 dBm, die des MLX71121 -114 dBm bei ASK und -104 dBm im FSK-Empfang. Wenn erforderlich, kann durch eine Kaskadierung der beiden Eingangsverstärker die Empfindlichkeit sogar noch verbessert werden..

Durch den erweiterten Temperaturbereich von -40 bis +105 °C bzw. +125 °C bringen die neuen Bausteine perfekte Voraussetzungen für Automotive-Anwendungen wie RKE Systeme und TPMS sowie Alarmanlagen

Kontakt (Melexis):

Tanguy Scorpati
fon: +32 13 670 795
tas@melexis.com

mit. Andere typische Applikationen sind Sicherheitssysteme, Gebäudeautomatisierung, Garagentorsteuerungen, schnurlose Türklingeln, Babymonitore oder Funkkopfhörer.



MunEDA GmbH

MunEDA User-Group-Meeting 2006

Präsentationen von STMicroelectronics, Infineon, austriamicrosystems, IMMS, Bosch und ZMD-ZFoundry

Am 19. September 2006 fand erstmalig das MunEDA User-Group Meeting im City Hilton in München statt. Anwender von weltweit mehr als 15 Firmen und Einrichtungen aus Europa, USA und Asien - unter anderem von Infineon, STMicroelectronics, Toshiba, austriamicrosystems, ZMD, ZFoundry, IMMS, Qimonda, TUM, Universität Frankfurt, Fraunhofer, DICE, ChipMD und GTI - nahmen an dieser gelungenen Veranstaltung teil. Das Programm umfasste mehrere Beiträge ausgewählter DFM-DFY-Anwenderfälle und eine von MunEDA durchgeführte Vorstellung der neuen Eigenschaften und Funktionen der kürzlich veröffentlichten WiCkeD Version 5.0.

Kontakt (MunEDA):

Kilian Beck

fon: (0 89) 9 30 86-3 30

kilian.beck@muneda.com

www.muneda.com



Abbildung 6.03: Teilnehmer des MunEDA User Group Meeting 2006 von Infineon, STMicroelectronics, Toshiba, austriamicrosystems, ZMD, ZFoundry, IMMS, Bosch, Qimonda, Technische Universität München, Fraunhofer, DICE, ChipMD, GTI und MunEDA.

Weitere Informationen und die Proceedings finden Sie unter www.muneda.com.

Im ersten Beitrag präsentierte Carlo Roma von STMicroelectronics, FTM Agrate, Italien, die Integration von WiCkeD in die Designumgebung UNICAD2.4 von STMicroelectronics. Er zeigte dessen Anwendung anhand zweier produktiver Schaltungs-Beispiele von ST, einer Bandgap Voltage Reference in 130 nm CMOS-Technologie sowie einem Leseverstärker mit spezifischer Empfindlichkeit auf Fehleranpassungseffekte. Im Folgebeitrag führte Dr. Volker Boos vom IMMS in Erfurt das Publikum in eine neue Methodik für das Design-Reuse von integrierten Analog-Schaltungen mit Hilfe von WiCkeD ein. Im Anschluss hierzu

präsentierte Thomas Fischer von Infineon Technologies einen Flow zur 6-Sigma Hoch-Robust-Optimierung von 6T-SRAM-Zellen mit MunEDA-Verfahren. Im vierten Vortrag stellte Oliver Eisenberger von austriamicrosystems Methoden zur Ausbeute-Optimierung einer Power-On-Reset Zelle mit WiCkeD sowie die erfolgreichen Ergebnisse der experimentellen Überprüfung in Silizium vor. Ergebnisse dieses Projektes wurden bereits auf der CICC2006 in San Jose sowie auf der ANALOG2006 in Dresden veröffentlicht. Im fünften und letzten Vortrag präsentierte Karl-Heinz Roach von der ZMD AG „Circuit Design-for-Yield for a 110 dB Op-Amp for Automotive and Sensor Applications with WiCkeD“.

Der gemütliche Ausklang des MunEDA User Group Meetings 2006 fand auf dem Münchner Oktoberfest statt.

MunEDA GmbH

MunEDA und GTI schließen Distributionsvertrag für Taiwan

MunEDA und Grand Technology Inc., ein führender taiwanesischer EDA-Distributor, haben ein exklusives Vertriebsabkommen für Produkte von MunEDA für Taiwan geschlossen.

„GTI ist ein herausragender Distributor mit viel Expertise besonders im Bereich Analog und Mixed-Signal. Mit mehr als 10 Jahren Erfahrung in Vertrieb und Support von EDA und Halbleiterprodukten in Taiwan und China ist GTI deshalb ein idealer Partner für MunEDA,“ sagte Andreas Ripp, MunEDA Vice President Sales & Marketing. „Diese Vertriebspartnerschaft wird unsere bestehende Position auf dem stark wachsenden Halbleiter-Markt in Taiwan weiter stärken.“

„MunEDA bietet die derzeit besten DFM-DFY Werkzeuge für die Analyse und Optimierung von integrierten Analog-Schaltungen an“, sagte Chin-Lung King, CEO von GTI. „Wir sehen derzeit eine starke Nachfrage an solchen innovativen und leistungsfähigen Lösungen bei Halbleiter-Unternehmen in Taiwan. Besonders interessant für unsere Kunden sind hierbei die einzigartigen Analyse-Eigenschaften der MunEDA-Tools sowie die automatischen Optimierer“.



OFFIS e.V.

OFFIS Synthesewerkzeug übersetzt SystemC nach VHDL

Durch den Einstieg auf immer höheren Abstraktionsniveaus im Chipentwurf wird es möglich, die Entwicklungszeiten und die damit verbundenen Kosten zu reduzieren. SystemC spielt dabei zunehmend eine

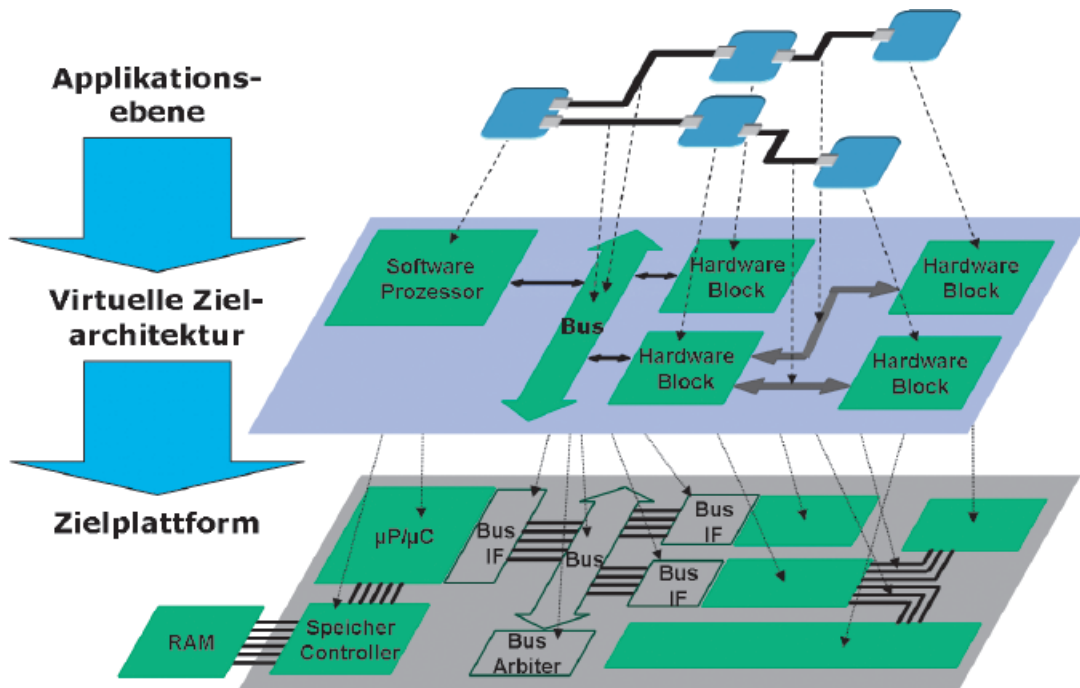


Abbildung 6.04: Entwurfsfluss in der OSSS-Methodik

wesentliche Rolle. „Nicht nur in der Modellierung, sondern auch als Beschreibungssprache für die Synthese, verspüren wir ein zunehmendes Interesse an SystemC in der Community und insbesondere bei unseren Industriepartnern“, erläutert Dr. Jens Appell, Bereichsleiter des Forschungsbereiches HS im OFFIS „Dabei wird der vermeintliche Umweg über VHDL durchaus positiv gesehen. So können im Anschluss an die SystemC-Modellierung die vertrauten EDA-Werkzeuge für Test und Optimierung des Implementierungsmodells eingesetzt werden.“

OFFIS hat daher einen Tool-Prototypen entwickelt, der einerseits SystemC Beschreibungen in synthetisierbares VHDL überführt und dabei zugleich die bei OFFIS entwickelten SystemC-Spracherweiterungen, genannt OSSS und OSSS+, einer VHDL-Synthese zugänglich machen (Abbildung 6.04).

Der Tool-Prototyp wurde im Rahmen der Forschung in überwiegend EU finanzierten und von OFFIS koordinierten EU-Projekten entwickelt. Dr. Frank Oppenheimer, Leiter der Gruppe „System Design Methodology“ des OFFIS-Bereichs HS erläutert die Entwicklung: „Im EU-Projekt ODETTE haben wir uns der Frage gestellt, wie Objektorientierung im Hardware-Entwurf realisiert werden kann. Aktuell integrieren wir die effiziente Synthese von Transaction-Level-Modellen in das Werkzeug und erweitern die Syntheseverfahren und -werkzeuge mit dem im Sommer gestarteten Projekt ANDRES auf dynamisch rekonfigurierbare Technologien“, und ergänzt: „Unser aktueller Tool-Prototyp unterstützt bereits alle wesentlichen Teile des SystemC Synthesizable Subset (Draft) der OSCl inklusive der Synthese von C++-Klassen, -Vererbung und -Templates“.



OneSpin GmbH

ONESPIN 360™ MV Formal Verification Solution wins Coveted IEC DesignVision Award - Achieves highest honor in “Design Verification Tool” category for enabling true functional sign-off of complex digital modules and IP

OneSpin Solutions GmbH announced that its flagship OneSpin 360™ Module Verifier (360 MV) product has captured the International Engineering Consortium’s (IEC) highest honor in the third annual DesignVision Awards program – winning the “Design Verification Tools” category award. The Awards program recognizes technologies, applications, products and services that are the most unique and beneficial for the industry. Judging criteria include innovation, market impact, customer benefits, uniqueness and value to society. Among a record number of competing entries, OneSpin Solutions was both the only finalist and the only award winner focused on formal verification solutions.

OneSpin’s winning 360 MV solution is a static property checker with automated completeness analysis. Verification teams use it to produce a gap-free verification plan and property set. 360 MV is the first and only commercially available functional register transfer-level (RTL) verification solution to enable true functional sign-off for complex digital modules and intellectual property (IP), enabling companies to verify peripherals, processors, and subsystems of up to a few hundred thousand lines of code. By efficiently detecting all functional errors in the RTL, it can save millions of dollars in re-design and re-spin costs.

Der aktuelle Stand des Tools wird auf der Date 2007 in Nizza auf dem ECSI-Booth (M12) vorgestellt.

Kontakt (OFFIS):
Dr. Frank Oppenheimer
fon: (04 41) 97 22-2 85
Frank.Oppenheimer@offis.de
www.offis.de



Cont@ct (OneSpin):
Stephanie Klunker
fon: (0 89) 9 90 13-4 46
Stephanie.Klunker@onespin-solutions.com

OneSpin GmbH

Formal Verification Solution selected by EDN Magazine for "Hot 100 Products of 2006" List Award - OneSpin 360MV verification solution enables true functional sign-off for complex digital modules and IP

OneSpin Solutions GmbH announced that the OneSpin 360™ Module Verifier (360MV) has been selected by EDN Magazine editors for its prestigious list of "Hot 100 Products of 2006." This list, according to EDN, "distills the most innovative and significant products of the year." OneSpin is the only digital functional verification company among the 14 EDA companies named in the list.

EDN Magazine describes its "Hot 100 Products of 2006" list as "built by electronics engineers for engineers." According to the announcement article, "Our editors mercilessly cull the herd of new-product announcements they see during the year, resulting in this distillation of the most innovative and significant offerings if they advanced the state of the art in electronics, they're here."

OneSpin GmbH

OneSpin Solutions names Peter Feist President and CEO - Industry Veteran to Drive Verification Company's Worldwide Expansion

OneSpin Solutions GmbH announced the appointment of Peter G. Feist as president and chief executive officer, effective Jan. 1. Feist, who will lead the company's worldwide expansion, brings to his new position nearly 25 years of semiconductor and EDA industry experience in the U.S. and Europe, and an exemplary track record in executive and strategic management.



Abbildung 6.05: OneSpin CEO Peter Feist bei der Preisverleihung

Feist is based in Silicon Valley, California. Prior to joining OneSpin, he served as chief executive officer at SIGMA-C until its acquisition by Synopsys and, earlier, as general manager and chief operating officer at SIGMA-C. Previously, he served as president and chief



AMD
www.amd.de



Catena Software GmbH
www.catena-ffo.de



Fraunhofer Verbund
Mikroelektronik
FhG Verbund Mikroelektronik
www.vue.fhg.de



Ansoft GmbH und Co. KG
www.ansoft.com



ChipVision Design Systems AG
www.chipvision.com



FZI - Forschungszentrum Informatik
www.fzi.de



Atmel Germany GmbH
www.atmel.com



Concept Engineering GmbH
www.concept.de



IBM Deutschland Entwicklung GmbH
www.ibm.com/de/entwicklung



Robert Bosch GmbH
www.bosch.de



CST - Computer Simulation Technology
www.cst.com



IMMS gGmbH
www.imms.de



Cadence Design Systems
www.cadence-europe.com



Doulos Ltd.
www.doulos.com



IMST GmbH
www.imst.de

executive officer at PACT XPP Technologies AG; president and chief executive officer at Chameleon Systems Inc.; vice president of worldwide marketing at QuickLogic Corp.; senior vice president of marketing at GateField Corp.; and regional manager in Europe at Odeum Microsystems, a subsidiary of Hyundai's Digital Media Division. His early career spanned a broad spectrum of engineering, marketing and management positions at LSI Logic Corp. in Europe and the U.S. Feist holds a Dipl. Ing. degree (M.S.E.E. equivalent) from the University of Dortmund, Germany.



Silicon Saxony e.V.

Silicon Saxony – Die Story

Das Buch zur Geschichte der sächsischen Halbleiterindustrie

„Silicon Saxony – Die Story“ ist der Titel eines repräsentativen Buches über die Geschichte der sächsischen Halbleiterindustrie. Die Autoren der Dresdner Agentur „Kommunikation Schnell“ geben auf 258 Seiten mit lebendigen Erinnerungen und spannende Reportagen, mit lange Zeit geheim gehaltenen Dokumenten und faszinierenden, zum Teil unveröffentlichten Fotos einen Blick hinter die Kulissen der Hightech-Bran-

che, die vor allem in Dresden und Freiberg auf eine fast 50jährige Tradition zurückblickt.

Von den Anfängen eines achtköpfigen Forscherteams in einer Dresdner Leichtbaubaracke bis zur Entwicklung des legendären Megabit-Chips aus DDR-Produktion, von den Wirren der Wendezeit bis zur Gegenwart, in der Silicon Saxony zum bedeutendsten Mikroelektronik-Cluster Europas avanciert, vermittelt das reich illustrierte Buch Geschichte in Geschichten.



Im Fokus der Autoren stehen die Menschen, die den Fortschritt der Chipindustrie in Sachsen vorangetrieben haben sowie deren Kampf gegen Poiltbürokraten, Handelsboykotteure und Treuhandignoranten. Erzählt wird von glanzvollen Visionen und fatalen Fehleinschätzungen, von unbändigem Forscherdrang und peinlicher Arroganz, vom drohenden Absturz und der

Werner Hartmann (* 30. Januar 1912 in Berlin; † 8. März 1988 in Dresden) war Physiker und gilt als Begründer der Mikroelektronik in der DDR.

SILICON SAXONY – Die Story
Herausgeber: Silicon Saxony e.V.
258 Seiten, 28,0 x 21,5 cm,
Deutsch/Englisch,
196 Abbildungen
Fester Einband/Schutzumschlag
Preis: 39,90 €
ISBN: 3-9808680-2-8

Kont@kt:

Dr. Wolfgang Herrmann
Silicon Saxony e.V.
fon: (03 51) 89 25-887
herrmann@silicon-saxony.net



Infineon Technologies AG
www.infineon.com



MatrixOne GmbH
www.matrixone.com



NXP Semiconductors Germany GmbH
www.nxp.com



Institut für angew. Funksystemtechnik
www.iaf-bs.de



Melexis GmbH
www.melexis.com



OFFIS e.V. – Institut für Informatik
www.offis.de



ITIS e.V. - Universität der Bundeswehr
www.itis-ev.de



Mentor Graphics GmbH
www.mentor.com/german



OneSpin Solutions GmbH
www.onespin-solutions.com



Lucent Technologies Network Systems
www.lucent.de



MunEDA GmbH
www.muneda.com



Pro Design Electronic&CAD-Layout GmbH
www.prodesigncad.com



Magma Design Automation GmbH
www.magma-da.com



Nokia GmbH
www.nokia.de



Qimonda AG
www.qimonda.com

dramatischen Rettung eines ganzen Industriezweiges sowie von der Entstehung und Entwicklung eines einzigartigen Netzwerkes, das Synergien erzeugt und Wachstum generiert.

„Silicon Saxony – Die Story“ ist vor allem eine Referenz an Generationen von Menschen, die den Durchbruch zur Weltspitze bei der integrierten Halbleitertechnik in Sachsen möglich gemacht haben. Dazu gehört Werner Hartmann, ein Mann der ersten Stunde, dessen Visionen in Dresden Wirklichkeit wurden.

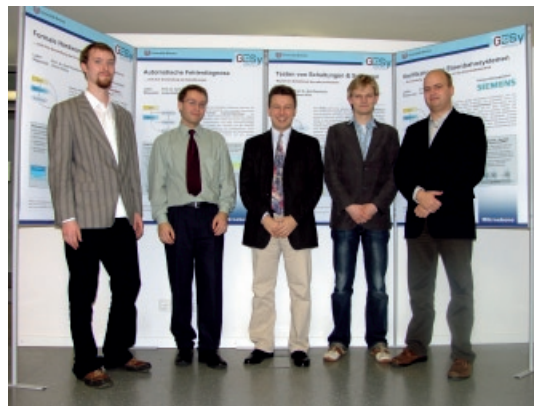


Abbildung 6.06: v.l.n.r.: Ulrich Kühne, Andre Süßflow, Rolf Drechsler, Robert Wille, Sebastian Kinder



Universität Bremen

Auftaktveranstaltung des Graduiertenkollegs Eingebettete Systeme (GESy) an der Universität Bremen

An der Universität Bremen wurde im vergangenen Jahr das Graduiertenkolleg Eingebettete Systeme (GESy) eingerichtet (siehe auch „newsletter edacentrum 01/2006). Das erklärte Ziel des Kollegs ist es neue Methoden und Verfahren industrienah zu entwickeln und im praktischen Umfeld auf Verwertbarkeit hin zu analysieren.

Als Partner aus der Industrie konnten bisher die Firmen NXP Semiconductors, OneSpin Solutions, Siemens und Verified Systems gewonnen werden. Im Rahmen der Auftaktveranstaltung präsentierten die von Prof. Rolf Drechsler betreuten Doktoranden ihre bisher erzielten Resultate (Abbildung 6.06).

Die Themengebiete reichen hierbei von der simulationsbasierten und formalen Verifikation, über automatische Fehlerdiagnose bis hin zum Test von Schaltungen und Systemen.



Weitere Informationen sind unter www.gesy.info zu finden.

Kont@kt (Uni-Bremen):
Prof. Dr. Rolf Drechsler
fon: (04 21) 218-73 89
drechsle@informatik.uni-bremen.de



RWTH Aachen
www.rwth-aachen.de



TECHNISCHE UNIVERSITÄT DARMSTADT

TU Darmstadt - FB Informatik
www.iss.tu-darmstadt.de



TU München
www.lis.ei.tum.de



Universität Freiburg
www.uni-freiburg.de



Synopsys GmbH
www.synopsys.com



TECHNISCHE UNIVERSITÄT DRESDEN

TU Dresden
www.tu-dresden.de



TRIAS Mikroelektronik GmbH
www.trias-mikro.de



Universität Hannover
www.uni-hannover.de



TU Chemnitz
www.tu-chemnitz.de/etit/sse/



TU Ilmenau
www.tu-ilmenau.de



Universität Bremen
www.uni-bremen.de



Universität Hildesheim
www.dwm.uni-hildesheim.de



TU Clausthal
www.tu-clausthal.de



TU Kaiserslautern
www.tu-kaiserslautern.de



Universität Frankfurt
www.uni-frankfurt.de



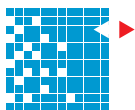
Universität Tübingen
www.informatik.uni-tuebingen.de

Ausblick auf die kommende Ausgabe 02 2007



Projektspiegel

„Analysemethoden für den Entwurf anwendungsrobuster nanoelektronischer Systeme“ (URANOS)



edaWorkshop 07

edaWorkshop07

Der edaWorkshop naht - Freuen Sie sich auf die letzten Details vorab.



DATE

Lesen Sie über die wichtigsten Neuigkeiten von der DATE in unserem Kurzbericht.



Projektmanagement

Schaffen es Alex & Bill den Entwicklungsleiter von der Wichtigkeit der Förderprojekte zu überzeugen? Lesen Sie weiter!



edaForum06

Noch mehr von den „Heißen Tagen in Berlin“ im dritten und letzten Teil der Berichterstattung vom edaForum.

Änderungen aus aktuellem Anlass vorbehalten.



EDA Consortium
www.edac.org



PRismaPR
www.prismapr.de



Silicon Intergration Initiative Si2
www.si2.org



Silicon Saxony e.V.
www.silicon-saxony.net



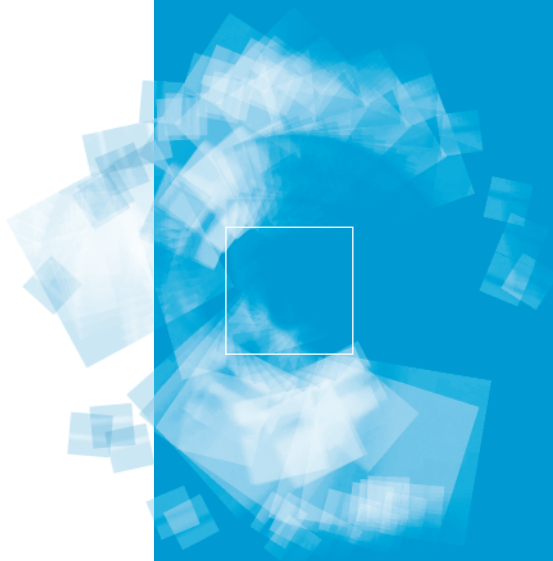
VSI Alliance
www.vsi.org

Kooperationspartner

Sie sind noch nicht Mitglied im edacentrum, ?

... möchten aber nicht auf den „newsletter edacentrum“ verzichten ? Dann können Sie den „newsletter edacentrum“ für 40 € jährlich (4 Ausgaben) inkl. Porto beim edacentrum bestellen. Oder werden Sie Mitglied im edacentrum e.V. und profitieren Sie zusätzlich von den exklusiven Vorteilen, die eine Mitgliedschaft bietet: Erweitertes Informationsangebot im Internet, EDA-Atlas, technische Analysen und Marktanalysen, Roadmaps (inkl. Erstellung), Unterstützung bei der Standardisierung, Öffentlichkeitsarbeit im Bereich EDA für Firmen und Forschungseinrichtungen, Einbringen eigener Anforderungen in die EDA-Forschung, Kontakte zu Kompetenzzentren für EDA-Clusterforschung, Vergünstigungen bei Veranstaltungen des edacentrum (edaForum, Workshops, EDA-Kolloquium...), Erfahrungsaustausch mit anderen EDA-Anwendern, uvm.

www.edacentrum.de/mitgliedschaft.html



Ansprechpartner im edacentrum



Prof. Dr. Wolfgang **Rosenstiel** | Vorstand
fon (0 70 71) 2 97 54 82, (Ro)
rosenstiel@edacentrum.de



Prof. Dr. Erich **Barke** | Vorstand
fon (05 11) 7 62-1 96 90, (Ba)
barke@edacentrum.de



Dr. Jürgen **Haase** | Vorstand
fon (05 11) 7 62-1 96 98, (Haa)
haase@edacentrum.de



Dr. Cordula **Hansen** | Koordination (Leitung)
fon (07 11) 2 80 79 56, (CH)
hansen@edacentrum.de



Dipl.-Ing. Ralf **Popp** | Öffentlichkeitsarbeit (Leitung)
fon (05 11) 7 62-1 96 97, (Pp)
popp@edacentrum.de



Dipl.-Ing. Dirk **Rosendahl** | Vertrieb & Marketing
fon: (05 11) 7 62-1 96 83, (DR)
rosendahl@edacentrum.de



Dipl.-Ing. Susanne **Sass** | Koordination
fon 0511 762-19688, (Su)
sass@edacentrum.de



Dr. Volker **Schöber** | EDA-Clusterforschung (Leitung)
fon (05 11) 7 62-1 96 88, (VS)
schoeber@edacentrum.de



Maren **Sperber** | Sekretariat
fon (05 11) 7 62-1 96 99, (Sp)
sperber@edacentrum.de



Dr. Dieter **Treytnar** | Öffentlichkeitsarbeit
fon (05 11) 7 62-1 96 87, (Tr)
treytnar@edacentrum.de



Dr. Andreas **Vörg** | Koordination, Consulting
fon (05 11) 7 62-1 96 86, (AV)
voerg@edacentrum.de

Impressum

Herausgeber

edacentrum e.V.
Schneiderberg 32
30167 Hannover
fon (05 11) 7 62-1 96 99
fax (05 11) 7 62-1 96 95
www.edacentrum.de
info@edacentrum.de

Redaktion

Ralf Popp (V.i.S.d.P.), edacentrum
newsletter@edacentrum.de

Autoren

P. Birrer, C. Grimm, H. Gräß, L. Hedrich, T. Hötzel, S. Huss,
R. Jancke, R. Kakerow, J. Kneip, R. Lauwereins, J. Madsen, C.
Münker, H. Sahn, W. Schneider, R. Wittmann, AIS, PRODUKTIV+,
SAMS, SIDRA, VeronA, VISION, edacentrum, Ansoft, Cadence,
DLR, EDA Consortium, MEDEA+, Melexis, MunEDA, OFFIS, One-
Spin, Silicon Saxony, Synopsys, TU Chemnitz, Universität Bremen,
VSI Alliance

Wir bedanken uns herzlich bei allen Autoren Erstellung des News-
letters geholfen haben.

Satz, Grafik und Druck

stm Media GmbH, N. Möller, M. Hoinkis & D. Paul
Druckhaus Köthen GmbH, Köthen S.-A.

Fotos

N. + U. Möller (Titel), R. Popp, V. Schöber, A. Vörg

Ausgabe

Der newsletter edacentrum 01 2007
ist erschienen am 6. April 2007, Auflage: 900

Redaktionsschluss

Der nächste Newsletter erscheint im Juni
Redaktionsschluss ist am 14. Mai 2007.

Alle im „newsletter edacentrum“ abgedruckten Beiträge sind
urheberrechtlich geschützt. Alle Rechte, auch Übersetzungen,
sind vorbehalten. Reproduktionen, gleich welcher Art (Mikrofilm,
Fotokopie oder Erfassung in Datenverarbeitungsanlagen), nur mit
schriftlicher Genehmigung des Herausgebers.

Für den Fall, dass im „newsletter edacentrum“ unzutreffende
Informationen enthalten sein sollten, kommt eine Haftung nur bei
grober Fahrlässigkeit in Betracht.