

# newsletter edacentrum 04 2006

10,- Euro ISSN 1882 2283

electronic design automation center

www.edacentrum.de/newsletter



Projektspiegel – Projekte stellen sich vor

„SIDRA: Safe IC-Design for Robust Application“, dazu Kurzberichte von VISION und MAYA

Forschungsthemenpapier „eDesign“ 2006

Strategiepapier des edacentrum e.V. zu Forschungsthemen in Deutschland

edaForum06

Heiße Tage in Berlin – Fachliches Feuerwerk im lauen Berliner Winter

# Editorial

Liebe Leserinnen und Leser,

schneebedeckte Tannen, halb erfrorene Finger, die einen Becher Glühwein umklammern, Kinder, die jauchzend Schneeballschlachten veranstalten, Lebkuchenherzen und Lametta im Supermarkt schon Ende September und im Radio „Last Christmas“ von George Michael, schon wissen wir, dass Weihnachten nicht mehr weit ist. Wenn allerdings wie in diesem Winter von Schnee unterhalb von 1000 Höhenmetern nichts zu sehen ist und wir bei 14 Grad Celsius statt mit Glühwein mit einem eisgekühlten Caipirinha auf der Terrasse sitzen, dann ist es auch nicht verwunderlich, dass die Zeitplanung beim edacentrum etwas durcheinander gerät.



Abbildung 0.01: Drei Mitglieder des Expertenteams zur Auswahl des edaWein05

Sie halten die letzte Ausgabe 2006 des newsletters edacentrum erst zu Beginn des Jahres 2007 in der Hand, so dass wir auf die obligatorischen Weihnachtswünsche verzichten. Wir wünschen Ihnen vielmehr für das Jahr 2007 alles Gute, dass Sie einen guten Blick auf das Wesentliche behalten und die Gelassenheit finden, sich vom Unwesentlichen nicht hetzen zu lassen. Was das neue Jahr alles mit sich bringen wird – ob im Guten oder Schlechten – wissen weder Sie noch wir am edacentrum. Mit uns zusammen werden Sie in diesem Jahr Bewährtes – wie edaForum und newsletter miterleben – aber auch neue Erfahrungen z.B. auf dem erstmalig durchgeführten edaWorkshop machen.

Der prämierte edaWein05 wurde exklusiv bei der Mitgliederversammlung des edacentrum e.V. und bei der edaForum06-Abendveranstaltung ausgeschrieben. Die Vortragenden erhielten ebenfalls eine Flasche – allerdings gestaltete sich die Mitnahme derselben aufgrund der vor Kurzem in Kraft getretenen Sicherheitsbestimmungen beim Flugverkehr schwierig. Die neue Marktücke mit 100-ml Flaschen wurde schon mit dem Winzer andiskutiert. Mehr als 80 Teilnehmer beim edaForum06 lauschten in Berlin den interessanten Vorträgen aus Business und Technik und zeigten erneut, wie wichtig es ist, gerade eine solche Mischung von Themen auf einer einzigen Veranstaltung anzubieten. Ohne es bei der Planung zu wissen, griff die Abendveranstaltung im Aquarium des Zoos Berlin das Thema von Joe Costellos DAC-Keynote „Think like a fish!“ auf. Und von Angesicht zu Angesicht muss sich der Eine- oder Andere beim Anblick der Raubfische selbst als „Haihappen“ gefühlt haben.

In dieser Ausgabe sei aber noch einmal ein Rückblick gestattet. Passend zum Anlass „5 Jahre edacentrum“ (ein Grußwort des BMBF dazu ist in dieser Ausgabe abgedruckt) wurde der edaWein05 am 10.10.2006 gekürt.

Das Jahr 2007 ist terminlich ein wenig durcheinandergewürfelt. Die DATE erst im April, und die DAC noch vor dem Ekompass-, äh – edaWorkshop. Dafür wird mit dem edaWorkshop eine neue zentrale deutsche EDA-Veranstaltung geschaffen, die beste Voraussetzungen für die Publikation und Diskussion von anwendungsnahen EDA-Forschungsergebnissen bietet.

Sechzehn Weinvorschläge unserer Mitglieder aus allen Regionen Deutschlands wurden in die Weinhochburg Hannover gesandt, um dort einzeln, nacheinander und anonym einem ausgewähltem Kreise vorgestellt zu werden. Zu diesem Anlass hatten wir das Glück, einen Weinexperten erster Güte aus der Stadt zu gewinnen, deren Bewohner sich mit Weinen eigentlich nur bei Niederlagen Ihres FC Bayern auseinandersetzen müssen. Diese glückliche Kombination aus Ort und Sommelier verhalf den Teilnehmern dieser Degustation zu einem feuchtföhlichen Abend und dem Siegerwein aus Professor Brinkmanns schönem Glottertal zu Ruhm und Ehre.

Wir wünschen Ihnen ein erfolgreiches Jahr 2007!

Dieter Treytnar für das edacentrum

**Was war:**

**Abbildung 0.02:** Das edaForum06 in Berlin (S. 18)

**Abbildung 0.03:** Erfolgreiche Kooperationsworkshops (S. 22)

**Abbildung 0.04:** Strategie-Papier „eDesign 2006“ fertiggestellt und ausgeliefert (S. 32)

**Abbildung 0.05:** Ergänzende Informationen zum newsletter edacentrum finden Sie unter [www.edacentrum.de/newsletter/](http://www.edacentrum.de/newsletter/)



Abbildung 0.02



Abbildung 0.03

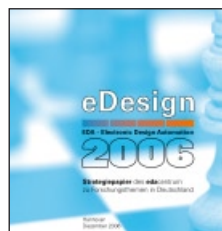


Abbildung 0.04



Abbildung 0.05

# Inhaltsverzeichnis



**Seite 05**

**Projektspiegel**  
**Projektbericht SIDRA: Safe IC-Design for Robust Application**  
 Das F&E-Projekt wurde (bis auf wenige Projektteile) am 31.12.2006 abgeschlossen. Ziel des Vorhabens war es, simulationsgestützte Methoden für moderne Halbleitertechnologien zu entwickeln, die die Robustheit von ICs gegen elektrostatische Entladungen (ESD) absichern. ESD kann sowohl in der Fertigung als auch während der späteren Nutzung auftreten und ist ein potenzieller „Chip-Killer“. Der erreichten Ergebnisse sind im Projektbericht zu lesen.

**Seite 16**

**EDA-Veranstaltung edaWorkshop07**  
**Das Projekttreffen bekommt Zuwachs**  
 Der erstmalig durchgeführte edaWorkshop wirft seine Schatten voraus. Der Einsendezeitraum für Beiträge ist abgeschlossen, nun sind die Gutachter des Programmkomitees damit beschäftigt, die interessantesten Veröffentlichungen auszuwählen. Und wie es dazu kam, dass aus dem Ekompas-Workshop der edaWorkshop wurde, können Sie in diesem Artikel nachlesen.



**Seite 27**

**Jubiläum**  
**Keine Zukunft ohne Chips – keine Chips ohne EDA – kein EDA ohne das edacentrum**  
 Das BMBF würdigt die Arbeit des edacentrum in den vergangenen fünf Jahren. Lesen Sie in diesem Artikel, worin das BMBF den Sinn von EDA sieht und was die Arbeit des edacentrum aus der Sicht des Fördergebers so wertvoll macht. Blicken Sie zurück, was in fünf Jahren geschaffen wurde und freuen Sie sich auf eine erfolgreiche weitere Zusammenarbeit zwischen BMBF, DLR, der Industrie, der Forschung, und dem edacentrum.

**Seite 32**

**Forschung**  
**Forschungsthemenpapier „eDesign“ 2006**  
 Das edacentrum hat ein neues Strategiepapier zu Forschungsthemen in Deutschland erarbeitet. Damit finden die mit Ihnen erarbeiteten Themen Eingang in das neue Förderprogramm des BMBF zur Informations- und Kommunikationstechnologie. Das Ergebnis unserer gemeinsamen Arbeiten sollten sie vor wenigen Tagen erhalten haben. Einen kurzen Überblick über das Papier finden Sie in diesem Artikel.

**Überblick**

**Inhaltsverzeichnis** **Seite 03**

**Projektspiegel**

**MAYA – Neue Methoden für den massiv-parallel Test im Hochvolumen, Yield Learning und beste Testqualität** **Seite 09**  
 Eine Kurzvorstellung des Projektes aus dem EDA-Bereich Test.

**Projektspiegel**

**VISION – Verteilte integrierte Systeme und Netzwerkar- chitekturen für die Applikationsdomänen Automobil und Mobilkommunikation** **Seite 10**  
 Das neue Projekt zur Erhöhung der Ausfallsicherheit von vernetzten Systemen stellt sich vor.

**Projektspiegel**

**Nachrichten von den Projekten** **Seite 12**  
 Ekompas-Projekte präsentieren Ergebnisse und berichten über Neuigkeiten rund um deren Forschungsthemen.

**Projektspiegel**

**Neues aus der Clusterforschung** **Seite 14**  
 Das EDA-Clusterforschungsprojekt SAMS wurde abgeschlossen, das neue Projekt AIS wurde bewilligt.

**Neues aus dem edacentrum**

**Veranstaltungen und Informationen** **Seite 14**  
 DATE, University Booth und ein neuer Standardisierungs- Blog bewegen die Mitarbeiter am edacentrum.

**EDA-Veranstaltung**

**edaForum06 – Heiße Tage in Berlin (Teil 1)** **Seite 18**  
 Hohe Temperaturen und hohes Niveau bei den Vorträgen und Diskussion der technischen Sessions auf dem edaForum06.

**EDA-Veranstaltung**

**Fach- und Kooperationsworkshops** **Seite 22**  
 Ein Resümee zu den seit über 4 Jahren vom edacentrum organisierten Veranstaltungen zur Förderung des fachlichen Austausches zwischen Ekompas-Projekten.

**Projektmanagement**

**Alex und Bill – Die Unlust der quantifizierten Ziele** **Seite 24**  
 Die Fortsetzungsgeschichte zum Projektmanagement

**Panorama**

**Meldungen aus der EDA-Welt** **Seite 34**  
 Halten Sie eine EDA-Rückschau auf die vergangenen Monate mit dem „Pressescan“ im newsletter edacentrum.

**Trauer**

**Nachruf auf Richard Newton** **Seite 38**  
 Einer der größten EDA-Experten ist von uns gegangen.

**Marktbeobachtung**

**EDA Consortium reports 15 % Revenue Growth in 2nd Quarter 2006** **Seite 39**  
 Wie in jeder Ausgabe finden Sie hier die Entwicklung der aktuellen Umsatzzahlen im Bereich EDA.

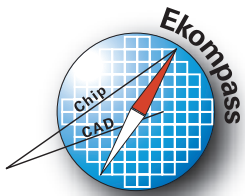
**Neues von den Mitgliedern**

**Neuigkeiten unserer Mitgliedsfirmen** **Seite 40**  
 Mitgliedsfirmen stellen neue Produkte vor und berichten von erfolgreichen Auftritten auf Veranstaltungen.

**Ausblick**

**Vorschau auf die kommende Ausgabe** **Seite 47**





# 1 Projektspiegel

## Der Ekompas-Förderkomplex

[www.edacentrum.de/ekompas](http://www.edacentrum.de/ekompas)

Die zur Zeit vom edacentrum betreuten Projekte gehören zu dem vom Bundesministerium für Bildung und Forschung (BMBF) zur Stimulation von EDA-Forschungsaktivitäten eingerichteten Förderkomplex namens Ekompas. Ekompas steht für „Entwurfplattformen für komplexe angewandte Systeme und Schaltungen der Mikroelektronik“. Mit diesem Förderkomplex will das BMBF in erster Linie dazu beitragen, die einer starken internationalen Konkurrenz ausgesetzten Arbeitsplätze in der Systemindustrie und im EDA-Umfeld zu erhalten und auszubauen.

Ziel ist es, durch ein gemeinsames Vorgehen von Industrie, Forschung und öffentlicher Hand, in den für Deutschland (und für Europa) wichtigen Bereichen neue Entwurfsmethoden zu entwickeln, um die Komplexität zukünftiger Chipsysteme qualitätsgerecht und

effektiv beherrschen zu können. Dabei wird der Fokus auf solche Themen gelegt, denen für die Wettbewerbsfähigkeit der deutschen Industrie die größte Bedeutung zukommt.

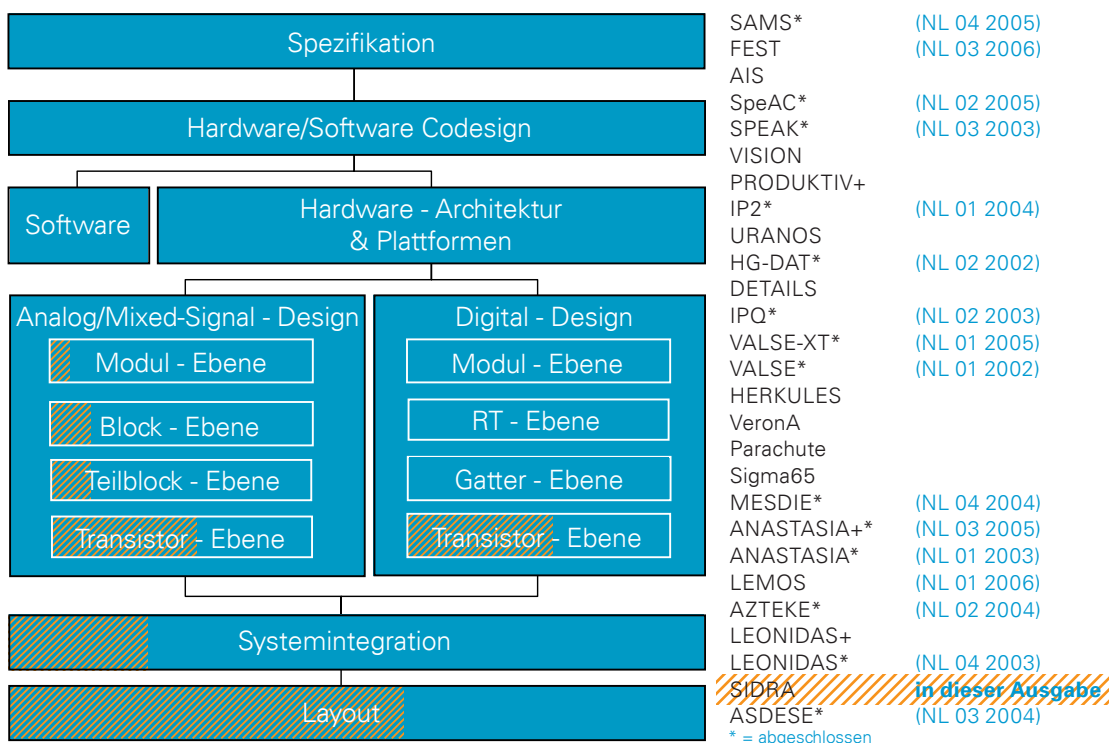
Der Förderkomplex Ekompas ist allerdings nicht nur von nationaler Bedeutung. Die meisten Forschungsvorhaben haben ein internationales Umfeld, insbesondere auf europäischer Ebene, wo Synergien aus gemeinsamen Stärken entstehen. Die für Ekompas sehr wichtige europäische Zusammenarbeit wird auch dadurch transparent, dass einige der Ekompas-Projekte in MEDEA+ Projekte eingebettet sind.

Der Newsletter des edacentrum berichtet in loser Folge über die Projekte des Ekompas-Förderkomplexes.

**Abbildung 1.01:**  
Übersicht über die aktuellen Ekompas-Projekte

Projekt	FKZ	Laufzeit	Projektkoordination
DETAILS	01M3071	1.4.2004 – 31.3.2007	Reimund Wittmann, reimund.wittmann@nokia.com
FEST	01M3072	1.7.2004 – 30.6.2007	Dr. Volker Schöber, schoeber@edacentrum.de
HERKULES	01M3082	1.12.2006 – 30.11.2009	Dr. Hans-Werner Sahn, hsahn@alcatel-lucent.com
LEONIDAS+	01M3074	1.3.2005 – 28.2.2007	Irmtraud Rugen-Herzig, irmtraud.rugen-herzig@infineon.com
MAYA	01M3172	1.6.2006 – 31.5.2009	Dr. Sebastian Sattler, sebastian.sattler@infineon.com
Parachute	01M3169	1.4.2006 – 31.3.2009	Thomas Steinecke, thomas.steinecke@infineon.com
PRODUKTIV+	01M3077	1.10.2005 – 30.9.2008	Dr. Jürgen Alt, juergen.alt@infineon.com
Sigma65	01M3080	1.10.2006 – 30.9.2009	Dr. Manfred W. Dietrich, manfred.dietrich@eas.iis.fhg.de
URANOS	01M3075	1.7.2005 – 30.6.2008	Dr. Hans-Jürgen Brand, hans-juergen.brand@amd.com
VeronA	01M3079	1.6.2006 – 31.5.2009	Peter Jores, peter.jores@de.bosch.com
VISION	01M3078	1.5.2006 – 30.4.2009	Joachim Gerlach, joachim.gerlach@de.bosch.com

**Abbildung 1.02:**  
Das Bild zeigt verschiedene Entwurfsvorgänge des Schaltungsentwurfs. Dabei sind die Schwerpunkte des Projektes SIDRA hervorgehoben, weil sich das Projekt SIDRA in dieser Ausgabe des Newsletters präsentiert.

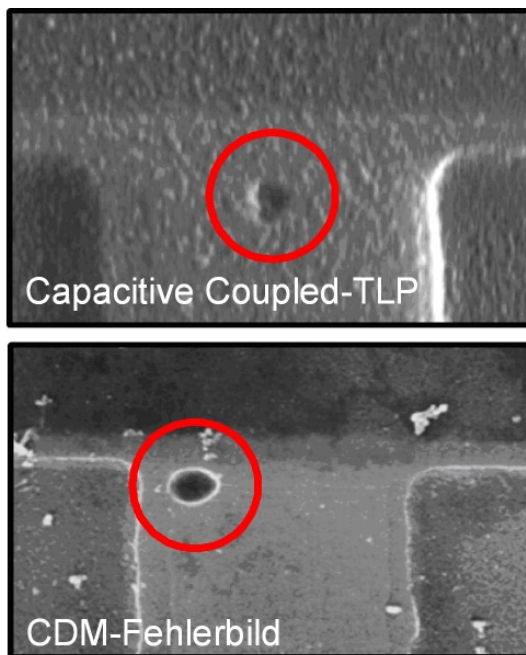




Schwerpunkte liegen

- » in der Entwicklung und Erprobung des ultra-fast TLP (Pulsdauern  $< 2$  ns) sowie des „Capacitive Coupled“-TLP (cc-TLP),
- » in der Entwicklung der Transient Latch up (TLU-) Messtechnik für die Untersuchung von Stress im aktiven Betrieb,
- » in den zunehmend geforderten Pistolentests an ICs und
- » in der Weiterentwicklung der optischen Messmethode „Transient Interferometric Mapping“ (TIM), die belastete Bereiche im Silizium während des CDM-Stresses sichtbar macht.

Wesentliche Ergebnisse dieser Aktivitäten sind in die Gremien für die Standardisierung von CDM-ESD eingeflossen.



**Abbildung 1.04:** Reproduktion eines CDM-Fehlerbildes des Gateoxides mit der Capacitive Coupled-TLP Messmethode

Das AP 2 „ESD Bauelementesimulation“ beinhaltet die Bauelementesimulation mittels TCAD (Technology Computer Aided Design) von ESD-Schutzstrukturen und Mixed-Mode Simulationen (Simulation physikalischer Strukturen in Kombination mit einer Schaltung) von vereinfachten Schutzschaltungen. Die Ergebnisse ermöglichen es, die physikalischen Vorgänge innerhalb der Schutzstrukturen unter CDM-Stress zu verstehen.

In AP 3 „ESD-Schaltkreissimulation“ werden die CDM-Schaltkreissimulationen auf „chip-level“ unter Berücksichtigung aller parasitären Einflüsse durchgeführt. Auf der Grundlage dieser Simulationen können dann die Ausfallkriterien, z.B. für eine Überspannung am Gate, definiert und geeignete Maßnahmen in Form von Entwurfsrichtlinien für das Design abgeleitet werden.

Im Folgenden sind die Beiträge der Arbeitsgebiete der deutschen Partner Atmel, Bosch, Infineon und XFAB dargestellt.

#### Atmel Germany GmbH

Die Atmel Germany GmbH fokussiert ihre Forschungsaktivitäten im Rahmen des SIDRA-Projektes auf ESD-Schutzstrukturen auf der Basis einer Smart-Power-SOI-Technologie. Eines der Ziele ist es, diese relativ neue und für zukünftige Anwendungen sehr viel versprechende Technologie ersten und fundamentalen ESD-Untersuchungen zu unterziehen. Die daraus resultierenden Ergebnisse sollen als Verbesserungen in zukünftige Design-Tools und Manuals einfließen. Als Grundlage dienen bereits verfügbare Bauelemente und Schaltungen, die es innerhalb des Projektes zu optimieren gilt. Ein wesentlicher Punkt ist hierbei die Definition geeigneter Fehlerkriterien, um die ESD-Festigkeit unter CDM-Stress und die entstandenen Defekte sowie deren Lokalisierung beurteilen zu können. Hierzu werden sowohl Standarduntersuchungen, wie die Elektronenmikroskopie als auch das etwas exotischere TIM (Transient Interferometric Mapping) bei dem Projektpartner TU Wien angewendet. Ein großer Teil der zur Charakterisierung der Bauelemente notwendigen TLP-Messungen werden vom Unterauftragnehmer FhG-IZM in München durchgeführt.

Als weiteres Ziel der Projektaktivitäten steht die Einführung einer grundlegenden ESD-Simulation für Bauelemente im Vordergrund. Diese soll als Basis für zukünftige Entwicklungen und Anwendungen in hoch integrierten und qualitativ hochwertigen Produktlinien dienen. Mit Hilfe des langjährigen Partners FH Osnabrück soll der Simulator (Medici, TSuprem-4) anhand von definierten Referenz-Strukturen kalibriert und danach auf konkrete Schutzelemente angewendet werden. Innerhalb des Projektes werden zudem verschiedene Simulatoren und deren verwendete physikalische Modelle verglichen und die Ergebnisse untereinander ausgetauscht. Als weitere Unterstützung dienen wiederum die TLP-Messungen des IZM München und die TIM-Messungen der TU Wien.

Als Hauptziel des Projektes soll für Atmel ein allgemein gültiger Standard für die CDM-Charakterisierung entstehen, mit dem Augenmerk auf die hauseigene Smart-Power SOI Technologie.

Die ersten Untersuchungen an den im Projekt definierten Teststrukturen zeigen, dass schon die bereits verfügbaren Schutzelemente eine sehr hohe Schädigungsgrenze aufweisen. Mit Hilfe spezieller Monitor-Elemente wurde die Wirkung des ESD-Schutzes bzw. die Schädigung der zu schützenden Gateoxide (3 verfügbare Oxid-Dicken) untersucht. Die bisherigen Ergebnisse zeigen eine gute bis sehr gute Schutzfunktion der Bauelemente. Die Messungen hierzu sind aber noch nicht komplett abgeschlossen, so dass noch kein endgültiges Urteil vorliegt.

Die vom Partner TU Wien zur Verfügung gestellten TIM-Messungen ermöglichten es, im Laufe des Projekts einen tieferen und bisher nicht möglichen Einblick in die Funktionsweise (Art und Homogenität) des Schaltverhaltens der untersuchten Bauelemente zu gewinnen. Die Ergebnisse fließen nicht nur direkt in eine kontinuierliche Weiterentwicklung der Bauelemente ein, sondern verbessern auch die Verlässlichkeit des bei Atmel verwendeten Simulators.

Die Einführung einer ESD-Simulation von Bauelementen gestaltete sich zu Beginn als sehr schwierig und wird auch mit dem Ende des Projekts noch nicht vollends abgeschlossen sein. Es war jedoch möglich, die zur Kalibrierung verwendete Bipolar-Struktur im Rahmen der Möglichkeiten zufriedenstellend nachzubilden und mit den gewonnenen Ergebnissen ein weiteres und weitaus komplexeres Element nachzusimulieren. Auch hier laufen derzeit abschließende Simulationen, die viel versprechende Korrelationen zu bereits durchgeführten TIM- und TLP-Messungen aufzeigen.

### Robert Bosch GmbH

In AP 1 fokussierte sich die Arbeit von Bosch auf die Umsetzung und Anwendung der neuen Charakterisierungsmethoden, die vom Fraunhofer-IZM im Rahmen von SIDRA entwickelt wurden. Dies beinhaltet die Erprobung der ultra-fast TLP-Messtechnik (Pulse < 2 ns), der repetierenden Messmethode zur Analyse des transienten Verhaltens von ESD-Schutzstrukturen sowie Transient Latch-up-Untersuchungen der innerhalb des Projektes vereinbarten und gefertigten Teststrukturen in einer Smart Power 0.35  $\mu\text{m}$ -Technologie. Eine erste Evaluierung der neuen sub-2 ns TLP Messmethode an den ESD-Schutzdioden zeigte eine sehr gute Robustheit der Bauelemente. Der TLP-Tester ist um ein neues Relais zur Erzeugung der ultrakurzen Pulsdauern erweitert worden. Eine repetierend messende Methode mit einem hervorragenden Auflösungsvermögen der Strom- und Spannungstransienten wurde ebenfalls erstmals an der Schutzdiode angewandt. Der für ESD wichtige Forward Recovery-Effekt, der an ESD-Dioden bisher nur mit großen Ungenauigkeiten behaftet messbar war, kann inzwischen präzise erfasst werden. Die Messungen waren Grundlage für die erfolgreiche Kalibrierung der Struktur für die Bauelementesimulation sowie für das Diodenmodell für die Schaltkreissimulation. Die genaue Untersuchung der auf dem Testchip vorhandenen Inputschaltungen mit 4 ns ultrakurzen Pulsen ergab keine Degradation der Schwellspannung des Gatemonitors oder Zerstörung der ESD-Dioden. Damit zeigen alle Varianten eine genügend hohe Robustheit, die sich mit den Ergebnissen der CDM-Untersuchungen decken.

In AP 2, nach erfolgreicher Kalibrierung und CDM-Devicesimulation, fokussiert Bosch auf das CDM-Entladeverhalten von Eingangsschutzschaltungen mit Hilfe von Mixed-Mode-Devicesimulation. Dabei werden vier ESD-Schutzstrukturen, eine Zenerdiode sowie ein NMOS-Transistor als Monitor physikalisch realisiert.

Der CDM-Tester und das Gehäuse mit 80 Pins, die bei der Devicesimulation ebenfalls zu berücksichtigen sind, umfassen ca. 1000 Schaltungselemente. Die im Rahmen vom SIDRA-Projekt durchgeführte Mixed-Mode-Devicesimulation erreicht den höchsten Komplexitätsgrad, der in der Fachwelt bisher bekannt ist. Damit bekommt man nicht nur gute Übereinstimmung mit Messungen, sondern auch umfangreiche wichtige Informationen während des CDM-Stresses. So ist man in der Lage, Schwachstellen der untersuchten Inputschaltungen zu lokalisieren und effektive Maßnahmen abzuleiten. Die Untersuchung wird in enger Zusammenarbeit mit Synopsys als Unterauftragnehmer durchgeführt.

Innerhalb des AP 3 verfolgt Bosch das Ziel, durch schnelle Simulationen komplexer Schaltungen/Produkte bereits im Vorfeld der Entwicklung Schwächen hinsichtlich der ESD-Festigkeit, im Besonderen bezüglich des Charged Device Models (CDM), aufzudecken und zu korrigieren. Die besondere Schwierigkeit liegt in der Komplexität der Schaltungen, die durch die notwendigerweise sehr genauen Modelle der Einzelkomponenten sehr lange Simulationszeiten verursachen kann. Zusätzlich zu dieser Herausforderung gibt es hinsichtlich CDM noch keine wohldefinierten Kriterien, um diesbezügliche Schwächen automatisch zu erkennen. Aus diesem Grund sollen im Rahmen dieses Arbeitspaketes solche Kriterien erkannt, verallgemeinert und zur allgemeinen Nutzung für das IC-Design vorbereitet werden.

Ein wichtiger Erfolg ist die schnelle Simulation (einige Minuten) von CDM-Entladungen mit guter Übereinstimmung mit messbaren Größen (Entladeströme) der Gesamtschaltung. Auf dieser Basis konnten neue, entwurfsrelevante Erkenntnisse über wichtige Parameter gewonnen werden. So wurde deutlich, dass durch das Gehäuse im Wesentlichen der Spitzenstrom definiert wird oder die Anbindung des Substrates das Abklingen des Strom-/Spannungssignals nach einem CDM-Ereignis bestimmt.

Um ausreichend genaue Simulationen durchführen zu können, sind jedoch ESD-spezifische Kenntnisse über das elektrische Verhalten der einzelnen Komponenten (Bauelemente) die Voraussetzung, da nur dann die vorhandenen Standard-Modelle des Simulators entsprechend für den Hochstrom- und Überspannungsbereich sinnvoll erweitert werden können. Die extrem kurzen Zeitbereiche (ns), die für CDM-Ereignisse relevant sind, führen zu physikalischen Effekten, die im Vorfeld der Schaltungssimulation zunächst in die Modelle implementiert worden sind.

Die während des Projektes entwickelte Methodik für eine CDM-Schaltungssimulation konnte erfolgreich in einer produktnahen Simulationsstudie erprobt werden. Damit hat die CDM-Simulation bei Bosch einen Reifegrad nachgewiesen, der im weltweiten Vergleich Spitzenniveau besitzt. Es ist zu erwarten, dass diese Simulation zukünftig ESD-Schutz-Maßnahmen wirk-

sam in der IC-Produktentwicklung von Bosch absichert. Diese zunächst in einer Testumgebung aufgesetzte Methodik soll zukünftig in der Standardumgebung für Schaltungsentwicklungen zur Verfügung stehen.

### **Infineon Technologies AG**

Um elektrostatische Entladungen nach dem Charged Device Model (CDM) charakterisieren und die CDM-Festigkeit von ICs bewerten zu können, wurden in SIDRA „funkenfreie“ CDM-Messverfahren und -Charakterisierungsmethoden entwickelt. Dazu konnte das FhG IZM-M, das langjährige Erfahrung auf dem Gebiet der experimentellen Charakterisierung von schnellen Transienten vorweisen kann, als Unterauftragnehmer mehrerer Partner gewonnen werden. Mit dem neuen Verfahren konnten zuverlässig CDM-relevante Fehlermechanismen in gemeinsam mit den Partnern entwickelten Teststrukturen wie in komplexen Produkten nachgestellt werden. Darüber hinaus entwickelte die TU Wien als Unterauftragnehmer von Infineon ein optisches Verfahren, mit dem eine schnelle Detektierung und Lokalisierung von Leckströmen in Testschaltungen und Produkten nach ESD-Belastung möglich ist.

Ein besonderes Problem in den sub-100-nm-Prozessen stellt die Empfindlichkeit der Gateoxide gegen Überspannung dar. Ein Schwerpunkt in der experimentellen Arbeit in SIDRA war daher für Infineon die experimentelle Bestimmung der Lebensdauer von Gateoxiden nach einer ESD-Belastung.

Wenn elektrostatische Entladungen, wie beispielsweise Entladungen nach dem Human Body Model (HBM) oder dem CDM, während des Betriebs einer integrierten Schaltung auftreten, kann die Entladung häufig transienten Latch-up (TLU) auslösen, der zur Zerstörung des Produkts führen kann. Daher wurden in SIDRA auch für TLU geeignete Charakterisierungsverfahren und Teststrukturen entwickelt, die die kritischsten Belastungsfälle abdecken.

Die neuen experimentellen Verfahren zur CDM- und TLU-Charakterisierung eignen sich damit sehr gut zur Produktqualifikation und wurden in internationalen Standardisierungsgremien vorgestellt.

In den heute bei Infineon eingesetzten sub-100-nm-CMOS-Prozessen ist die Definition von ESD-Schutzkonzepten eine besondere Herausforderung. Gründe dafür sind die Empfindlichkeit des Prozesses gegen ESD und die extremen schaltungstechnischen Anforderungen. In SIDRA wurden innovative ESD-Schutzelemente für diese Prozesse durch ESD-Bauelementsimulation entwickelt und optimiert. Daraus wurden Entwurfsrichtlinien für optimierte ESD-Schutzelemente abgeleitet. Diese Strukturen wurden auch mit 3D-Bauelementsimulation untersucht, um den Bereich des Einschaltverhaltens und des Ausfallmechanismus eingehend analysieren zu können. Hier erwies sich wieder einmal das optische Rasterverfahren der TU Wien, mit dem

die Ladungsträger- und Temperaturverteilung im Bauelement während der ESD-Belastung experimentell aufgezeichnet werden kann, als überaus wertvolle Verifikationsmethode für die Bauelementesimulation.

Um die ESD-Festigkeit eines größeren Schaltungsblocks durch Simulation vorhersagen und optimieren zu können, wurden Strategien und Verfahren entwickelt, mit denen eine Aussage über die ESD-Festigkeit eines Produktes abgeleitet werden kann. Neben der Entwicklung einer geeigneten Simulationsstrategie waren dazu grundlegende Überlegungen zur hierarchischen Extraktion der ESD-relevanten parasitären Elemente und zur Vereinfachung der Schaltungsmodelle unter ESD-Belastung zu diskutieren. Ein „ESD-Gesamtchip-Simulator“ wurde zuerst für HBM-Belastungen aufgebaut und die Anwendbarkeit auf komplexe Schaltungsteile und Produkte demonstriert. Im nächsten Schritt wurde dann aus dem HBM-Ansatz und den Erkenntnissen aus den experimentellen Charakterisierungen von Teststrukturen und Produkten ein Verfahren abgeleitet, mit denen auch Entladungen nach dem CDM in größeren Schaltungsblöcken mittels Simulation erfasst werden konnten.

### **XFAB**

Gestiegene Anforderungen an die ESD Festigkeit von integrierten Schaltungen insbesondere für Automotive Anwendungen erfordern verbesserte Konzepte für den ESD-Schutz. Eine wesentliche Aufgabe innerhalb des SIDRA Projektes ist die Entwicklung und Optimierung neuer ESD-Schutzstrukturen sowie deren Charakterisierung. Die Methoden dazu waren entsprechend speziell in Richtung kurzer und sehr kurzer CDM-ähnlicher ESD-Impulse zu verfeinern, um zuverlässige Ergebnisse über das Verhalten der ESD Schutzstrukturen unter ESD-Belastung zu erhalten. Untersucht wurde dabei nicht nur das ESD-Verhalten sondern im Rahmen einer Studie auch das Latch-up-Verhalten von ESD-Schutzstrukturen. Die im Rahmen von AP 1 mit Unterstützung durch physikalische Bauelementesimulation entwickelten und optimierten Schutzstrukturen zeigen ein deutlich verbessertes ESD-Verhalten. Sie ermöglichen einen effektiveren ESD-Schutz bei gleicher oder reduzierter Chipfläche. Zur Einsparung von Entwicklungskosten und Entwicklungszeit sollte eine simulationsgestützte Designmethodik entwickelt werden. Im AP 2 dienten physikalische Bauelementesimulationen zur Ermittlung der optimalen Layout-Parameter von ESD-Schutzstrukturen. Es wurden erfolgreich physikalische Bauelementesimulationen von ESD-Schutzstrukturen durchgeführt, deren Ergebnisse durch experimentelle Verifikation an Demonstratoren bestätigt werden konnten. Ein wichtiges Kriterium für eine simulationsgestützte Designmethodik ist ihre Anwendbarkeit in allen von XFAB angebotenen Technologiefamilien. Erste Anwendungen des simulationsgestützten ESD-Bauelemente-Entwurfs z. B. in SOI-Technologien zeigten positive Ergebnisse.

Durch die simulationsgestützte Entwurfsmethodik sind im Design von ESD-Schutzstrukturen Einsparungen in der Entwicklungszeit von 30 – 50 % möglich.

#### **Kont@kt und Autorin (SIDRA):**

Dr.-Ing. Petra Rose  
Projektkoordination  
Robert Bosch GmbH  
Tübinger-Straße 123  
72763 Reutlingen  
fon: 0 71 21-35-65 60  
fax: 0 71 21-35-65 60  
petra.rose@de.bosch.com



# MAYA: Neue Methoden für den Massiv Paralleltest im Hochvolumen, Yield Learning und beste Testqualität

Das Projekt MAYA sichert Fortschritte in Forschung und Entwicklung im EDA-Bereich Test

**Um zukünftig am Halbleitermarkt erfolgreich agieren zu können, ist es notwendig, sowohl dem zunehmenden Bedarf an integrierten Schaltungen, wie auch dem weiter steigenden Kostendruck durch den internationalen Wettbewerb gerecht zu werden. Wesentliche Eckpfeiler einer erfolgreichen Strategie dafür sind eine Verkürzung von Entwicklungszeiten, sowie eine drastische Erhöhung der Produktivität. Dies kann erreicht werden durch die deutliche Reduktion von Entwicklungs- und Produktionskosten. Dabei wird ein erheblicher Teil dieser Kosten durch die Erstellung und Durchführung der notwendigen IC- und Systemtests verursacht. Bereits heute beträgt der Testkostenanteil integrierter Schaltungen bezogen auf den Gesamtaufwand etwa 30% – mit deutlich steigender Tendenz. Dieser hohe Prozentsatz ist zum einen bedingt durch die enormen Kosten für moderne, automatisierte Hardwaretester, zum anderen durch die drastisch steigenden Testzeiten. Integrierte Schaltungen mit mehreren Millionen Gattern werden derzeit strukturell und funktional getestet. Zukünftige Anforderungen an die Erkennung komplexer Fehlermechanismen und ihre Abbildung in dazugehörigen Fehlermodellen für z. B. Pfadverzögerungen lassen die Komplexität des Produktionstests überproportional ansteigen. Die Testzeiten für moderne Produkte nehmen damit im Verhältnis stärker zu als die Anzahl der Gatter.**

Bis zum Jahr 2008 wird sich die Größe digitaler Schaltungen von 10 Millionen auf etwa 100 Millionen Gatter verzehnfachen, was zu längeren Prüfketten führen wird. In den zukünftigen Prozessgenerationen unter 100 nm werden neue Fehlerarten immer mehr in den Vordergrund rücken, was zu einer Erhöhung der Anzahl benötigter Testvektoren um einen Faktor 4 führen wird. Die Kosten zum Testen solcher ICs und ihre enormen Datenmengen werden sich dabei mindestens um einen Faktor 3, die Testzeit um einen Faktor 10 erhöhen. Selbst ohne Berücksichtigung steigender Pinzahlen werden somit die Testkosten pro IC um einen Faktor 120 explodieren! Es ist daher zwingend notwendig, nach neuen Lösungsansätzen zu suchen, um die daraus resultierenden Testkosten drastisch zu senken. Um die Herausforderungen an den Produktionstest bei derartigen Komplexitätssteigerungen zukünftig bewältigen zu können, dürfen Kostenreduktionen nicht länger im Prozentbereich liegen. Vielmehr sind Verfahren erforderlich, welche die Kosten für den Produktionstest integrierter Schaltungen um Größenordnungen reduzieren.

## Ziele des Projekts MAYA

Moderne Schaltungen zeichnen sich aus durch zunehmend komplexere Leitungsstrukturen, die über eine große Anzahl von Metallebenen verlaufen. Auf diesen Leitungen, vom Treiber bis hin zu den verschiedenen Empfängern, können Haftfehler, Unterbrechungen, Verzögerungsfehler oder Kurzschlüsse auftreten. Schaltungsmodelle, die nur dem logischen Verhalten der realen Schaltung entsprechen und nicht speziell Fehler auf diesen sehr komplexen Verdrahtungsstrukturen berücksichtigen, werden für die automatische Testgenerierung in Zukunft nicht mehr ausreichend sein. Es wird vielmehr ein Schaltungsmodell benötigt, das zweierlei Verhalten, d. h. das logische Verhalten und das Verhalten der Schaltung im layout-bezoge-

nen Fehlerfall, beschreiben kann. Nur so wird die notwendige Testabdeckung beim Produktionstest erreicht. Um zukünftig diese notwendige Qualität beim Produktionstest zu erreichen, müssen für neue Halbleitertechnologien daher zusätzliche Tests für neue Fehlermodelle bereitgestellt werden. Dazu werden im Projekt MAYA Verfahren erforscht, die es ermöglichen, die notwendigen Testmuster für die Produktionsfehler an allen Leitungssegmenten in Very-Deep-Sub-Micron Designs (< 100 nm) zu berechnen.

System-in-Package- (SiP-)Architekturen werden in Zukunft die Integration verschiedenster klassischer Produkte in einem einzigen Gehäuse ermöglichen. Die immer weiter fortschreitende Reduzierung der Strukturbreiten in der Mikroelektronik ermöglicht dabei zum einen immer höhere Packungsdichten und verschiebt zum anderen die Grenzfrequenzen in immer höhere Bereiche. Um solche anspruchsvollen Module noch kostengünstig im Hochvolumen testen zu können, müssen zukünftig Selbsttestlösungen für alle Mixed-Signal-Komponenten eines SoC (System On Chip) zur Verfügung stehen. Gelingt es, im Projekt MAYA ausschließlich digitale Ressourcen auf dem Chip sowohl für die Erzeugung der analogen Testsignale als auch für die Erfassung und Weiterverarbeitung der Testantworten zu verwenden, können teure Analog- und Mixed-Signal-Tester durch kostengünstigere, übliche Digitaltester ersetzt werden. Für den hochparallelen Test vieler Bausteine ist ein signifikanter Beitrag zur Reduzierung der gesamten Testkosten zu erwarten.

Um den zukünftigen Qualitätsanforderungen, wie z. B. der Vorgabe, dass integrierte Bausteine im Sicherheits- und Automobilbereich nicht einen einzigen Fehler enthalten dürfen (Null-Fehler-Vorgabe), gerecht werden zu können, müssen neue Methoden und Werkzeuge

Zusammensetzung des Projektkonsortiums:

### Projektpartner:

- » Infineon Technologies AG
- » NXP Semiconductors Germany GmbH

### Unterauftragnehmer:

- » Universität Bremen
- » IIS/EAS Dresden
- » Universität Potsdam
- » Redemund & Thiede Datentechnik
- » Universität Stuttgart

### Förderkennzeichen:

01M3172

### Laufzeit:

01.06.2006 – 31.05.2009

Themenbereiche von MAYA	Einsparpotential durch MAYA ein Jahr nach Projektende	Längerfristiges Einsparpotential durch MAYA
Massiv-Paralleltest	256 Chips gleichzeitig	Faktor 10
Kostenreduktion Testdurchführung	Faktor 2	Faktor 3
Kostenreduktion Tester	Faktor 2	Faktor 3
Flächensparnis mit ROM DLBIST	Faktor 2	Faktor 3
Zeitverkürzung Testdurchführung	Faktor 2	Faktor 3
Verkürzung DfT Entwicklung	Faktor 2	Faktor 3

**Tabelle 1.01:** Zusammenfassung der geplanten Ziele von MAYA

erforscht und entwickelt werden. Das Projekt MAYA will diesen Herausforderungen mit neuesten Techniken zur massiv parallelen Datenerfassung auf dem Chip in Kombination mit innovativen Lösungen für den Multi-Site-Test und die schnelle Datenübertragung off-Chip begegnen. Multi-Site steht hier für den Massiv-Paralleltest, bei dem möglichst viele Chips oder SiPs beim Testen parallel angesteuert und ausgelesen werden können. Durch deren Einsatz soll sowohl im schnellen Technologieanlauf als auch im Produktionstest die dringend gebotene Durchsatzsteigerung beim Hochvolumentest mit der geforderten Qualität erzielt werden.

Tabelle 1.01 gibt eine Zusammenfassung über die geplanten Ziele von MAYA und enthält auch die Ein-

schätzung des längerfristigen Einsparpotentials durch die Ergebnisse von MAYA. Alle neuen Verfahren müssen grundsätzlich für die Massenproduktion komplexer Schaltungen und Systeme ausgelegt werden. Aus heutiger Sicht ist die Erweiterung um defekt-basierte Fehlermodelle der einzig gangbare Weg, um die zusätzlich ständig steigenden Qualitätserwartungen mit vertretbaren Kosten zu erfüllen. Diese Maßnahmen werden die Wettbewerbsfähigkeit der deutschen Mikroelektronik auf dem Gebiet der Methodenentwicklung und Bereitstellung von kostengünstigsten Testverfahren für den Produktionstest von integrierten Schaltungen erhalten und ausbauen, und somit einen wesentlichen Beitrag zum Erhalt und Aufbau von R&D-Arbeitsplätzen in Deutschland leisten.

**Autor und Kontakt (MAYA):**  
 Dr. Sebastian Sattler  
 Infineon Technologies AG  
 fon: 089 234 22394  
 sebastian.sattler@infineon.com



## VISION – Verteilte integrierte Systeme und Netzwerkarchitekturen für die Applikationsdomänen Automobil und Mobilkommunikation

Projekt zur Erhöhung der Ausfallsicherheit von vernetzten Systemen im Kraftfahrzeug und in der mobilen Kommunikation gestartet.

Zusammensetzung des  
 Projektkonsortiums:

**Projektpartner:**

Robert Bosch GmbH <<  
 Cadence Design Systems GmbH <<  
 Forschungszentrum  
 Informatik Karlsruhe <<  
 Infineon Technologies AG <<

**Unterauftragnehmer:**

OFFIS e.V. – Institut für  
 Informatik <<  
 Universität der Bundeswehr  
 München <<  
 Eberhard Karls Universität  
 Tübingen <<

Im Automobilbereich als auch im Bereich der Mobilkommunikation ist die Fähigkeit, eine Vielzahl von neuen Funktionalitäten in einem verteilten Systemszenario zu integrieren, eine Voraussetzung geworden, um im Markt zu bestehen. Und dies muss natürlich ohne Senkung der Produktivität und mit hohen Sicherheits- und Qualitätsanforderungen bei gleichzeitiger Betrachtung der wirtschaftlichen Aspekte erreicht werden. Die Erforschung einer domänenübergreifenden Entwurfsmethodik für verteilte mikroelektronische Systeme unter Berücksichtigung komplexer Umgebungsbedingungen und effiziente applikationsspezifische Entwurfsprozesse ist daher das Ziel von VISION.

**Motivation**

Intelligente eingebettete Systeme sowohl in der Automobil- als auch in der Telekommunikationstechnik werden zunehmend durch einen steigenden Vernetzungsgrad charakterisiert. In Zukunft wird neue

Funktionalität weniger durch die Summe der Einzelkomponenten sondern durch deren gegenseitige Vernetzung realisiert. Innerhalb eines vernetzten Systems wird eine neue Systemfunktion realisiert, ohne dass hierfür der Netzwerkstruktur neue Komponenten hinzuzufügen sind – die neue Systemfunktion resultiert vollständig „aus der Vernetzung“. Dieser Wandel im Produktbereich zwingt zunehmend zu einem Paradigmenwechsel im Entwurf. Der bestehende komponentenzentrierte Entwurf muss einer ganzheitlichen Sicht auf ein vernetztes System weichen, um frühzeitig die Auswirkungen der Vernetzung analysieren und bewerten zu können.

Projiziert auf die Designfähigkeit künftiger deutscher Schlüsselapplikationen lässt sich daraus ableiten, dass mit verfügbaren Mitteln der Entwurf vernetzter Systeme mit wirtschaftlich vertretbarem Aufwand nicht mehr möglich sein wird. Und doch sind diese

Systeme, die sich durch extrem hohe Anforderungen an Flexibilität, Zuverlässigkeit, Performanz, Echtzeit- und Fehlertoleranzverhalten auszeichnen, von einem enormen volkswirtschaftlichen Nutzen und haben damit eine hohe wirtschaftliche Relevanz für den Industriestandort Deutschland: Wie aktuelle Automobil-Studien belegen, sind ca. 60 % aller Unfälle mit Todesfolge auf Seitenkollisionen zurückzuführen, die in den meisten Fällen aus einer Fehlreaktion des Fahrers (Schrecksekunde, Übersteuern des Fahrzeugs, etc.) resultieren [Quelle: RESIKO Report, GVD]. Durch intelligente Systeme wie x-by-wire können diese Fehlreaktionen erkannt und durch aktive Eingriffe des Systems in das Lenk- und Bremsverhalten des Fahrzeugs kompensiert werden. Dadurch ließe sich ein Großteil besagter Unfälle vermeiden oder deren Folgen für Leib und Leben minimieren. Im Telekommunikationsbereich werden zukünftig mobile Endgeräte zunehmend durch „artfremde“ Komponenten (also Funktionsmodule, die nicht der eigentlichen Kommunikation dienen) erweitert und dadurch – neben einer Erhöhung von Mobilität und Komfort – neue Anwendungsbereiche erschlossen: Als Beispiel zu nennen sind hier etwa Mobiltelefone mit integrierter Gesundheitsüberwachung, die kontinuierlich eine Erfassung und Analyse der Körperfunktionen eines pflegebedürftigen Menschen vornehmen. Im Notfall setzt das Mobiltelefon automatisch einen Notruf mit Angabe der Positionskordinaten der Patientin/des Patienten ab und kann so Leben retten.

Eine Vielzahl von neuen Funktionalitäten ohne Senkung der Produktivität und von Sicherheits- und Qualitätsanforderungen in wirtschaftlicher Weise zu entwerfen und in einem verteilten Systemszenario zu integrieren, erfordert große Anstrengungen im Bereich der Forschung, die durch das Projekt VISION adressiert werden.

### Ziele

Die im Rahmen des Projekts erforschten Methoden adressieren die Herausforderungen im Entwurf verteilter mikroelektronischer Systeme oberhalb der Ebene von SoCs und NoCs (Systemverbände aus vernetzten Subsystemen). Schwerpunkte bilden dabei neue Spezifikationsmethoden für verteilte Systeme, Methoden zur automatisierten Ableitung von optimierten Verbindungstopologien für gegebene Applikationen sowie die Erforschung von Verfahren zur Performanz- und Kommunikationsanalyse für eine automatisierte Dimensionierung und Parametrierung der Verbindungsstruktur. Weitere Schwerpunkte liefern die Berücksichtigung von Randbedingungen der Systemumgebung in der Modellierungsphase, die automatisierte Ableitung virtueller Prototypen aus abstrakten Systemmodellen sowie neue Ansätze zur Verifikation von Modellen über Domänen- und Abstraktionsgrenzen hinweg. Lösungsansätze für die genannten Fragestellungen werden zukünftig die Integration von Systemen in ihre vernetzte Umgebung

deutlich erleichtern und so den Prozess des „System Engineering“ wesentlich vereinfachen.

Die im Projekt adressierten Defizite und daraus abgeleiteten wissenschaftlichen/technischen Ziele lassen sich in folgende Schwerpunktbereiche untergliedern:

- » Es werden Modellierungsansätze untersucht, die eine ganzheitliche Sicht auf die vernetzten Systeme bereits in frühen Entwurfsphasen unterstützen und so die Grundlage für Verfahren zur automatisierten Determinierung einer optimierten Kommunikationstopologie bilden.
- » Es werden Ansätze zur methodischen Analyse des Kommunikationsverhaltens verteilter mikroelektronischer Systeme erforscht, die eine Bewertung von Kommunikationstopologien in einer frühen Phase des Systementwurfsprozesses unterstützen.
- » Es werden Verfahren erforscht, die eine Verifikation von Implementierungsmodellen der beteiligten Subsysteme im abstrakten verteilten Gesamtsystemmodell ermöglichen, damit Integrationsfehler frühzeitig aufdecken und so die bestehende Verifikationslücke schließen.
- » Die erforschten Ansätze zur ganzheitlichen Erfassung verteilter Szenarien werden in eine Entwurfsmethodik integriert, der unter Ausnutzung der konkreten Kenntnis von Applikation und Anforderungen hochgradig anwendbare Designflows für verteilte mikroelektronische Systeme der deutschen Schlüsseltechnologien Automobil und Mobilkommunikation liefert.

### Struktur

Zum Erreichen dieser Ziele ist das Projekt VISION in vier thematisch miteinander verzahnte Arbeitspakete (AP) aufgeteilt:

- » AP 1: Topologien und Architekturen verteilter Systeme
- » AP 2: Analyse und Bewertung der Eigenschaften verteilter Systeme
- » AP 3: Verifikationsgestützte Systemintegration und -implementierung
- » AP 4: Applikationen und Designflow-Integration

Arbeitspaket 1 konzentriert sich auf die Modellierung und automatisierte Generierung der Kommunikationstopologie und Netzwerkarchitektur für verteilte mikroelektronische Systeme. Ziel des Arbeitspaketes 2 ist die Erforschung von Verfahren, die es erlauben, eine systemübergreifende Analyse der Systemanforderungen durchzuführen. Während die Arbeitspakete 1 und 2 eine Modellierungs- und Analyseumgebung für verteilte Systeme adressieren, schließt Arbeitspaket 3 die Lücke zum nachfolgenden Implementierungsprozess. Hierzu werden Verfahren erforscht, die im weiteren Entwurfsablauf eine Verifikation der Systemintegration und einen Entwurf des verteilten Systems

**Förderkennzeichen:**  
01M3078

**Laufzeit:**  
01.05.2006 – 30.04.2009

**Internetseite:**  
[www.edacentrum.de/vision/](http://www.edacentrum.de/vision/)

**Schlüsselworte:**  
 » Verteilte Systeme  
 » Netzwerkarchitektur  
 » Entwurfsautomatisierung  
 » Verifikation  
 » Systemintegration

### Autoren und Kontakt (VISION):

**Projektmanagement:**  
Dr. Dieter Treytnar  
edacentrum  
fon: 0511-762-19687  
fax: 0511-762-19695  
[treytnar@edacentrum.de](mailto:treytnar@edacentrum.de)

**Projektkoordination:**  
Dr. Joachim Gerlach  
Robert Bosch GmbH  
fon: 07121-35-1030  
fax: 0711-35-2687  
[Joachim.Gerlach@de.bosch.com](mailto:Joachim.Gerlach@de.bosch.com)

über Abstraktionsebenen und Domänengrenzen hinweg unterstützen und so den Prozess der Systemimplementierung ganzheitlich begleiten. In Arbeitspaket 4 werden die in den Arbeitspaketen 1–3 entwickelten Methoden in einen durchgängigen Entwurfsablauf (Designflow) integriert, der die Applizierung der Methoden ermöglicht.

## Projektstatus

Das Projektkonsortium hat mit dem „Kickoff-Treffen“ am 24.8.2006 beim Projektpartner Robert Bosch GmbH in Reutlingen seine Arbeiten begonnen. Erste Ergebnisse werden Anfang des nächsten Jahres erwartet und im Rahmen des edaWorkshops im Juni 2007 präsentiert.

## Nachrichten von den Projekten

[www.edacentrum.de/projekte](http://www.edacentrum.de/projekte)

**Mit MAYA (s. Seite 9) wurde neben VeronA und VISION (s. Seite 10) ein weiteres Projekt zum 1. Juni 2006 durch das BMBF bewilligt. Außerdem präsentieren bereits laufende Projekte ihre Ergebnisse bei offenen Workshops, zu denen Interessierte eingeladen sind.**

### Hinweis zu Präsentationen und Veröffentlichungen

Zahlreiche Präsentationen und Veröffentlichungen entstehen im Rahmen der Ekompas-Projekte und sprechen für deren Erfolg. Die Bekanntmachung der Ergebnisse ist ein wichtiger Teil der Arbeiten – nicht nur, weil die Wissenschaft von der Veröffentlichung der Ergebnisse profitiert, sondern auch für die Öffentlichkeitsarbeit. EDA ist ein wichtiges Thema, das den wirtschaftlichen Standort Deutschland stärkt und von der Politik gefördert wird und auch weiterhin gefördert werden soll. Umso wichtiger ist es, dass diese Förderung auch sichtbar wird – gerade wenn solche Erfolge aufzuweisen sind. Darum denken Sie bei Ihren Präsentationen, Flyern, Postern und Papern daran, das Förderkennzeichen und das Logo des Fördergebers aufzuführen. Nicht nur eine kleine aber entscheidende Geste, von der wir alle profitieren, sondern auch Teil der für die Ekompas-Projekte geltenden Nebenbestimmungen. (CH)

Formulierungen, die mit dem Projektträger abgestimmt wurden und die den geforderten Inhalten entsprechen, finden Sie unter [www.edacentrum.de/projekte](http://www.edacentrum.de/projekte).

### Kont@kt (Formulierungen):

Dr. Cordula Hansen  
fon: 0711-2807 336  
hansen@edacentrum.de



### URANOS: Offener Workshop zum Thema „Anwendungsrobuster Entwurf“ – Teilnehmerzahl sprengte alle Erwartungen

Am 26. Oktober fand in Hannover bei der Firma sci-worx der erste offene Workshop des Projektes URANOS zum Thema „Anwendungsrobuster Entwurf nanoelektronischer Systeme“ statt. Die Wahl des Veranstaltungsortes erwies sich vom Projekt als sehr vorausschauend. Mit mehr als 30 Teilnehmern war der Workshop über alle Erwartungen gut besucht und die „normalen“ Seminarräume für die Veranstaltung kaum ausreichend.

### Kont@kt (URANOS):

Dr. Steffen Rülke  
Fraunhofer IIS  
fon: 0351.4640-720  
steffen.ruelke@eas.iis.fraunhofer.de

Im Mittelpunkt stand die Präsentation von Lösungsansätzen und ersten Ergebnissen aus dem Projekt URANOS. Themen dabei waren Management von Systemanforderungen, zuverlässigkeitsgetriebene Analyse für den Entwurf sicherheitskritischer Anwendungen und Analysemethoden für unsichere Anwendungsbedingungen. Auf Grund des großen Interesses aus anderen Ekompas-Projekten wurde das Programm des Workshops um einige Gastvorträge erweitert, so dass sich das Publikum ein strammes Programm zu absolvieren hatte.

Die Vorträge waren durchweg von hoher Qualität und wurden oft von regen Diskussionen begleitet. Für die Kopplung zwischen Verifikation, Validation und Applikation verfolgt das Projekt URANOS die Generierung von Spezifikation und Implementierung aus einer Quelle. Dazu wurde – da die verfügbaren Ansätze zu den Datenstrukturen nicht ausreichen – eine eigene Schnittstellenbeschreibungssprache entwickelt, die zu einem Standard ausgebaut werden könnte. Ein in JAVA entwickelter Prototyp zur Erfassung von Designkontexten ermöglicht die Analyse von Risiken und Abhängigkeiten. Eine erste Demonstration zeigte anschaulich die Konfigurierbarkeit der Kontexte. Im Bereich Entwurf sicherheitskritischer Anwendungen wurden neue Analysezugänge für dynamische Systemveränderungen vorgestellt, die es ermöglichen, defektbedingte Blockierungen bereits in der Entwurfsphase zu erkennen und auszuschließen. Weitere Arbeiten präsentierten XML-basierte Spezifikationsflows mit Modellgenerierung, die auf dem Industriestandard SPIRIT aufsetzen und eine gemeinsame, automatisch konsistent gehaltene Datenbasis nutzen. Das Thema Verifikation, das in URANOS zum Beispiel im Bereich Constraint-gesteuerter Zufallssimulation behandelt wird, wurde vor allem in den Gastvorträgen vertieft. So präsentierte OneSpin Solutions einen Überblick über heute eingesetzte formale Verifikationsmethoden und die FhG berichtete von simulatorgestützter Verhaltensmodellierung für die semi-formale Mixed-Signal-Verifikation. Der Workshop stellte damit einen interessanten Querschnitt zu den Arbeiten in URANOS da und man darf sich auf eine Fortsetzung freuen. (CH)



**Projekt SIDRA entdeckt Potenz-Gesetz:  
ESD-Entwickler können jetzt den Einfluss von  
ESD-Stress auf die Gateoxid-Lebensdauer  
abschätzen**

Einer der wichtigen Parameter, die die Festigkeit einer Schaltung gegen elektrostatische Entladung bestimmen, ist die Durchbruchfestigkeit von Gateoxiden unter schnellen Transienten. Bei Untersuchungen, die im Rahmen von SIDRA durchgeführt wurden, wurde von bei Infineon festgestellt, dass die Lebensdauer von Gateoxiden durch ESD-Belastung reduziert wird. Die Abhängigkeit der Lebensdauer von Stressdauer und Stressamplitude lassen sich im ESD-Bereich wie im Betriebsbereich durch ein Potenz-Gesetz beschreiben. Damit hat der ESD-Entwickler eine einfache Möglichkeit, den Einfluss von ESD-Stress auf die Gateoxid-Lebensdauer abzuschätzen. Diese neuen Ergebnisse wurden auf der bedeutendsten ESD-Konferenz, dem EOS/ESD-Symposium in Tucson, Arizona, vorgestellt und dort mit großer Anerkennung bedacht.

Auf dem EOS/ESD-Symposium konnten Ergebnisse der SIDRA-Forschungsarbeiten von praktisch allen Partnern präsentiert werden. Darüber hinaus waren Experten von Bosch, Infineon, Philips, STM und der Universität von Padua als Teilnehmer bzw. Moderatoren in einigen Podiumsdiskussionen vertreten. (Petra Rose, Projektkoordinatorin SIDRA)



**Aufnahme von Atmel und Bosch in das Cadence  
Early Adopter Program**

Die Leonidas+-Projektpartner Atmel Germany GmbH (Atmel) und Robert Bosch GmbH (Bosch) wurden zusätzlich zu dem Projektpartner Infineon Technologies AG (Infineon) von Cadence Design Systems (Cadence) in das Cadence Early Adopter Program zum Thema Constraint-driven Design aufgenommen. Diese neue Designmethodik stellt einen Paradigmenwechsel für das Analog/Mixed-Signal-Design dar und wird erstmalig in der neusten Virtuoso Custom Design Platform IC 6.1.0 von Cadence unterstützt.

Zwischen den Leonidas+-Partnern und Cadence R&D gab und gibt es einen regen Austausch zu den in Leonidas und Leonidas+ erarbeiteten Ergebnissen. Die Projektpartner sind aktuell dabei, die neu ausgelieferte Virtuoso Custom Design Platform zu evaluieren und ihre Erfahrungen zum Fachthema Constraint-driven Design mit Cadence zu diskutieren. (Markus Olbrich, Projektmanager, LEONIDAS+)

**VeronA-Webseiten in Deutsch und Englisch  
verfügbar**

Für alle diejenigen, die gerne englischsprachige Informationen zum Projekt VeronA (Verifikation Analogere Schaltungen) hätten, gibt es eine gute Nachricht: Die VeronA-Internetseiten sind seit dem 1. Dezember 2006 nicht nur in deutscher, sondern auch in englischer Sprache verfügbar. Die Projektpartner wollen damit eine erste Grundlage für Austausch und Kooperationen im europäischen Raum schaffen. (Pp)

**HERKULES**

**Neues Ekompas-Projekt HERKULES bewilligt**

Das Projekt HERKULES startete zum 1.12.2006 mit einer Laufzeit von 3 Jahren. Es wird unter dem Förderkennzeichen 01M3082 durch das Bundesministerium für Bildung und Forschung (BMBF) gefördert. Schwerpunkt von HERKULES ist die formale Verifikation hochkomplexer Kommunikationsstrukturen, wie sie zum Beispiel auf einem heutigen SoC zu finden sind. Projektkoordinator ist Hans Sahn von Alcatel-Lucent. Das Konsortium setzt sich aus den Projektpartnern Concept Engineering GmbH, Alcatel-Lucent, OneSpin Solutions GmbH und Robert Bosch GmbH zusammen. Im Projekt sind außerdem die Forschungseinrichtungen IMMS gGmbH, TU Chemnitz, TU Kaiserslautern, Universität Duisburg-Essen, Universität Bremen und Universität Karlsruhe als Unterauftragnehmer tätig. (CH)

**Sigma65**

**Neues Ekompas-Projekt SIGMA65 bewilligt**

Das Projekt SIGMA65 startete zum 1.10.2006 mit einer Laufzeit von 3 Jahren. Es wird unter dem Förderkennzeichen 01M3080 durch das Bundesministerium für Bildung und Forschung (BMBF) gefördert. SIGMA65 befasst sich mit der langfristigen Sicherung der Designfähigkeit nanoelektronischer Produkte in Deutschland im Bereich der sub-100 nm-Technologien. Im Mittelpunkt stehen dabei ASIC- bzw. Kundenschaltkreisentwürfe. Das Projekt wird sich dabei auf die unteren, technologie-nahen Entwurfsebenen konzentrieren und dabei besonders auf Timing-Constraints und die Leistungsaufnahme der Schaltungen eingehen. Projektkoordinator ist Dr. Manfred Dietrich vom Fraunhofer-Institut für Integrierte Schaltungen/Außenstelle Entwurfsautomatisierung. Das Konsortium setzt sich aus den Projektpartnern Infineon Technologies AG, MunEDA GmbH und dem Fraunhofer Institut zusammen. Als Unterauftragnehmer sind die Leibniz Universität Hannover und die TU München in das Projekt eingebunden. (CH)

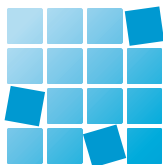
**Kont@kt (SIDRA):**  
Dr. Petra Rose  
Robert Bosch GmbH  
fon: 07121 35- 6560  
petra.rose@de.bosch.com

**Kont@kt (VeronA):**  
Ralf Popp  
edacentrum  
fon: 0511 762-19697  
popp@edacentrum.de

**Kont@kt (HERKULES):**  
Dr. Hans Sahn  
Alcatel - Lucent  
fon: 0911 526-2638  
hsahn@alcatel-lucent.com

**Kont@kt (LEONIDAS+):**  
Irmtraud Rugen-Herzig  
Infineon Technologies AG  
fon: 089 234-21046  
irmtraud.rugen-herzig@infineon.com

**Kont@kt (SIGMA65):**  
Dr. Manfred Dietrich,  
Fraunhofer IIS/EAS  
fon: 0351 4640-751  
manfred.dietrich@eas.iis.fhg.de



## Neues aus der Clusterforschung

[www.edacentrum.de/clusterforschung](http://www.edacentrum.de/clusterforschung)



### SAMS nach drei Jahren erfolgreich abgeschlossen

Das SAMS Projekt ist nach drei Jahren Laufzeit zum 31. Oktober 2006 erfolgreich abgeschlossen worden. Während der Projektlaufzeit wurden viele neue wissenschaftliche Ergebnisse in Hinblick auf eine industrielle Anwendung erreicht. Im Vordergrund stand dabei die Vernetzung unterschiedlicher Teillösungen zu einem zusammenhängenden Syntheseprozess für analoge Schaltungen. So wurde erstmals ein Weg aufgezeigt, wie man von einer ausführbaren Spezifikation auf Systemebene zu einer dimensionierten Netzliste gelangt, die die geforderten Eigenschaften der Spezifikation erfüllt. Es zeigte sich auch, dass es in vielen Bereichen Herausforderungen gab, die zum Projektstart nicht bekannt waren und durch das Projekt untersucht und teilweise gelöst werden konnten. Gerade in

der Analogtechnik existieren aber viele Technologien, die eine besondere Modellierung und Anpassung erfordern. Weitere Forschung und Entwicklung ist daher notwendig, um die Vielzahl der analogen Schaltungsarten zu erfassen.

### Das SAMS-Konsortium trifft sich mit Industriepartnern am 12.12.06

Das Forschungskonsortium von SAMS trifft sich mit den Industriepartnern am 12. Dezember 2006 in Frankfurt zur weiteren Planung der industriellen Verwertung der Projektergebnisse. Im Mittelpunkt steht, wie die gewonnenen Erkenntnisse unter industrieller Führung zu einer neuen Designmethodik führen können, die die Industrie prototypisch evaluieren kann. Im Anschluss an das Treffen findet die letzte Begutachtung des Projekts statt.

Eine Liste der Publikationen der Clusterforschungsprojekte FEST und SAMS befinden sich im edaAtlas ([www.edacentrum.de/edaatlas](http://www.edacentrum.de/edaatlas)) in der Rubrik „Projekt“ unter dem Stichwort „SAMS“ und „FEST“. Hier finden sich auch Informationen zu den Software-Prototypen.

Einige Publikationen können in einem geschützten Bereich von der Homepage der Projekte heruntergeladen werden. Die Seiten finden Sie unter [www.edacentrum.de/edaclusterforschung](http://www.edacentrum.de/edaclusterforschung)

## 2

## Neues aus dem edacentrum

### Publikationen

[www.edacentrum.de/pressespiegel/](http://www.edacentrum.de/pressespiegel/)

In der Zeitschrift „Elektronik Journal“ erschien in Heft 11 vom November 2006 ein EDA-Übersichtsartikel mit dem Titel „EDA: Von der Idee zum Bauplan – Ein Exkurs in die Welt des Chip-Entwurfs“. (Pp)

Kont@kt: Ralf Popp, fon: 0511 762-19697,

[popp@edacentrum.de](mailto:popp@edacentrum.de)

### Bericht zur Mitgliederversammlung 2006

[www.edacentrum.de/mitglieder\\_intern](http://www.edacentrum.de/mitglieder_intern)

Am 15. November 2006 führte das edacentrum e.V. seine jährliche Mitgliederversammlung in den von der DLR freundlicherweise zur Verfügung gestellten Räumlichkeiten mit diesmal 13 Teilnehmern in Berlin durch. Der Vorstand informierte ausführlich über die Aktivitäten des edacentrum e.V. in den Bereichen Öffentlichkeitsarbeit, Koordination von EDA-F&E-Projekten, Standardisierung und Clusterforschung ergänzt durch einen Bericht über die Finanzen, sowie über Neuigkeiten zur Entwicklung des Dienstleistungsangebots der edacentrum GmbH. Die Mitglieder bekamen darüber hinaus die Gelegenheit, den frisch zum 5-jährigen

Jubiläum gekürten edaWein05 zu probieren und sich eine Flasche mitzunehmen. Allen persönlichen Mitgliedern und den Vertretern der Mitgliedsfirmen, die nicht an der Versammlung teilnahmen, geht in diesen Tagen eine Flasche edaWein per Post zu. (Pp)

Kont@kt: Dr. Jürgen Haase, fon: 0511 762-19698,

[haase@edacentrum.de](mailto:haase@edacentrum.de)



### Ekompas-Projekte auf der University Booth, DATE 2007

[www.edacentrum.de/universitybooth](http://www.edacentrum.de/universitybooth)

Alle F&E-Projekte des Förderprogramms Ekompas haben ab 2007 die Möglichkeit, sich im Rahmen der University Booth auf der DATE zu präsentieren. Hierfür hat sich das edacentrum beim DATE Konsortium maßgeblich eingesetzt. Anmeldeschluss war der 19. Januar 2007. Sollten Sie daran interessiert sein, wenden Sie sich bitte baldmöglichst an [Cyril.luxey@unice.fr](mailto:Cyril.luxey@unice.fr). Um alle Demonstrationen der Ekompas-Projekte in einer Session zusammenfassen zu können, bitten wir Sie eine Kopie der Anmeldung an Frau Hansen (s. u.) zu senden. Ein Anmeldeformular und die

Das Protokoll und sämtliche Präsentationen der Mitgliederversammlung stehen auf den mitgliederinternen Webseiten des edacentrum zum Download bereit.

unter [www.edacentrum.de/newsletter/](http://www.edacentrum.de/newsletter/) finden Sie im Internet weitere Informationen.

### AIS-Projekt mit Logo zum Projektstart

Das dritte Clusterforschungsprojekt mit Namen „Autonome Integrierte Systeme“ (AIS) wurde zum 1.12.06 für drei Jahre bewilligt. Im Projekt wird die Verbesserung der Zuverlässigkeit und Sicherheit von Systemen erforscht. Ziel ist, den Entwurfsprozess um neue Eigenschaften und Verfahren in allen Abstraktionsstufen zu erweitern, die die Zuverlässigkeit und Sicherheit erhöhen. Zeitgleich mit dem Start des Projekts mit dem Förderkennzeichen 01M3083 wurde ein Projekt-Logo eingeführt, welches für Kenner des Morsecodes (<http://de.wikipedia.org/wiki/Morsecode>) sicher kein Rätsel ist (VS).



### FEST-Workshop nach zwei Jahren Projektlaufzeit

Das Projekt FEST hat seinen Workshop am 10. Oktober 2006 in Hannover mit großer positiver Resonanz durch-

geführt. Im zweiten Jahr des FEST-Projekts stand die Vernetzung der neu erforschten Methoden untereinander im Vordergrund. Die Themen der Vorträge können über die Webhomepage des FEST-Projekts abgerufen werden. Darüber hinaus wurde die Kooperation mit den Industriepartnern auch in vielen bilateralen Meetings verstärkt, um die Ergebnisse des Projekts mit der Industrie zu diskutieren.



Abbildung 1.05: Gruppenbild der Teilnehmer des FEST-Workshops in Hannover

**Kont@kt**  
**(EDA-Clusterforschung):**  
 Dr. Volker Schöber  
 fon: 0511 762-19688  
[schoeber@edacentrum.de](mailto:schoeber@edacentrum.de)

aktuellen Informationen zur University Booth finden Sie unter [www.edacentrum.de/universitybooth](http://www.edacentrum.de/universitybooth).

Für Ihre Demonstration stehen Ihnen Posterwand, Tisch und Stühle und eine Gelegenheit zur Auslage von Informationsmaterial (was von den Besuchern immer sehr gut angenommen wird) zur Verfügung. Außerdem haben Sie die Möglichkeit, Informationen zu Ihren Prototypen in den edaAtlas ([www.edaAtlas.de](http://www.edaAtlas.de)) einzupflegen. Ihre Vorführung wird zeitlich in das Programm der University Booth eingeplant, welches der „DATE-Tasche“ beigelegt wird. (CH)

**Kont@kt:** Dr. Cordula Hansen, fon: 0711-2807 336, [hansen@edacentrum.de](mailto:hansen@edacentrum.de)

### Rundbrief Standardisierung als Blog

[www.edacentrum.de/standardisierung/news/](http://www.edacentrum.de/standardisierung/news/)

Interessierte an EDA-Standards können künftig aktuell auf Neuigkeiten aus diesem Bereich über einen Blog zugreifen. Die Inhalte werden zeitnah zu Pressemitteilungen und dem Erscheinen von Newslettern eingestellt und sind im Gegensatz zum Rundbrief permanent abrufbar. Der bisher erschienene Rundbrief Standardisierung entfällt dafür.

Neu dabei ist, dass wöchentlich aktuelle, standardisierungsrelevante Neuigkeiten eingestellt und archiviert werden. Dabei existieren Suchmöglichkeiten über Volltext, Erscheinungsmonat und Kategorie (z. B. VSIA, SPIRIT, SI2). Wichtig dabei ist, dass künftig ein persönlicher Login für das Abrufen der Informationen benötigt wird. Anträge dafür senden Sie bitte an [standardisierung@edacentrum.de](mailto:standardisierung@edacentrum.de). (AV)

**Kont@kt:** Dr. Andreas Jörg, fon: 0511 762-19686, [voerg@edacentrum.de](mailto:voerg@edacentrum.de)

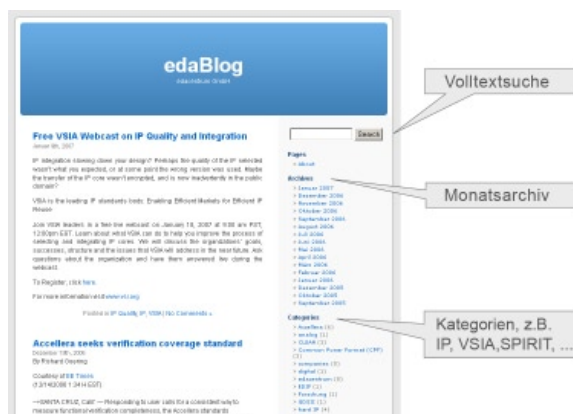


Abbildung 2.01: Screenshot des edaBlog zur Standardisierung

# Der edaWorkshop07 – Entstehung und Motivation

[www.edacentrum.de/edaworkshop](http://www.edacentrum.de/edaworkshop)



[www.edacentrum.de/edaworkshop](http://www.edacentrum.de/edaworkshop)

Hannover, 19.–20. Juni 2007



Aktuelle Informationen zum edaWorkshop finden Sie unter [www.edacentrum.de/edaWorkshop](http://www.edacentrum.de/edaWorkshop)

## Vom Ekompas-Workshop zum edaWorkshop

Der Entwurf von integrierten Schaltungen stellt höchste Anforderungen an Entwicklungsingenieure und an die von ihnen verwendeten Entwurfsmethoden und -werkzeuge. Große Herausforderungen bedeuten beispielsweise die Entwicklung von sicheren, sparsamen, robusten und zuverlässigen Systemen, sowie die effiziente Realisierung von Schaltkreisen mit sehr kleinen Strukturen (< 90 nm). Vergleichbar schwierig ist der Entwurf von Analog- und Mixed-Signal-Schaltungen und der Aufbau von Modulen mit Hilfe moderner Systemintegrationsverfahren, die einen optimierten herstellungsorientierten Entwurf erfordern.

Um Lösungsansätze für solche zentralen Herausforderungen auszutauschen, wurde im Jahr 2002

der „Ekompas-Workshop“ ins Leben gerufen. Die jährliche Frühjahrsveranstaltung diente seitdem der Ergebnispräsentation für EDA-Forschungsprojekte, die im Rahmen des Förderkomplexes „Ekompas\*“ vom Bundesministerium für Bildung und Forschung (BMBF) unterstützt werden. Als Veranstalter hat sich das edacentrum entschlossen, das seit vier Jahren erfolgreiche Veranstaltungskonzept auszubauen und in den „eda-Workshop“ einfließen zu lassen.

Eine wesentliche Neuerung des Konzeptes besteht in der Öffnung der Veranstaltung für die gesamte deutsche EDA-Gemeinschaft. Ein Programmkomitee mit führenden EDA-Experten aus Industrie und Forschung wird eine hohe Qualität der angenommenen Beiträge gewährleisten, die in einem Tagungsband veröffentli-

## Themenspektrum zum edaWorkshop07

Unter anderen sind Einreichungen zu folgenden Themen willkommen:

### System-Level- und Hardware-Software-Design für eingebettete Systeme

- Spezifikation und Modell-basierter Entwurf
- Architektur-Synthese und –Optimierung
- Fortschrittliche Architekturen (ASIPs, SoCs, MPSoCs, NoC, SiPs und rekonfigurierbare Architekturen)
- Transaction-Level Modellierung und Simulation
- Entwicklung und Optimierung Hardware-naher Software
- Analyse und Optimierung von Performanz und Leistungsverbrauch

- Entwurfsautomatisierung für Analog-Schaltungen
- Simulation und Verifikation
- HF-Schaltungen, Smart-Power-Schaltungen
- Modellgenerierung
- Parasitäre und Kopplungs-Effekte, Signalintegrität

### Analog- und Mixed-Signal-Entwurf

- Simulationsbeschleunigung
- Formale Verifikation
- Timing-Analyse
- Low-Power-Design, –Analyse und –Optimierung
- Logik-Synthese und Optimierung
- Rapid Prototyping

### Entwurf und Verifikation

### Test und Zuverlässigkeit

- Innovative Testmethoden
- System- und industrieller Test
- Design for Reliability, Design for Testability und BIST
- Testgenerierung, Diagnose und Fehlermodellierung
- Statistisches, physikalisches und Defektbasiertes Testen
- Test von regulären Strukturen

- Logik- und technologieabhängige Synthese für Deep-Submicron-Schaltungen
- Physikalischer Entwurf und Verifikation
- EMV und Packaging
- Design-Zentrierung und Ausbeuteoptimierung (DfM)
- Statistische Timing-Analyse und Variabilität

### Herstellungsgerechter Entwurf

Abbildung V.01: Themenspektrum des edaWorkshops



cht werden. Der Tagungsband wird als Eigendruck mit ISBN-Nummer erscheinen und zusätzlich eine CD mit den Beiträgen im PDF-Format enthalten. Poster-, Vortrags- und Demonstrator-Beiträge werden gleichberechtigt in den Tagungsband aufgenommen.

Die Veranstaltung wird vom edacentrum in Zusammenarbeit mit dem BMBF, der DLR und der GI/GMM/ITG-Kooperationsgemeinschaft „Rechnergestützter Schaltungs- und Systementwurf“ organisiert.

Wie der Ekompas-Workshop findet auch der edaWorkshop im Courtyard Marriott Hotel in Hannover statt, welches durch seine Lage direkt am Nordufer des Maschsees eine den Austausch stimulierende Atmosphäre schafft.

### Über den edaWorkshop

Der edaWorkshop als eine zentrale deutsche EDA-Veranstaltung bietet beste Voraussetzungen für die Publikation und Diskussion von anwendungsnahen EDA-Forschungsergebnissen. Die ausgewogene Präsenz von Industrie und Forschung schafft ideale Möglichkeiten, um einen fachlichen Austausch mit wissenschaftlichem Anspruch mit der Initiierung von Kooperationen zur Vorbereitung eines industriellen Nutzens zu verbinden.

Gleichzeitig ist der edaWorkshop auch die zentrale Veranstaltung zum Ergebnisaustausch für alle deutschen EDA-Förderprojekte. Er dient der Kommunikation zwischen EDA-Fachleuten und dem Fördergeber und unterstützt den Ergebnistransfer bei öffentlich geförderten Forschungs- und Entwicklungsprojekten.

Die zweitägige Veranstaltung hält die Balance zwischen Information und Kommunikation. Sie bietet nicht nur eine große Palette von Vorträgen zu Fachthemen und über EDA-Forschungsprojekte, sondern auch reichlich Gelegenheit zum Networking. Eine lange zugängliche, umfangreiche Posterausstellung, in der auch Demonstratoren und Prototypen vorgestellt werden, bietet hierzu ideale Rahmenbedingungen.

Darüber hinaus wird der erfolgreiche Kooperationsmarkt „Ideen suchen Anwender – Markt sucht Innovationen“ weiter ausgebaut und einen wichtigen Platz im edaWorkshop einnehmen.

Auf dem edaWorkshop in Hannover treffen Sie Ihre Kollegen und gute Bekannte, aber auch diejenigen, die Sie bisher nur über Telefon und E-Mail kennen. Darüber hinaus werden Sie auch die Gelegenheit haben, neue Kontakte zu knüpfen.

Der edaWorkshop will das Netzwerk und die fachlichen Kontakte im deutschsprachigen Raum fördern. Daher sind ausdrücklich auch der wissenschaftliche Nachwuchs und junge Entwicklungsingenieure aufgefordert, dieses Podium zu nutzen.

### Termine

- » 31. März 2007  
Benachrichtigung über die Annahme von Beiträgen
- » 25. April 2007  
Abgabe der druckfertigen Beiträge
- » 19.–20. Juni 2007  
edaWorkshop in Hannover, Courtyard Marriott Hotel am Maschsee

### Kont@kt und Information

Maren Sperber  
 edacentrum  
 Schneiderberg 32  
 30167 Hannover  
 fon: 0511 762-19699  
 fax: 0511 762-19695  
 E-Mail: info@edacentrum.de

## Tagungsleitung & Programmkomitee

### Programmkomitee

#### Vorsitz:

■ N. Wehn, Technische Universität Kaiserslautern

- J. Alt, Infineon Technologies AG ■ W. Anheier, Universität Bremen
- H.-J. Brand, AMD Saxony LLC & Co. KG ■ O. Bringmann, FZI Forschungszentrum Informatik
- W. Daehn, Fachhochschule Magdeburg-Stendal ■ M. Darianian, Nokia GmbH
- M. Dietrich, Fraunhofer Institut für Integrierte Schaltungen ■ R. Drechsler, Universität Bremen
- W. Ecker, Infineon Technologies AG ■ K. Eckl, Synopsys GmbH
- R. Ernst, Technische Universität Braunschweig ■ H. Evekling, Technische Universität Darmstadt
- W. Glauert, Universität Erlangen-Nürnberg ■ M. Glesner, Technische Universität Darmstadt
- H. Gräß, Technische Universität München ■ K. Hahn, Universität Siegen
- L. Hedrich, Universität Frankfurt ■ A. Herkersdorf, Technische Universität München
- S. Huss, Technische Universität Darmstadt ■ E. Jentzsch, Cadence Designs Systems GmbH
- J. Koehl, IBM Deutschland Entwicklung GmbH ■ W. Kunz, Technische Universität Kaiserslautern
- V. Meyer zu Bexten, Atmel Germany GmbH ■ R. Pferdmeiges, Infineon Technologies AG
- F. Rößler, Melexis GmbH ■ I. Rugen-Herzig, Infineon Technologies AG ■ S. Sattler, Infineon Technologies AG
- J. Schlöffel, NXP Semiconductors Germany ■ P. van Staa, Robert Bosch GmbH

■ J. Haase, edacentrum

- R. Popp, edacentrum ■ D. Treytnar, edacentrum ■ L. Wenzel, DLR
- P. Federer, GI ■ V. Schanz, ITG im VDE ■ R. Schnabel, VDE/VDI-GMM

### Organisationskomitee

### Tagungsleitung

- E. Barke, Universität Hannover, edacentrum
- W. Rosenstiel, Universität Tübingen, edacentrum

Abbildung V.02:  
 Tagungsleitung &  
 Programmkomitee des  
 edaWorkshops

## Heiße Tage in Berlin – Ein Bericht vom edaForum06 (Teil 1)

von Ralf Popp (Pp), Volker Schöber (VS), Dieter Treytnar (Tr) und Andreas Vörg (AV)

Am 16. und 17. November trafen sich Vertreter des höheren technischen Managements sowie EDA-Experten aus Industrie und Forschung in Berlin. Doch nicht nur der strahlende Sonnenschein und die fast sommerlich anmutenden Temperaturen sorgten für eine „heiße“ Veranstaltung. Den wesentlichen Anteil daran hatten die fesselnden Vorträge voller Innovationen, die die über 100 Teilnehmer zu einem regen Gedankenaustausch anregten. In insgesamt sechzehn eingeladenen Vorträgen, die auf zwei Keynotes und in vier Sessions verteilt waren, wurden verschiedene „EDA-Hot-Topics“ behandelt. In dieser Ausgabe des newsletter edacentrum berichten wir über die General Keynote und die technisch ausgerichteten Sessions.



**Abbildung V.03:** Aldo Romano, STMicroelectronics, bei seinem Keynote-Vortrag auf dem edaForum06

Das edaForum06 wurde mit der Keynote von Aldo Romano, Präsident und CEO bei STMicroelectronics, Italy eröffnet. Romano, zum ersten Mal überhaupt in Berlin, lobte zunächst das hervorragende Berliner Novemberwetter: Sonnenschein und knapp 20 Grad Celsius würden dazu führen, dass er zukünftig seinen Sommerurlaub im November in Berlin verbringen würde. In seinem Vortrag mit dem Titel „The Innovation Process in the Semiconductor Industry: The Example of STMicroelectronics“ stellte er die Entwicklung der Innovationsprozesse in seiner Firma vor – als Beispiel für eine erfolgreiche Reaktion auf die „verrückten Umsatzzyklen“ des Halbleitermarktes. Romano sieht das Wachstum dieses Marktes für die nächsten Jahre bei unter 10 %. Getrieben werde der Umsatz zukünftig allerdings wie in den letzten Jahren nicht mehr durch den Verbraucher oder durch die Telekommunikation, sondern durch „die SoC Revolution“. STM hat auf diese „Revolution“ reagiert, in dem die weltweiten Allianzen deutlich ausgebaut wurden. Nur durch strategische, globale Zusammenarbeit kann effizient auf Markttrends reagiert werden. Diese Allianzen bestehen mit Fertigungsfirmen, Forschungs- und Entwicklungseinrichtungen, Zulieferern, aber auch mit Kunden. Denn

gerade die Zusammenarbeit mit Kunden und deren System-Know-how hilft Firmen wie STM, effizient Entwicklungen voranzutreiben und zu fertigen. „Learning from the World“ heißt sein Slogan, der beschreibt, wie STM von den weltweiten Standorten profitiert. Durch Integration von IP-Modulen unterschiedlichster Art und von unterschiedlichsten weltweiten Standorten werde erst ein komplexes System ermöglicht. Abschließend sagte Romano, die drei wichtigsten Säulen für einen erfolgreichen Stand im globalen Wettbewerb seien Sensitivität (Identifikation neuer Möglichkeiten, innovative Technologien), Mobilisierung (Integration von neuen Produkten und Services) sowie Zusammenarbeit (Optimierung bzgl. Effizienz, Flexibilität und finanzieller Disziplin).

### Erste technische Session: „Nothing Else Matters – Reliable Systems Don’t Come for Free“

Die erste der beiden technischen Sessions trug den Titel „Nothing Else Matters – Reliable Systems Don’t Come for Free“. Anhand von drei sehr unterschiedlichen Beispielen aus den Bereichen Automotive (Session-Keynote: „Automotive Electronics – High Performance Reliability at Attractive Price“ von Stefan Lottholz, Bosch), Technologie („VLSI Reliability Aspects from a Transistor’s Perspective“ von Georg Georgakos, Infineon) und Computing („RAS Design Overview of the ‚IBM System z‘“ von Michael Müller, IBM) stellten die drei Vortragenden die für ihre Bereiche besonderen Anforderungen und Maßnahmen zur Einhaltung der Systemzuverlässigkeit dar. Der Session-Titel war dabei Programm, denn alle Vorträge stellten anschaulich dar, dass es sehr aufwändig ist, Anforderungen an die Zuverlässigkeit einzuhalten. Das Interesse an der Thematik zeigten die regen Diskussionen am Ende jedes Vortrages. Einig waren sich alle Referenten darin, dass über die Verlässlichkeit der Systeme bereits während des Entwurfs entschieden wird. Unterschiedlich waren die Applikationen und die zu beachtenden Beschränkungen.



**Abbildung E.04:** Stefan Lottholz, Robert Bosch GmbH, bei seinem Vortrag auf dem edaForum06

Weitere Informationen zum edaForum sowie eine Bildergalerie der Veranstaltung befinden sich unter [www.edacentrum.de/edaforum/](http://www.edacentrum.de/edaforum/).

So betonte Lottholz, der Bereich Automotive stehe unter enormen Kostendruck bei gleichzeitig niedriger Akzeptanz für fehlerhafte Chips (weniger als 3 parts per million (ppm)). Nach den Aussagen von Georgakos und Müller steht dies in deutlichem Gegensatz zum Computing-Bereich; hier seien die Kosten im Vergleich zur Zuverlässigkeit und Verfügbarkeit wie z. B. bei ‚System z‘ von IBM eher zweitrangig.



**Abbildung E.05:** Georg Georgakos, Infineon Technologies AG, bei seinem Vortrag auf dem edaForum06

Georgakos verglich in seinem Vortrag verschiedene Möglichkeiten zur Erhöhung der Systemzuverlässigkeit. Demnach ließe sich die Zuverlässigkeit mit zunehmendem Abstraktionsgrad und wachsendem Aufwand bis zur Architekturebene um mehr als das 1000fache steigern. Aufwand und erreichbare Zuverlässigkeit müssten also gegeneinander abgewogen werden, um over-engineering bei der Chipentwicklung zu vermeiden.



**Abbildung E.06:** Michael Müller, IBM, bei seinem Vortrag auf dem edaForum06

Müller zog das gleiche Fazit und stellte anhand zahlreicher Beispiele die Gewährleistung zuverlässiger Rechenergebnisse durch Maßnahmen auf Systemarchitekturebene dar. Trotz oder gerade wegen der unterschiedlichen Anwendungsbereiche, in denen die Vortragenden tätig sind, war ihre Übereinstimmung in den grundlegenden Konzepten und die Einschätzung des hohen und bisher noch ungenutzten Potentials zur Steigerung der Zuverlässigkeit, für die Zuhörer äußerst interessant.

### **Zweite technische Session: „The Show Must Go On – New Technologies beyond CMOS“**

In der zweiten technischen Session zum Thema „The Show Must Go On – New Technologies beyond CMOS“ ging es um die Herausforderungen der neuen

Technologien. Dazu präsentierte einleitend Paolo Lugli in der visionären Session-Keynote unter dem Titel „Recent Advances in Nanoelectronics“ die technischen Möglichkeiten und Eigenschaften von neuen Materialien und Technologien, die die CMOS-Technik ablösen oder ergänzen könnten.



**Abbildung E.07:** Paolo Lugli, Universität München, bei seinem Vortrag auf dem edaForum06

Er zeigte auf eindrucksvolle Weise, wie man Eigenschaften von Molekülen als Alternative zur klassischen CMOS-Technik einsetzen kann, um Schaltverhalten und Signalübertragung zu ermöglichen. Neben der evolutionären Forschung und Entwicklung der CMOS-Technik wurden in seinen Beispielen viele revolutionäre Ansätze dargestellt. Während die Nanotechnologie in der CMOS-Schaltungstechnik noch keinen Durchbruch erzielt hat, ist sie in anderen Bereichen schon fast eine Selbstverständlichkeit. Er erinnerte an Produkte wie Sonnenöl und atmungsaktive, aber wasserfeste Stoffe. Ohne Nanoeffekte wären diese Produkte nicht möglich. Die Bandbreite der im Vortrag vorgestellten Technologien war sehr vielfältig, wie beispielsweise Feldeffekttransistoren und Transporteigenschaften in Nanotubes, intramodulare CNT-CMOS-Inverter sowie organische Molekularstrukturen. Organische Moleküle besitzen dabei eine Größe von 100 bis 1000 Atomen. Die Frage, ob ein Molekül leiten kann, beantwortete Lugli deutlich mit ja. Er erinnerte aber auch an den großen Hype in der Molekularforschung. Der große Erfolgsdruck führte dazu, dass einige Wissenschaftler dazu verleitet wurden, ihre Ergebnisse zu manipulieren, was einen Forschungszusammenbruch und einen Neuanfang zur Folge hatte. Auch berichtete Lugli über den möglichen Einsatz bei Sensoren und Aktoren in der Schaltungstechnik. Die Forschung bestehe dabei darin, in einem Bottom-up-Ansatz eine Brücke zu komplexeren Systemen zu schaffen, wobei man von einzelnen Eigenschaften in isolierten Modulen ausgehe. Die Zuverlässigkeit dieser Systeme werde dabei durch Redundanz erreicht, welche noch lasse sich in vielen Nano-Forschungsbereichen nicht erkennen, wann und in welcher Applikation sie genutzt werden können. Durch andere Produktionsbedingungen seien aber schon jetzt Bereiche sichtbar, in denen sich Kosten drastisch reduzieren ließen. Als Beispiel nannte er die Nutzung von Molekülen für RFIDs als Barcodeersatz.



**Abbildung E.08:** Johannes Windeln, IBM, bei seinem Vortrag auf dem edaForum06

Johannes Windeln referierte in seinem Vortrag „Key Enabler for Future Technologies“ über die Realität und Vision, wie IBM mit innovativen Produkten langfristig auf dem Markt erfolgreich sein möchte. Die Komplexität und Vielfältigkeit der Technologien und Anwendungen sei mittlerweile so groß, dass selbst eine große Firma wie IBM nicht alle Kompetenzen „im Haus“ haben könne. Vielmehr seien Anstöße und Ideen von außen nötig. Die Frage, die sich die Industrie stellen müsse, sei: „Hat meine Firma die richtigen Geschäftsprozesse, um diese Situation und den Arbeitsprozess zu unterstützen?“ Diese Geschäftsprozesse müssen externe Partner mit einbeziehen, um erfolgreich zu sein. Problem an der Einbeziehung externer Kompetenz sei, so Windeln, dass man einerseits kooperieren (cooperation) möchte, andererseits aber im Wettbewerb (competition) stehe. Für diese Dualität formte er den Begriff „coopetition“. Als Beispiel nannte er die Einführung der SOI-Technik (Silicon On Insulator) bei IBM. Die Erfolgstory wurde mit dem Partner SOITEC erst möglich, da dieser die entscheidenden Impulse gab und Technologie zur Verfügung stellte. Als weiteres Beispiel nannte er den C4NP-Prozess zur Herstellung von Chipkontakten, durch dessen Einführung Umwelteinflüsse reduziert und gleichzeitig eine Kostensenkung erreicht werden konnte. Im weiteren Verlauf des Vortrags stellte Windeln eine Studie vor, in der die Erwartungshaltung von Geschäftsführern analysiert wurde, ob innovative Produkte eher „in-house“ oder durch einen Anstoß von außen entstehen. Ergebnis war, dass die Geschäftsleitung der eigenen Entwicklungsabteilung, aber auch der universitären Forschung einen eher untergeordneten Einfluss auf Innovationen zuschrieb. Insbesondere die niedrige Erwartungshaltung bezüglich der Innovationskraft der Universitäten regte eine lebhafte Diskussion im Auditorium zum Ende des Vortrags an.



**Abbildung E.09:** Henning Riechert, Qimonda AG, bei seinem Vortrag auf dem edaForum06

Henning Riechert von Qimonda erläuterte seine Sicht zur Skalierung von Transistoren in seinem Vortrag „Scaling CMOS Down to the Nanometer Range“. Er stellte einen Paradigmenwechsel fest, durch den zukünftig mehr so genannte „Bottom-up“-Techniken zur Verbesserung und Skalierung von Transistorgrößen eingesetzt würden. Als Beispiel nannte er hier MOSFETs, die auf „Nanowires“ basieren. Weitere Herausforderungen seien das Identifizieren von neuen Materialien, um Skalierungsproblemen entgegen zu wirken. Hier nannte er Beispiele wie die Erhöhung der Kanal-Mobilität durch gestrecktes Silizium, oder die Reduktion von Leckströmen durch hochdotiertes Siliziumoxid. Neben dem Einsatz von neuen Materialien, präsentierte er auch den Einsatz von Techniken zu Modellierung von vertikalen Transistoren. Die dritte Dimension auf dem Chip werde erst in Anfängen genutzt und biete weitere Chancen bei der Skalierung neuer Technologien. Er verdeutlichte dabei die Probleme, die sich durch Skalierung zu kleineren Strukturgrößen ergeben und erklärte, welche Maßnahmen sich eignen, diese Probleme zu lösen. Hierbei sei sein vorgestellter Bottom-up-Ansatz hilfreich. Auf der Basis von Experimenten auf physikalischer Ebene würden neue Transistoren erprobt, die in einer zukünftigen Technologie eingesetzt werden könnten. Neben diesen evolutionären Ansätzen präsentierte Riechert einen Einblick in die Forschung bei Qimonda mit Nanowires. Er stellte dabei Ergebnisse vor, wie Qimonda zusammen mit Partnern Transistoren aus Nanowires im Labor hergestellt und analysiert habe. Der anfänglichen Meinung von Riechert, dass sein Vortrag eine sehr konservative Sicht der Entwicklung der CMOS-Technologie sein würde, wurde in der anschließenden Diskussion über seine visionären Ansätze heftig widersprochen.



**Abbildung E.10:** Wolfgang Porod, University of Notre-Dame, USA, bei seinem Vortrag auf dem edaForum06

Wolfgang Porod erläuterte seine Sicht auf Schaltungsarchitekturen die Nanostrukturen einsetzen in seinem Vortrag „Circuit Architectures for Nanoscale Electronics“. Zu Beginn stellte er eine Klassifizierung kommender Technologien vor, die er für den Vortrag als Gliederung nutzte. Er zeigte Forschungsergebnisse auf Architekturebene, Logikebene, Speicherebene und physikalischer Ebene und deutete deren gegenseitige Beeinflussung an. Als Beispiele auf der Logikebene

Weiterführender Link zu „EU MEL-ARI Technology Roadmap for Nanoelectronics“: <ftp://ftp.cordis.europa.eu/pub/esprit/docs/melnarm.pdf>



präsentierte er die Resonanz-Tunnel-Diode (RTD), den Single-Electron-Transistor (SET) und den Quantum-Dot-Cellular-Automata (QCA). Dazu führte er Beispiele aus der Implementierung an, mit denen er die herausragenden Eigenschaften für die Schaltungstechnik darstellte. Mit Implementierungsszenarien beim QCA präsentierte er neue Schaltungs- und Architekturlösungen, bei denen große Schaltungssysteme mit Millionen von kleinen Prozesselementen möglich seien. Bei kommenden neuen Architekturen konzentrierte sich Prorod auf die Darstellung von zellularen Netzwerken auf einem Chip. Als Vergleich stellte er einen IBM

Supercomputer (65536 Power PC Prozessoren) mit einer Leistung von 12 TerraFLOPS und einen analog/digital CNN Supercomputer (128x128 Prozessoren mit optischem Eingang) mit einer Leistung von 12 TerraOPs vor. Während der erste Supercomputer 491 KW Leistung verbrauche, begnüge sich der zweite Supercomputer auf einem Chip mit einem Leistungsverbrauch von lediglich 4,5 W. Einen weiteren Schwerpunkt des Vortrags von Porod stellten die Nutzungsmöglichkeiten von nanoskalierten Antennen als Detektoren für Infrarotlicht dar. Diese Eigenschaften könnten genutzt werden, um eine künstliche Retina zu konstruieren.

**Verleihung des EDA Achievement Awards 2006 auf dem edaForum06**

Auf dem fünften edaForum am 16.11.06 hat das edacentrum e.V. den jährlich zu vergebenden EDA Achievement Award verliehen. Ausgezeichnet wurde Herr Dipl.-Ing. Reimund Wittmann von der Nokia GmbH für seine Beiträge zur Automatisierung eines durchgängigen Entwurfs von analogen und insbesondere HF-Schaltungen im Rahmen des Projektes DETAILS, das im Rahmen des Förderkomplexes „Entwurfplattformen für komplexe angewandte Systeme und Schaltungen der Mikroelektronik“ (Ekompas) vom BMBF gefördert wird.

Durch eine neue parametrisier- und wiederverwendbare Beschreibungssprache wird ein durchgängiger Entwurf von der Schaltungseingabe über die Simulation bis hin zum Layout möglich. Das edacentrum würdigt damit die herausragenden Leistungen, die entscheidend dazu beitragen, den

Entwurf von Analog- und speziell von HF-Schaltungen besser zu automatisieren.

Der EDA Achievement Award wird für besondere Forschungs- oder Entwicklungsleistungen im Bereich EDA (Electronic Design Automation) verliehen und ist mit 2000,- Euro dotiert. Damit sollen Leistungen hervorgehoben und prämiert werden, die in Projekten des Förderschwerpunktes Ekompas (Entwurfplattformen komplexer angewandter Systeme und Schaltungen) erbracht worden sind.

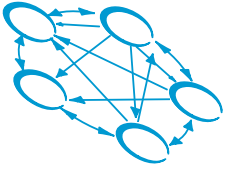
Preiswürdig waren Arbeiten von Einzelpersonen oder Teams, die zur Erreichung der Ekompas-Ziele besonders beigetragen haben. Dabei sind insbesondere solche Beiträge berücksichtigt worden, die eine mess- und damit nachweisbare Verbesserung bzw. Beschleunigung des Entwurfsprozesses und damit einen industriellen Nutzen bewirkt haben. (Tr)



**Abbildung V.11:**  
 Der Vorstand des edacentrum e.V. bei der Verleihung des EDA Achievement Award. V.l.n.r.: Prof. Dr. Erich Barke, Dipl.-Ing. Reimund Wittmann, Dr. Jürgen Haase und Prof. Dr. Wolfgang Rosenstiel



**Kont@kt:**  
 Ralf Popp  
 fon: 0511 76 21 96 97,  
 popp@edacentrum.de



## Fach- und Kooperationsworkshops am edacentrum

Ein Resümee über die Fach- & Kooperationsworkshops „SystemC & Modellierung“, „Matlab & Performanzanalyse“, „Modellierung & Simulation unter Berücksichtigung von Prozessschwankungen“, „System Planning“

Seit nunmehr vier Jahren veranstaltet das edacentrum für die Verbundprojekte des Ekompas-Förderprogramms Fach- und Kooperationsworkshops. Die Themen werden jeweils zusammen mit den Projekten nach Aktualität und Interesse festgelegt. Im Laufe dieser vier Jahre hat sich die Form der Workshops immer mehr verändert – zum Teil auf Grund des Feedbacks der Teilnehmer, zum Teil aus Lust am Experimentieren. Wir meinen, es war zum Vorteil, und auch die Resonanz der Teilnehmer bestärkt uns, diesen Weg weiterhin so zu beschreiten.

### Der Anfang

Kooperation ist ein Pflichtthema!? Es ist gut, zusammen zu arbeiten, das wissen wir theoretisch alle, aber in der Praxis wird der dazu notwendige Aufwand eher gescheut. Reisekosten, Ressourcenausfall und was genau ist das Ergebnis? Ungewiss. Und doch sieht man es überall, ob in Projekten, Firmen, Abteilungen oder bei Kollegen, die sich gegenüber sitzen: Es wird eine Menge doppelt erdacht, doppelt entwickelt, doppelt erstellt. Kooperation scheint doch mehr als ein Pflichtthema zu sein.

Die Möglichkeiten der Kooperation besser zu nutzen, war das Ziel, mit dem 2003 der erste Fach- und Kooperationsworkshop zum Thema „SystemC & Modellierung“ veranstaltet wurde – in Hannover, in einem Hörsaal, mit vielen Vorträgen und einigen Diskussionsbeiträgen. Die Rückmeldung war positiv. Solche Veranstaltungen sind wichtig. Doch wir waren nicht zufrieden. Es war so ruhig zwischen den vielen Vorträgen und die Teilnehmer verloren sich im Hörsaal. Und was war das Ergebnis? Ungewiss.

### Der nächste Versuch

Der nächste Workshop fand ein Jahr später zum Thema „Matlab & Performanzanalyse“ statt – dieses Mal in Dresden und in einem Seminarraum. Die Vortragszeit wurde gekürzt, die Vorträge zu Blöcken zusammengefasst und dazwischen viel Zeit für Diskussionen eingeplant. Es wurde sogar soviel Zeit eingeplant, dass die Moderatorin sich fragte, ob Ingenieure so viele Worte pro Tag zur Verfügung haben. Sie haben! Und dass angeregt und konstruktiv diskutiert wurde, bestätigte auch die abschließende Äußerung von Herrn Dr. Schwarz, der damals die Räumlichkeiten zur Verfügung stellte: „Am Anfang hatte ich meine Zweifel, ob ein Kooperationsworkshop wirklich eine gute Idee ist. Aber die hier stattgefundenen Diskussionen haben Ihnen (Anm. d. Red.: dem edacentrum) mit dieser Veranstaltung recht gegeben.“ Wir waren auf dem rich-

tigen Weg, aber immer noch nicht zufrieden. Zu Recht merkten einige der Teilnehmer an, eine U-Form wäre für Diskussionen angenehmer. Und was war das Ergebnis? Ein anregender Workshop. Aber sonst? Ungewiss.

### Also in U-Form ...

2005 fand der dritte Workshop zum Thema „Modellierung & Simulation unter Berücksichtigung von Prozessschwankungen“ statt – dieses Mal wieder in Hannover. Seminarräume hatten sich bewährt, direkte Sicht auf alle Teilnehmer war durch die neue Sitzordnung gewährleistet. Die Teilnehmerzahl übertraf bei weitem unsere Erwartungen. Die Diskussionen erfolgten – entgegen der ursprünglichen Planung – dieses Mal wieder direkt im Anschluss an die einzelnen Vorträge. Für diese spontanen und auch kontroversen Diskussionen trugen sicherlich auch die Experten bei, die von außerhalb der Ekompas-Projekte auf Wunsch der Teilnehmer eingeladen wurden. Am Ende wurden mit Hilfe eines FlipCharts mögliche Anknüpfungspunkte festgehalten. Ein Teilnehmer kommentierte dieses Vorgehen mit: „Meine Mutter meinte auch immer, das sei zu unserem Besten.“ Das war für uns das Zeichen, dass wir genug Anknüpfungspunkte gefunden hatten. Ergebnis? Eine rege DETAILS-SAMS-Kooperation, ein von Nokia veranstalteter Kooperationsworkshop unter Moderation des edacentrum noch im selben Jahr zum Thema Verbindungsstrukturen und die Öffnung der Workshops auch für Experten, die nicht direkt in die Ekompas-Förderprogramme eingebunden sind.

### Und dann noch Arbeitsgruppen...

Die Workshops schienen gut anzukommen und dem anvisierten Ziel gerecht zu werden. Die 2005er Workshops waren, nach den Ergebnissen zu urteilen, ein voller Erfolg. Wie sollte es nun weitergehen? Wie konnte an diesen Erfolg angeknüpft werden? Wie in jeder Vorbereitungsphase stellten sich die Fragen: Ist das Thema wirklich das Thema, das den Projekten auf den Nägeln brennt? Werden die passenden Vorträge eingereicht? Regt das Programm zur Diskussion an?

2006 war das Thema „System Planning“ und – wir wollten wieder etwas Neues ausprobieren. Denn einen Erfolg kann man nur mit Unerwartetem toppen. Wir besannen uns auf das Wort Workshop. Ein Workshop ist ja wörtlich genommen ein Laden, in dem man gegen Bezahlung Arbeit einkaufen kann. Die Bezahlung war durch die Workshopgebühr bereits gesichert, es stellte sich daher die Frage, welche Arbeit man den Teilnehmenden – abgesehen natürlich von der Vorbereitung der Vorträge – „im Shop“ anbieten könnte. Wir versorgten

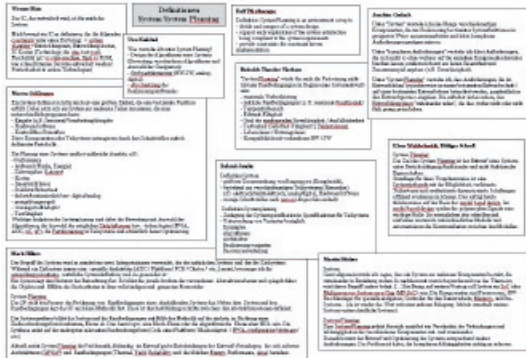


Abbildung V.12: Eine Vielzahl von Aspekten zu System Definitionen wurden im Vorfeld zusammengetragen.

die Teilnehmer zunächst mit Vorarbeiten: Was ist für Sie ein System? Und was ist für Sie Systemplanung? Diese beiden Fragen wurden den Teilnehmern im Vorfeld gestellt und dass das Angebot ankam, konnte man an den Ergebnissen ablesen (Abbildung V.12).

Mit diesen Ergebnissen wurde dann im Workshop weitergearbeitet. Eingeteilt in vier Arbeitsgruppen war die Aufgabe, sich mit den Definitionen auseinanderzusetzen und zu einem gemeinsamen Ergebnis zu kommen. Vielleicht sprach es für die Schwierigkeit der Aufgabe, die zudem in sehr kurzer Zeit zu bewältigen war, dass sich eine Gruppe gleich zu Beginn aufspaltete. Mit den aufgeworfenen Diskussionen und Fragestellungen, die die Gruppen später als Ergebnis präsentierten, hätte man im Anschluss eigentlich direkt fortfahren können.

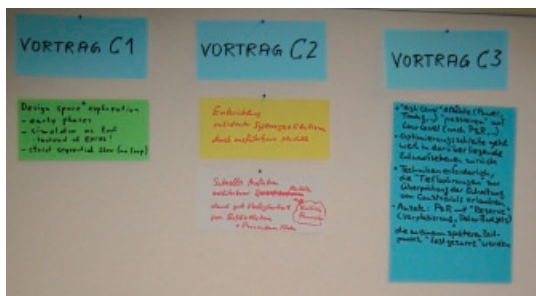


Abbildung V.13: Moderationskarten mit den protokollierten Kernaussagen der Vorträge.

Doch auch die Vorträge ließen nichts von der Spannweite vermissen, die zuvor in den Arbeitsgruppen angerissen wurde. Angefangen von Systemplanung im analogen Bereich über deren Berücksichtigung bei der Modellierung und Optimierung bis hin zur Systemplanung bei Ansätzen für autonome integrierte Systeme wurden unterschiedlichste Aspekte aufgezeigt. Um die Inhalte der Vorträge gut zusammenzufassen und weitere Diskussionen und Fragestellungen zu initiieren, wurde zu Beginn der Vorträge eine neue Regel aufgestellt: Vortragende und deren rechte Nachbarn bildeten ein Team. Der Vortragende war dafür verantwortlich, dass seine Kernaussagen bei seinem Nachbar ankamen und der Nachbar war dafür verantwortlich, zuzuhören, die Kern-

aussagen zu formulieren und später auf einer Moderationskarte festzuhalten (Abbildung V.13). Und damit bei der zum Teil dynamischen Sitzordnung niemand zu viel beansprucht wurde, wurde schon einmal auf den linken Nachbar zurückgegriffen. Von den Teilnehmern wurde die neue Regel gelassen aufgenommen und eine später darüber informierte Managementtrainerin nahm diese sogar in ihren Handwerkszeugkasten mit auf. Falls Sie also einmal in einem Managementtraining auf diese Regel stoßen, wissen Sie, wer sie verbrochen hat.

Die Rückmeldungen der Teilnehmer am Ende des Workshops waren durchweg positiv. Vor allem die Diskussionen in den Arbeitsgruppen sollten auf zukünftigen Workshops beibehalten werden. Ein Teilnehmer vermeldete, dass er die Moderationskarten bei Besprechungen mit seinen Designern einführen sollte. Vermutlich würden diese ihm die Karten an den Kopf werfen. Aber genau davon ist unsere Moderatorin zu Beginn eigentlich auch ausgegangen. Vielleicht ist es ein Versuch wert?! Zur Abrundung des Workshops wurde neben den Workshopunterlagen noch ein visuelles Protokoll erstellt und den Teilnehmern zugesendet.



Ein visuelles Protokoll war Bestandteil des Fach- & Kooperationsworkshops „System Planning“

Wir versprechen aber, dass wir hier keine weitere Arbeit verkaufen und das Protokoll nicht abfragen. Und das Ergebnis? Es war ein rundum gelungener Workshop, das Konzept Arbeit zu verkaufen ging auf und was die langfristigen Ergebnisse angeht, werden wir das in einem Jahr sehen. Aber – und Sie werden es sich vermutlich schon gedacht haben – wir sind immer noch nicht zufrieden. Der nächste Workshop wird wieder spannend, versprochen.

**Dank an die Workshop-Teilnehmer!**

Ohne ihr Mitwirken, ihr Feedback, ihre Diskussionsbereitschaft und ohne ihre Flexibilität, sich auch auf Moderationskarten, Gruppenarbeit und „Photosessions“ (Abbildung V.14) einzulassen, wären die Workshops in dieser Form nicht möglich gewesen. Wir möchten Ihnen dafür danken und hoffen, dass wir noch viele konstruktive und kontroverse Diskussionen mit Ihnen erleben. Der nächste Workshop zum Thema „Technologie“ ist in Vorbereitung und auch ein Kooperationsworkshop zum Thema „Verifikation“ wurde bereits angedacht. Bei Interesse wenden Sie sich bitte an Frau Cordula Hansen.



Abbildung V.14: Die Teilnehmer des Fach- & Kooperationsworkshops „System-Planning“ in Hannover auf der Fußgängerbrücke zur Mensa.

**Kont@kt und Autorin:**  
 Dr. Cordula Hansen  
 fon: 0711 2807 956  
 hansen@edacentrum.de



## Alex & Bill – Die Unlust der quantifizierten Ziele

Eine neue unerwartete Hürde bei der Projektbeantragung

### An einem Vormittag im Büro

Alex hatte, den Kopf auf die Hände gelegt, seine Ellenbogen auf den Schreibtisch gestützt und konnte es nicht fassen. Ein wunderbarer Text im Newsletter mit der besten politischen Argumentation, die man sich – okay, die Bill sich – nur ausdenken konnte, eine phantastische Projektskizze und jetzt das: eine Forderung nach 15 % Kürzung des Projektaufwands bei der Vorhabenbeschreibung! Seine Projektpartner würden begeistert sein. Vor allem Wayne. Das Gespräch mit ihm konnte er sich bereits jetzt gut vorstellen. Der würde sich lässig zurücklehnen, ihn anlächeln und sagen: „Kürzen? Kein Problem! Dann kürzen wir aber richtig auf ein Personengjahr und ziehen uns vom Rest zurück.“ Seltsam, dass Wayne dabei keinen Revolver hin- und herschwenken würde. Und dann durfte Alex sich mit den anderen Projektpartnern rumschlagen, wie sie die Kürzungen aufteilen, welche Beiträge raus fielen, ob die Aufgaben noch zusammenpassten, ob die Arbeitspakete noch ausbalanciert waren und, und, und ... Von den ausführlichen Beschreibungen ganz abgesehen. Und immer dieses 'Rumgehacke auf der Kooperation. Grrr!

Alex hörte, wie sich seine Bürotür öffnete und drehte sich um. Gracia Torner trat ein, ließ ein paar Unterlagen auf das kreative Chaos auf Alex Schreibtisch fallen und sah ihn an. „Wir versuchen, mit 10 % durchzukommen und bauen die Anwendung noch etwas aus. 10 % klingt zweistellig.“

Alex runzelte die Stirn: „Na, Sie müssen es ja wissen. Und wenn wir mit der Vorhabenbeschreibung durchfallen?“

„Dann haben wir Pech gehabt.“

„Ihre Zeit möchte ich haben.“

Gracia Torner lächelte ihn an und ließ ihren Blick über seinen Schreibtisch schweifen: „Ja, es ist prima, wenn man gut durchorganisiert ist.“

Alex schluckte eine nette Erwiderung runter und drehte sich grummelnd wieder seinem Schreibtisch zu. Diese Frau war zum Haare raufen. Was hatte Bill sich dabei nur gedacht. Er musste an seine letzte Auseinandersetzung mit ihr denken, als er sich so darüber aufgeregt hatte, dass er das Projekt von jeder nur denkbaren Sicht aus beschreiben sollte. Er konnte sich nur wiederholen: Die sollten doch einfach das Geld überweisen und ihn forschen lassen! Während er sich so richtig schön in Wut geredet hatte, hatte Gracia Torner einen Überweisungsvordruck ausgefüllt.

„Wozu ist der denn?“, hatte er erstaunt inne gehalten.

„Ich dachte, Sie könnten etwas stiften für einen guten Zweck.“

„Ich? Für was für einen guten Zweck?“

„Das ist doch egal“, hatte sie geantwortet und ihm die Überweisung hingehalten. Auf dem Vordruck stand tatsächlich als Empfänger „Für irgendeinen guten Zweck“. Er brauchte unbedingt eine Fortbildung in Strategie und Kaltschnäuzigkeit.

### Irgendwann am späten Nachmittag

Alex legte den Hörer auf und runzelte die Stirn. Kurzfristige Besprechung bei Bill. Das hörte sich gar nicht gut an. Er sah auf die Uhr. Schon fast sieben. Wenn Bill um diese Zeit zu einer Besprechung rief, bedeutete das, dass Bill auf seinen heiß geliebten Espresso in seiner Bar verzichtete. Wirklich kein gutes Zeichen. Zum Essen nach Hause würde Alex es auch nicht mehr schaffen. Er nahm den Hörer wieder in die Hand und rief zu Hause an. Keiner da. Na prima, Ines würde ihm später wieder die Hölle heiß machen. War jetzt auch nicht mehr zu ändern. Als er auf den Flur trat, kam ihm Linus entgegen. „Wieder auf dem Weg zu einem Kaffee?“, fragte Alex.

„Nein, Bill hat gerade angerufen. Ich soll noch bei ihm vorbeikommen“, antwortete Linus.

„Dann können wir zusammen gehen. Ich bin auch eingeladen.“

Eine Weile gingen sie schweigend nebeneinander her, dann hielt es Alex nicht mehr aus. „Und, wie sieht es mit eurer Projektskizze aus? Unsere Skizze ist durch.“ Dabei musste Alex sich leicht zur Seite drehen, damit Linus sein Lächeln nicht zu deutlich sah. Er hatte gewisse Gerüchte gehört, die den Gewinn ihrer Wette in greifbare Nähe rückten. Die Karten für das Fußballspiel waren ihm so gut wie sicher.

Linus lächelte Alex breit an: „Kein Problem. Wir müssen noch ein paar Änderungen machen. Aber sonst alles Paletti. Wir schaukeln das Kind schon.“

Alex nickte zustimmend: „Ja, das werdet ihr bestimmt.“ Wenn Linus breit lächelte, hatte sich das Kind meistens bereits zu weit über den Brunnenrand gelehnt.

Als sie in Bill Rogners Büro ankamen, saß dieser bereits mit Gracia Torner am Besprechungstisch. Bill winkte sie heran: „Setzt euch. Ich habe Neuigkeiten über eure Anträge.“



„Wohl nichts Gutes, wenn Du uns zu der Stunde noch zusammenrufst“, ließ Alex einfließen, als sie sich auf die Stühle niederließen.

„Nun, wie man es nimmt. Zurzeit stehen ausreichend Fördermittel zur Verfügung, so dass es sinnvoll ist, sich mit der Einreichung zu beeilen. Wir müssen den nächsten Einreichungstermin nutzen.“

Das hatte Alex bereits befürchtet und bei Linus sah es so aus, als wenn er eine saure Kirsche gegessen hätte. Wie sollte er Ines das nur beibringen. Die nächsten Einreichungstermine lagen in seinem geplanten Urlaub. Vielleicht wenn er Gracia...? Alex warf einen Blick zu ihr rüber und grinste, als er den Kopf wieder abwandte. Ja, er musste eindeutig mehr das Delegieren üben.

„Linus“, fuhr Bill fort, „mit Deiner Skizze sieht es ziemlich schlecht aus. Die eigentlichen Arbeitsinhalte sind anscheinend nicht verstanden worden. Hier müssen wir unbedingt nacharbeiten. Alex und Gracia werden Dich dabei unterstützen.“ Bill sah alle drei an. „Das ist wohl kein Problem oder?“

Gracia schüttelte den Kopf. Alex seufzte leise. Na prima, da musste er aber eine Menge delegieren. Er blickte Linus an. Galt das bereits als Gewinn seiner Wette?

Linus schüttelte den Kopf: „Das ist nicht notwendig. Die Änderungen kriege ich hin.“

Bill sah Linus bestimmt an. „Kann schon sein, aber ich will da kein Risiko eingehen. Die Projekte sind gut und wir brauchen sie dringend, um unsere Forschung voranzutreiben. Und wenn wir uns jetzt beeilen müssen, dann beeilen wir uns auf hohem Niveau. Alex, Eure nächste Aufgabe ist die Vorhabenbeschreibung. Über die Kürzung reden wir noch. Ihr müsst vor allem unbedingt quantifizierte Ziele bringen. Das wurde stark kritisiert. Es ist nicht einfach, aber Du und Frau Torner, ihr seid ein gutes Team. Ihr habt bestimmt ein paar Ideen auf Lager.“

„Wir haben die Ziele doch quantifiziert!“, warf Alex ein.

„Die Zahl 20 hat wohl nicht gereicht.“

Alex ließ sich in seinen Stuhl zurückfallen und sah Gracia nicht an.

„Gut, ein letztes noch: Shawn kommt Ende nächster Woche aus den USA zurück. Das wäre eine gute Gelegenheit, ihm unsere Förderaktivitäten näher zu bringen. Dann könnte er unsere Projekte bei sich in der Entwicklungsabteilung vorstellen. Frau Torner, Sie können mir da sicherlich zuarbeiten, oder?“

„Ja, das ist kein Problem. Wann setzen wir uns zusammen?“

Bill sah auf die Uhr. „Heute ist es zu spät. Wie wäre es gleich morgen Vormittag? 10 Uhr?“

Gracia nickte. Und Alex verzog leicht den Mund, als er ebenfalls auf die Uhr sah. Bill hatte seinen Espresso wohl noch nicht aufgegeben.

„Dann sind wir wohl soweit fertig. Wenn es Probleme gibt, meldet euch.“

Gracia Torner, Linus und Alex verließen das Büro.

„Sollen wir uns dann nach meiner Besprechung mit Herrn Rogner zusammensetzen?“ fragte sie.

Alex sah Gracia an. Er war sich sicher, dass sie sich morgen über quantifizierte Ziele streiten würden. Wie sollte er ein Forschungsprojekt mit dem Risiko auch quantifizieren. „Ja, kommen Sie einfach vorbei, sobald sie fertig sind. Linus?“

„Jaja, ich bringe meine Unterlagen mit.“

„Und wie sieht es mit der Wette aus?“

„Welche Wette?“, fragte Gracia erstaunt.

„Och, nichts...Besonderes. Nur so eine Wette unter Männern“, fiel Linus rasch ein. Dann wandte er sich zu Alex und lächelte wieder breit: „Wir müssen wohl noch einmal über die Randbedingungen diskutieren.“

Alex verdrehte die Augen. Das versprach morgen ein interessanter Arbeitstag zu werden.

### Spät zu Hause

Das Willkommen zu Hause war anders als er es sich vorgestellt hatte. Als er in den Flur trat, kam ihm Ines Freundin Carola entgegen.

„Was machst Du denn hier?“ Alex war erstaunt. Er hatte nichts davon gehört, dass Carola heute zu Besuch kommen wollte.

Carola stemmte die Hände in die Hüften und sah ihn an. „Du hast es komplett vergessen, was?“

„Was vergessen?“

„Ich passe auf die Kinder auf, und Du bist mit Ines auf dem Elternabend.“

„Verdammt, das war heute?!“

„Ja! Am besten redest Du Ines gegenüber von viel und wichtiger Arbeit. Sie ist ziemlich sauer. Genau genommen ist sie auf Hundertachtzig. Na, da Du jetzt ja hier bist, kannst Du zumindest über den Schlaf der Kinder wachen“.

Carola zog ihren Mantel an, winkte kurz in seine Richtung und verschwand. Alex ließ sich erst mal auf einen der Sessel im Wohnzimmer sinken und ging seine argumentativen Möglichkeiten durch.

Es war bereits nach 23 Uhr als Alex hörte, wie sich der Schlüssel in der Haustür drehte. Ines kam rein, ging wortlos an ihm vorbei und verschwand in der Küche. Bald kam sie mit einer kleinen Sektflasche und einem Glas wieder zurück und setzte sich ihm gegenüber. Sekt war schlecht, dachte Alex. Und nur ein Glas war noch schlechter.

„Das war scheiße von Dir.“ Alex hielt es für das Beste, zustimmend zu nicken. „Und der Elternabend war noch schlimmer.“ Ines nahm einen Schluck Sekt und lehnte sich zurück. Alex sah sie fragend an, blieb aber lieber wortlos, um nicht in die Schusslinie zu geraten.

„Wir haben eine Stunde über Bleistifte und Füller geredet und eine weitere über Regentiefel und dann...“. Ines fuhr fort zu erzählen und wurde immer aufgeregter. Alex hörte mit einem Ohr zu und überlegte, dass er ganz froh war, den Elternabend verpasst zu haben. Immer sehr unergiebig das Ganze. Unergiebig? Was wäre denn ergiebig? Wann würde er von einem erfolgreichen Elternabend sprechen?

„Ines“, unterbrach er die lautstarke Frusterzählung seiner Frau, „was wäre für Dich ein erfolgreicher Elternabend? Wie würdest Du feststellen, ob ein Elternabend etwas gebracht hat?“

Ines sah ihn misstrauisch an. „Du willst mich jetzt nicht etwa verschaukeln oder davon ablenken, dass Du nicht aufgetaucht bist?“

Alex lehnte sich vor. „Nein, ernsthaft, wann wäre für dich ein Elternabend erfolgreich?“

„Nun, wenn er kurz ist.“

„Ines!“

„Du willst wirklich darüber diskutieren?“

Alex nickte.

Ines lehnte sich zurück und schien nachzudenken. „Nun, wenn ich mir die Inhalte ansehe, die besprochen werden, würden eigentlich eine bis eineinhalb Stunden reichen.“

„Das heißt der Zeitaufwand müsste insgesamt halbiert werden?“

„Wenn Du es so ausdrücken willst. – Und dann dauern die Diskussionen so lange. Alle wiederholen sich und müssen ihre gleiche Meinung noch einmal in eigenen Worten sagen. Grässlich! Wenn man mehr an der Tafel

notieren würde, könnten alle mit eigenen Augen sehen, was bereits gesagt wurde. Wir brauchen zum Teil eine Stunde für Entscheidungen, die eigentlich in 15 Minuten abgehandelt werden könnten.“

„Das heißt doch: Wenn man diese neue Methode verwenden würde, würde man im Diskussionsteil 25 % der Zeit einsparen und das wären ...“, Alex dachte laut weiter, „hmm, wenn man davon ausgeht, dass ein Elternabend aus Diskussionsteil, Entscheidungsteil und Informationsteil besteht und jeweils alle etwa den gleichen Anteil an der Gesamtzeit haben... – Halt, nein, der Entscheidungsanteil ist ja sehr gering, also vielleicht eher nur 10 % und die anderen jeweils 45 %. Dann würde die Gesamteinsparung ...“

„Wir reden aber noch über den Elternabend oder?“, schob Ines ein.

Alex sah Ines schief an. „Hm, ja, irgendwie schon noch. Ich habe nur überlegt, wie die Ziele, die Du für einen erfolgreichen Elternabend hast, wie die quantifiziert werden könnten. Das ist bei uns auf der Arbeit gerade Thema. Und wenn man einen Elternabend quantifizieren kann, dann müsste es für ein Forschungsprojekt doch auch möglich sein. Wenn wir konkrete Annahmen ...“

„Alex, jetzt stopp mal: Du kommst ewig spät, die Kinder kennen Dich kaum noch, Du vergisst sogar den Elternabend und jetzt erwartest Du ernsthaft, dass ich mit Dir über Deinen Arbeitsquatsch rede?“

Ines Augen funkelten Alex an und Alex war sich nicht sicher, ob nicht der eine oder andere Blitz darunter war. Krisenfall, er benötigte schleunigst einen Plan B. Er zögerte einen Moment, dann stand er auf. „Warte, ich bin gleich wieder da.“ Er ging in die Küche, holte eine große Flasche Sekt aus dem Kühlschrank und ein zweites Glas und ging zurück ins Wohnzimmer. „Es war Mist von mir und ich gelobe Besserung. Morgen bin ich Punkt fünf zu Hause. Frieden?“ Er hielt Flasche und Glas vor sich und schaute Ines an. Ines seufzte. „Sekt ist gemein! Das weißt Du genau.“ „Ja!“, antwortete Alex. Er blieb stehen und wartete.

Ines seufzte noch einmal, dann stand sie auf, ging zu Alex rüber und gab ihm einen Kuss. „Ok, Frieden, aber morgen um fünf bist Du da.“ Alex nickte. „Indianerehrenwort!“

„Und ... Was bedeutet quantifizieren eigentlich genau?“

Alex grinste. Auf Ines Wissensdurst war einfach immer verlass. Er setzte sich, nahm zunächst die kleine Sektflasche und füllte sein Glas. „Eigentlich bedeutet es nichts anderes, als dass Du ein Ziel so formulierst, dass es messbar ist, und Du hinterher überprüfen kannst, ob und inwieweit Du erfolgreich warst. Wenn Du zum Beispiel den Elternabend nimmst. Dann könnte man ...“

# Keine Zukunft ohne Chips – keine Chips ohne EDA – kein EDA ohne das edacentrum!

EDA macht die Erfolge der Elektronik erst möglich.

## Bedeutung der Elektronik für den Standort Deutschland

Der Elektronik kommt wegen ihrer außergewöhnlich hohen Wertschöpfung, ihren weltweit unverändert glänzenden Wachstumsraten und ihrer Schlüsselstellung für alle Wirtschaftsbereiche eine herausragende Bedeutung zu. Sie hat sich als Innovationsmotor in der Nanotechnologie erwiesen und konnte ihren volkswirtschaftlichen Nutzen bereits nachweisbar erbringen. Ein Beispiel dafür ist die Region Dresden, wo in einem Netzwerk aus Industrie und Forschung der größte europäische Elektronikstandort mit ca. 20 000 neuen Arbeitsplätzen entstanden ist. Hier werden hochkomplexe Chips produziert, die international zur Weltspitze zählen. Deutschland hat dadurch in den vergangenen Jahren auch im Elektronikbereich eine weltweit sichtbare Aufwärtsentwicklung genommen.

Schon in wenigen Jahren werden funktionskritische Bauteile eines Mainstream-Halbleiterchips Abmessungen in der Größenordnung einiger Atomlagen aufweisen. Die Fortsetzung einer zielgerichteten Forschungsförderung wird weiterhin dafür sorgen, dass Deutschland in dieser wichtigen Branche auch in Zukunft in der ersten Liga mitspielt. Dabei werden von der Chiparchitektur über das Design der Bauelemente bis zur Lithographie und zum Silizium-Wafer weiterhin international Maßstäbe gesetzt. Gesellschaftliche Ziele wie die Verwirklichung eines intelligenten „Internet der Dinge“, einer perfekten Logistik, einer sicheren Mobilität oder einer leistungsfähigen Medizin werden dadurch realisierbar.

Die wichtigste Ressource ist dabei das Wissen und die Kreativität der zahlreichen Spezialisten, welche die Entwicklung hin zur Nanoelektronik und damit zu immer leistungsfähigeren Chipsystemen vorantreiben. Dabei spielt die Elektronik speziell für einen Hochlohnstandort wie Deutschland eine besondere Rolle, da hier mit einem vergleichsweise geringen Arbeitskostenanteil hohe Wettbewerbsmerkmale an Endprodukten entstehen.

## EDA als Enabling-Technology

Die heutigen hochintegrierten Schaltungen mit bis zu einer Milliarde Transistoren und mehreren Kilometern Verbindungsleitungen auf nur wenigen Quadratzentimetern Fläche sind schon seit langem so komplex, dass ihre Entwicklung das Menschenmögliche übersteigt: Ohne rechnergestützte Entwurfsautomatisierung (engl. Electronic Design Automation, EDA) geht seit vielen Jahren nichts mehr. Auch am Zukunfts-

standort Deutschland nimmt daher die Bedeutung des rechnergestützten Schaltkreisentwurfs seit vielen Jahren stetig zu. EDA ist dabei (leider fast unbemerkt) zu einem unabdingbaren Faktor für den kommerziellen Erfolg in der Elektronik geworden. Die Leistungsfähigkeit eines elektronischen Produktes beruht nicht nur auf der Anzahl seiner Transistoren oder der Taktfrequenz, sondern vielmehr auf der intelligenten Verknüpfung der Schaltungselemente, mit der neue Funktionen realisiert werden. Stationäre PCs sollen eine möglichst große Rechenleistung haben, Notebooks, Mobiltelefone und andere mobile Geräte eine möglichst lange Akkulaufzeit bei minimaler Leistungsaufnahme der Chips. Diese Anforderungen müssen beim Chipentwurf berücksichtigt werden. Der Chipentwurf, der so immer neue Anwendungen möglich macht, ist zur „Enabling-Technology“ der (Mikro-) Elektronik geworden.

Die zunehmend komplexer werdenden elektronischen Systeme müssen schnell und möglichst fehlerfrei entworfen werden. Wettbewerbsfähig ist nur, wer in der Lage ist, immer komplexere Produkte mit immer weniger Fehlern in immer kürzeren Zeiten und zu möglichst niedrigen Kosten zu entwerfen. Sicherer Design unter immer komplexeren Bedingungen ist daher die Herausforderung für EDA! Mit den weiteren Fortschritten der Mikro- und Nanoelektronik, deren Ende nicht abzusehen ist, bleibt EDA daher ein Forschungsthema und damit auch für die Anwenderindustrie eine wichtige dauerhafte Vorfeldaufgabe. Es muss deshalb in EDA investiert werden, um die Wettbewerbsfähigkeit und die Marktposition von System- und Halbleiterfirmen in Deutschland zu stärken und damit Arbeitsplätze zu sichern.

Das Bundesministerium für Bildung und Forschung (BMBF) betrachtet EDA als strategisches Schwerpunktthema im Bereich Elektronik. Das innovations-



**Abbildung E.01:** Die Preisträger des „Invent-a-Chip“-Wettbewerbs auf dem VDE-Kongress „Innovations for Europe“ am 23. Oktober 2006 in Aachen.



Die BMBF-Broschüre „Von der Idee zum Chip“ ist auch im Internet über [www.bmbf.de/pub/von\\_der\\_idee\\_zum\\_chip.pdf](http://www.bmbf.de/pub/von_der_idee_zum_chip.pdf) verfügbar.

freundliche Gebiet EDA und das dazu in Deutschland geschaffene Know-how sollen, nicht zuletzt aufgrund der in diesem Bereich zur Verfügung gestellten Fördermittel, auch künftig die erfolgreiche Entwicklung der Elektronik in Deutschland ermöglichen. Um die Faszination von EDA auch in Politik und Öffentlichkeit zu vermitteln, ist die BMBF-Broschüre „Von der Idee zum Chip“ entstanden. Sie hilft dem interessierten Laien zu verstehen, welche Leistung beim Chipentwurf vollbracht wird und welche Herausforderungen noch zu meistern sind.

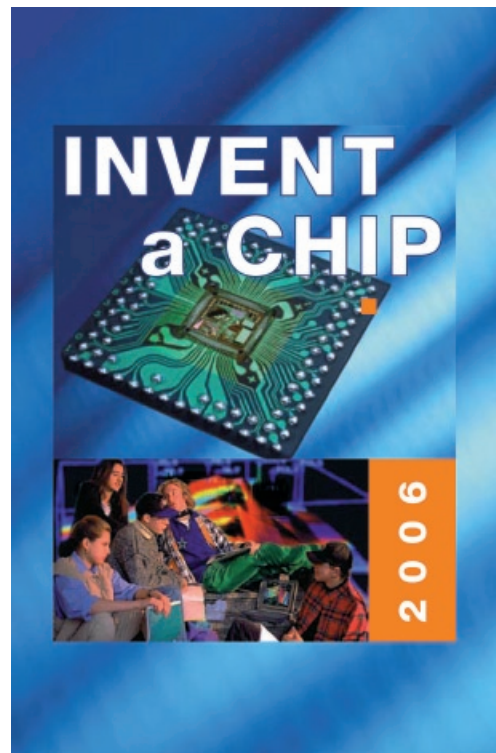
Aber die Aufklärung allein ist nicht genug. Es gilt auch gerade dort anzusetzen, wo es um Standortvorteile und die eigene Kompetenz geht. Dies sind High-Tech-Bereiche mit hoher Fertigungsqualität, in denen die Motivation und Qualifikation der Mitarbeiter eine große Rolle spielen.

Durch Innovation entstehen qualitativ hochwertige Arbeitsplätze. Das ist eine Stärke Deutschlands. Eine gezielte Innovationspolitik, geeignete Rahmenbedingungen, Ausbildung, Qualifizierung und eine enge Zusammenarbeit von Forschung und Produktion sind dafür wichtige Voraussetzungen. Außerdem ist ein schneller Transfer von Forschung in die Anwendung entscheidend – gerade in einem so dynamischen Wirtschaftszweig. Um die Zukunftsfähigkeit des Standortes Deutschland zu sichern, muss zweierlei getan werden. Wir müssen weiterhin in Technologieentwicklungen und Systemlösungen investieren, daneben aber auch verstärkt in Ausbildung und Qualifizierung.

Die stürmische Entwicklung der Elektronik, die immer schnellere Überführung in die verschiedensten Anwendungsbereiche und ihre hohe Innovationswirkung für nahezu alle Wirtschaftsbereiche erfordern hoch qualifizierte Fachkräfte. Konzepte zur informatischen Bildung an allgemeinbildenden und berufsbildenden Schulen müssen daher verstärkt Berücksichtigung finden und neue Formen der Ausbildung gemeinsam mit der Industrie gefunden werden. Wichtig sind auch die duale Ausbildung, die Kopplung zwischen betrieblicher und theoretischer Ausbildung sowie berufsbegleitende Studiengänge. Wir müssen uns noch stärker als bisher fragen, welche Qualifikationsanforderungen sich im Bereich der Elektronik in einigen Jahren ergeben werden. Da nicht zuletzt die exzellente Qualifikation von Technikern und Ingenieuren einer der Gründe ist, warum unsere Chipindustrie so erfolgreich ist, veranstaltet der BMBF zusammen mit dem VDE den Schülerwettbewerb „Invent-a-Chip“. Den Schülern soll durch die Teilnahme an diesem Wettbewerb und die Verleihung eines BMBF-Sonderpreises für den Chipentwurf mit der größten Industrierelevanz die Bedeutung der Elektronik und damit auch des Chipentwurfs vermittelt werden. Diese Initiative unterstützt den Zugang junger Leute zur universitären und ingenieurtechnischen Ausbildung, wie jüngste Beispiele an den Universitäten beweisen.



**Abbildung E.02:** Der BMBF-Sonderpreis für industrienahe Forschung ging an Andreas Bauer, Julian Meder, Maximilian Petterka, Thorsten Riese und Fabian Wahler vom Alexander-von-Humboldt-Gymnasium in Schweinfurt für ihr Projekt: „AutoCam“.



Eine Initiative von  
 Bundesministerium  
 für Bildung  
 und Forschung

**VDE**

**Abbildung E.03:** Der Schülerwettbewerb „Invent-a-Chip“ wird seit 2001 mit Erfolg durchgeführt.



**5 Jahre edacentrum e.V.**

Das im März 2001 gegründete edacentrum ist inzwischen in Deutschland die zentrale Anlaufstelle für Fragen der Entwurfsautomatisierung geworden. Als gemeinsame Initiative von Industrie, Hochschulforschung und dem BMBF beschleunigt es den Aufbau eines EDA-Netzwerkes mit dem Ziel, die Automatisierung des Chip-Entwurfs voranzutreiben. Dem Verein sind bis heute mehr als 70 Mitglieder aus Industrie und Forschung beigetreten, deren Auflistung sich liest wie das „Who-is-Who“ der Mikroelektronik in Deutschland, darunter Atmel, AMD, Bosch, Infineon, Nokia, NXP und viele mehr. Die Idee ist inzwischen über die Grenzen von Deutschland hinausgetragen worden, die Mitglieder kommen mittlerweile aus der ganzen Welt.

Das BMBF schätzt besonders die fachliche Begleitung und Begutachtung von BMBF-Förderprojekten im Bereich EDA durch das edacentrum. Nach fünfjähriger Arbeit in diesem Bereich kann festgestellt werden, dass die Qualität der Anträge und Berichte dieser Projekte, die Organisation und die Kooperation der geförderten Verbünde beispielgebend für die gesamte Förderlandschaft des BMBF sind. Im Rahmen der BMBF-Projektförderung konnte das edacentrum Projekte, deren genehmigte Gesamtkosten bereits mehr als 200 Millionen Euro betragen, erfolgreich koordinieren.

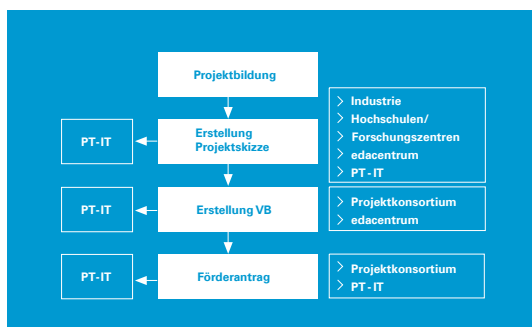


Abbildung E.04: Ablauf der Projektanbahnung und Vorbereitung

Auf Anregung des BMBF wurde mit Unterstützung des edacentrum erstmalig eine neue Form der EDA-Vorlauftforschung, die EDA-Clusterforschung, initiiert: Sie wird in einer private-public-partnership von BMBF und Firmen finanziert, ist im Vorfeld der industriellen Forschung angesiedelt und besitzt inzwischen

Modellcharakter auch für andere Förderbereiche. Besondere Bedeutung sieht das BMBF darin, dass die Anwenderindustrie frühzeitig in neue Forschungsthemen eingebunden wird, und die Ergebnisse aus den Clusterforschungsprojekten über das vom edacentrum geschaffene EDA-Netzwerk neue industrielle Förderinitiativen anregen. Das im hohen Einsatz der Universitäten und Forschungseinrichtungen begründete Engagement der Industrie an der EDA-Clusterforschung demonstriert deutlich ihr Interesse an EDA-Forschungsthemen.

In den fünf Jahren seines Bestehens hat sich das edacentrum auch in Europa einen Namen gemacht. Das BMBF sieht in der Öffentlichkeitsarbeit des edacentrum bei der Darstellung der EDA-Forschung und der BMBF-Förderung einen zentralen Beitrag für den deutschen Standort. Diese Arbeit wird auf verschiedene Art sichtbar: Es gibt inzwischen unzählige Veröffentlichungen und Berichte des edacentrum aus der EDA-Forschung und den EDA-Förderprojekten.



Abbildung E.05: Informationsmaterial des edacentrum

Das edacentrum ist Veranstalter von Workshops und Foren und Mitorganisator von großen Konferenzen. Das edacentrum arbeitet bei einschlägigen Roadmaps und Standards mit. Der EDA-Atlas ist erst durch die Arbeit des edacentrum zu dem geworden, was der Name ausdrückt. Und nicht zuletzt ist das edacentrum Herausgeber dieses Newsletters.

Das BMBF ist zusammen mit allen Beteiligten überzeugt, dass es dem edacentrum gelingen wird, schon bald auf eigenen Beinen zu stehen, gestützt auf engagierte Mitarbeiterinnen und Mitarbeiter sowie erfolgreiche Mitglieder.

**Kont@kt und Autoren:**

Dr. Rudolf Leisen  
 fon: 01888 57-3179  
 Rudolf.Leisen@bmbf.bund.de  
 und  
 Lutz Wenzel  
 fon: 030 67055734  
 lutz.wenzel@dlr.de



# Der edaAtlas mit neuen Funktionen und mehr Inhalten

www.edacentrum.de/edaAtlas

**Der edaAtlas wurde im Januar 2006 grundlegend renoviert und mit neuen Rubriken für Publikationen, Foren, Projekte, Werkzeuge und Initiativen erweitert. Bis Ende Dezember wurden neue Inhalte in den edaAtlas aufgenommen, eine neue Rubrik „Expert“ eingeführt und mit neuer Suchfunktionalität versehen. Die neue Rubrik ermöglicht einen auf EDA-Experten gerichteten Blick, in dem die Publikationen und Verbindungen zu Organisationen deutlich werden. Beide Neuerungen sind Grund genug, um sich den edaAtlas mal wieder genauer anzuschauen.**

## Der edaAtlas – eine Datenbank für die vernetzte EDA-Kompetenz

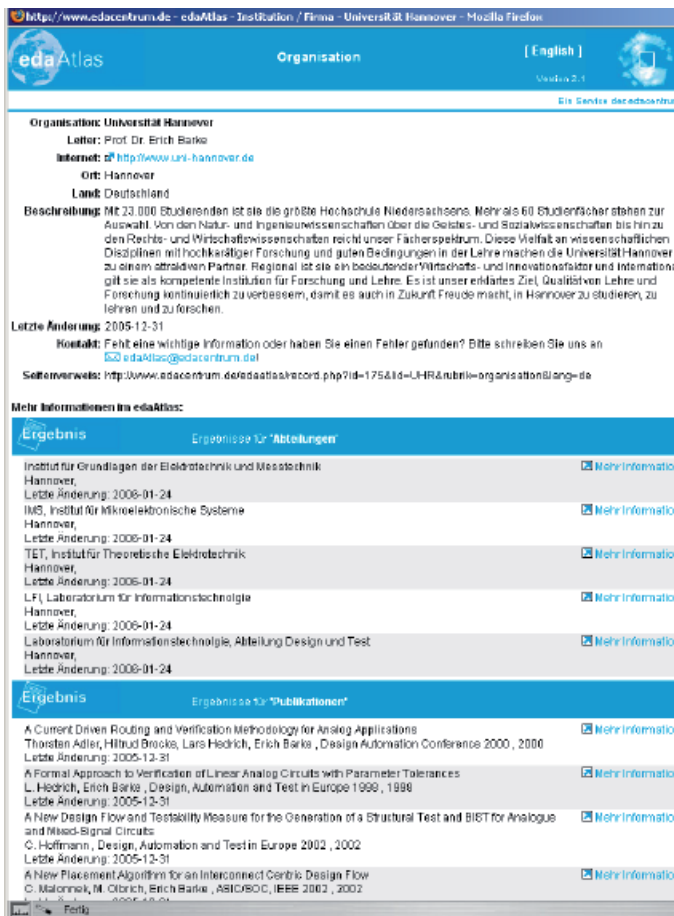
Mit dem edaAtlas bietet das edacentrum einen Informationsdienst an, um mit Querbezügen versehene EDA-Kompetenz weltweit in einer zentralen Datenbank zu erfassen. Die Informationen wurden aus zugesandten Publikationslisten und den Konferenzbänden der

großen fünf EDA-Konferenzen (DAC, DATE, ICCAD, ITC und ASP-DAC) extrahiert. Alle Nutzer sind gebeten, dem edacentrum Berichtigungen und ergänzende oder neue Informationen zuzusenden, damit das Bild der EDA-Kompetenz weiter vervollständigt wird.

## Grundsätzliches zum edaAtlas

Die Informationen im edaAtlas sind in verschiedenen Listen von Datensätzen erfasst, die durch Suchbegriffe abgerufen werden können. Diese Listen werden innerhalb des edaAtlas Rubriken genannt. Derzeit sind folgende Rubriken realisiert worden:

- » **Institution/Firma:** Meint Institutionen und Firmen, die aus mehreren Abteilungen bestehen können. Es handelt sich dabei typischerweise um Universitäten, Forschungseinrichtungen, EDA-Hersteller und EDA-Anwender.
- » **Abteilung:** Meint eine Unterorganisationseinheit einer Institution (Firma, Hochschule, ...). Typischerweise sind hier Institute an Hochschulen oder Abteilungen in Firmen enthalten. Aber auch Gruppen und Arbeitskreise können hier erfasst werden.
- » **Forum:** Meint ein Ereignis, bei denen sich Experten treffen (Workshop, Konferenzen etc.), oder eine Publikationsreihe (Bücher, Dissertationen, Transactions).
- » **Publikation:** Meint eine Veröffentlichung eines Vortrages, ein Zeitschriften- oder Buchbeitrag, oder eine Kombination einer technischen Veröffentlichung mit einem öffentlich oder auf einer Konferenz präsentierten Vortrag.
- » **Demonstrator:** Meint Software- und Hardware-Prototypen, die eine Entwurfsmethodik demonstrieren.
- » **Initiative:** Meint Initiativen zur Förderung von Forschungs- und Entwicklungsprojekten. In der Regel sind so genannte Förderkomplexe staatlich gefördert.
- » **Projekt:** Meint Projekte und Kooperationen zur Steigerung der EDA-Kompetenz, die mit Forschungs-



**Abbildung E.06:** Screenshot der Detailseite der Uni Hannover wie sie über die Ausgabe einer Suche in der Rubrik „Institution“ mit dem Stichwort „Universität“ erreichbar ist. Im Anschluss an die eigentliche Detailinformation befinden sich die Querbezüge (Abteilungen, Publikationen, ...).

und Industriepartnern durchgeführt werden. Häufig sind diese Projekte durch Förderinitiativen finanziell unterstützt.

- » **Expert:** Meint Experten, die sich in der EDA-Forschung und -Entwicklung engagieren. Hier sind u.a. auch die Autoren von den im edaAtlas erfassten Publikationen (Rubrik „Publikation“) enthalten.

Zu jedem innerhalb einer Rubrik erfassten Datensatz (=Listeneintrag) ist eine Detailansicht verfügbar, an deren Ende sich eine Auflistung von Querbezügen zu anderen Datensätzen (auch aus anderen Rubriken) des edaAtlas befindet. So ist beispielsweise unterhalb der Detailinformationen zu einer Universität eine Auflistung zu finden, welche die mit EDA befassten Abteilungen oder Institute dieser Universität zeigt. Auch werden dort Projekte, Publikationen und Werkzeuge gelistet, an denen diese Universität beteiligt war oder ist. Auf diese Weise ergibt sich die Darstellung eines Forschungskosmos von Informationen, mit Querbezügen und Kooperationen innerhalb der EDA-Forschung und Entwicklung.

### EDA-Experten: Eine neue Rubrik im edaAtlas

Die Rubrik „Expert“ wurde erst vor Kurzem im edaAtlas neu eingeführt. Die darunter zu findenden Informationen zu EDA-Experten rekrutieren sich zurzeit hauptsächlich aus den Autorenangaben der zuvor erfassten Publikationen. Hier ist das persönliche Engagement jedes Experten erwünscht, eigene Einträge mit Informationen zu füllen bzw. zu vervollständigen.

### Neue Funktionalität im edaAtlas

Mit den Ende 2006 realisierten funktionalen Erweiterungen des edaAtlas sind neue Suchmöglichkeiten und mehr Komfort bei der Suche und Anzeige der Daten geschaffen worden:

- » **Übersichtlichkeit bei der initialen Suche:** Durch als Standardaufruf realisierten Menüeintrag „Alle Datensätze“ in der Start-Suchmaske des edaAtlas ist es jetzt möglich in allen Rubriken gleichzeitig Such-Ergebnisse darzustellen. Im Anschluss an eine so erzeugte Übersicht lassen sich die gewünschten Rubriken und Treffer aussuchen und nacheinander anzeigen.
- » **Verfeinerte Suchfunktion:** Durch einen auch Stichworte berücksichtigenden verbesserten Suchalgorithmus wurde die Trefferquote erhöht.
- » **Auswählbarer Schlüssel der Treffersortierung:** Durch Sortierschlüssel der Ergebnislisten ist eine gezielte Datenauswertung als bisher möglich. Derzeit sind je nach Rubrik 2–3 unterschiedliche Sortierschlüssel (z.B. „Titel“, „letzte Änderung“, „Konferenzname“) wählbar.
- » **Zeitstempel zur letzten Änderung:** Durch diese Erweiterung wird jedem Datensatz ein „Zeitstempel“ unter dem Kennzeichen „Letzte Änderung“



Abbildung E.07: Über das Suchargument „atlas-dummy“ können beispielhafte Datensätze aufgerufen werden, die Informationen zum Verständnis des edaAtlas enthalten.

hinzugefügt. Durch eine nach diesem Zeitstempel sortierte Anzeige von Ergebnissen ist eine schnelle Darstellung jüngster Änderungen/Aktualisierungen des Datenbestandes möglich.

- » **Verbesserte Online-Hilfe:** Neben allgemeinen Hilfsinformationen, die über einen Klick auf Symbol [i] neben der Suchmaske verfügbar sind, enthält der edaAtlas seit neuestem Beispieldatensätze, die seine Funktionsweise näher beschreiben. Die Beispieldatensätze sind über das Suchargument „atlas-dummy“ erreichbar und erlauben eine Beispielrecherche über die Querverweise. Die in dieser Recherche dargestellten Informationen geben dabei Hinweise zu Inhalten und zur Semantik der Texteinträge und der Querverweise. Diese Beispieldatensätze werden stetig erweitert, sodass sich die Hilfefunktion weiter verbessern wird.

Um ein umfassendes Bild der Kompetenz und Aktivitäten einer Abteilung zu erhalten, sind vollständige Informationen wichtig, die idealerweise durch Experten geliefert werden. Schreiben Sie an edaatlas@edacentrum.de, wenn Sie Ergänzungen oder Änderungen wünschen oder eine Frage haben.

**Kont@kt (edaAtlas):**  
Dr. Volker Schöber  
fon: 0511 762-19688  
schoeber@edacentrum.de

## Forschungsthemenpapier „eDesign“ 2006

Strategiepapier des edacentrum e.V. zu Forschungsthemen in Deutschland

**In den letzten Wochen war es – von außen betrachtet – ruhig um das Forschungsthemenpapier, bei dem viele von Ihnen mit Kommentaren und Anregungen auf dem diesjährigen Ekompas-Workshop mitgeholfen haben. Im Hintergrund ging die Arbeit allerdings emsig weiter. So wurde im dritten Quartal dem BMBF vorab eine erste Version des Forschungsthemenpapier zur Verfügung gestellt. Damit finden die mit Ihnen erarbeiteten Themen Eingang in das neue Förderprogramm des BMBF zur Informations- und Kommunikationstechnologie. Für Sie, liebe Projektpartner und Mitglieder, erfolgten anschließend noch Feinschliff und Layout. Das Ergebnis unserer gemeinsamen Arbeiten sollten sie vor einigen Tagen erhalten haben. Einen kurzen Überblick über das Papier finden Sie in diesem Artikel.**

### Die vier Schwerpunkte

Zurzeit stellt die Halbleiterindustrie ihre Produktion auf die 65 nm-Technologie um. Es sind sogar erste Chips auf 45 nm-Technologie verfügbar. Das ist laut ITRS 2005 [ITRS05] noch lange nicht das Ende dieser Entwicklung. Die Umstellung auf 45 nm soll bis 2010 vollzogen sein. Bis 2013 soll die 32 nm- und bis 2016 sogar die 22 nm-Technologie verfügbar sein. Dadurch wird es bis spätestens 2010 möglich, Halbleiterbausteine mit mehreren Milliarden Gattern oder vielen Milliarden Speicherzellen herzustellen. Mit diesen Integrationsmöglichkeiten können extrem viele Funktionen auf einer kleinen Fläche zusammengefasst werden. Die Anzahl der Schaltungselemente ist nicht nur größer, sondern es werden auch unterschiedlichste Elemente aus der Digital- und aus der Analogtechnik, z. B. Sensortechnik oder Leistungselektronik, kombiniert. Damit nimmt nicht nur die Komplexität sondern auch die Heterogenität zu. Zusätzlich kommen durch die heutigen und zukünftigen Anwendungen neue Anforderungen ins Spiel, die neue Systemfunktionalitäten erfordern.

Was bedeutet diese neue Qualität für die deutsche Industrie? Welchen Herausforderungen muss sie sich stellen, um diese gewaltige Aufgabe wettbewerbsfähig zu lösen?

Von ihren Ideen und Diskussionsbeiträgen zu diesen Fragen angeregt, wird vom edacentrum ein Forschungs- und Entwicklungsprogramm mit vier Schwerpunkten vorgeschlagen. Die darin genannten Themen wurden in Zusammenarbeit mit dem Leitungsgremium der GI/GMM/ITG-Kooperationsgemeinschaft RSS und dem Steuerungsgremium des edacentrum als zukunftsrelevant identifiziert. Zu jedem Schwerpunkt werden die Themen gemäß ihrer kurzfristigen (bis 2 Jahre), mittelfristigen (bis 7 Jahre) und langfristigen (bis 15 Jahren) Ziele gegliedert aufgeführt. Die vorgeschlagenen vier Forschungsschwerpunkte sind:

- » Produktiver Systementwurf für robuste Systeme
- » Herstellungsorientierter Entwurf von nanostrukturierten Schaltungen

- » Automatisierter Entwurf von Analog- und Mixed-Signal-Schaltungen
- » Verifikation und Test von der Systemebene bis zum Transistorlayout

Die detaillierte Beschreibung zu jedem dieser Schwerpunkte finden Sie im Forschungsthemenpapier. Im Folgenden sind die Schwerpunkte und unsere Motivation für die dazu gewählte Symbolik kurz zusammengefasst.

Der Entwurf elektronischer Systeme gleicht mittlerweile einem komplexen Schachspiel, bei dem Tausende von Randbedingungen, Kombinationen und Vorgehensweisen zu berücksichtigen sind. Aus diesem Grund haben wir das Schachspiel als Symbol gewählt. Mit seiner Komplexität, seinem hohen Niveau und seiner strategischen Ausrichtung symbolisiert es per se die Herausforderungen, die in Electronic Design Automation angegangen werden müssen, um elektronische Systeme hoher Komplexität schnell und sicher entwerfen zu können.



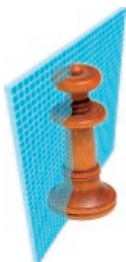
### Produktiver Systementwurf für robuste Systeme

Die rasanten technischen Fortschritte, die in der Halbleiterindustrie gemacht werden, verbunden mit dem wachsenden Elektronikanteil in den Produkten machen es zunehmend schwieriger, die Zuverlässigkeit und Robustheit eines Systems zu garantieren und diese auch noch möglichst produktiv zu entwerfen. Entsprechend diesen Herausforderungen haben wir das Logo gewählt: Der Turm, in seiner Gestalt robust und wehrhaft, erlaubt effizientere Spielzüge als der Bauer.

Moderne Fertigungstechnologien ermöglichen hochkomplexe, integrierte Systeme mit beträchtlichem Funktionsumfang und erfordern die Beherrschung



immenser Entwurfsdatenmengen. Sie erfordern, dass unscharfe Kenngrößen und Modelle, unsicheres Wissen zum physikalischen Medium und Stressfaktoren, die durch die Umwelt, in der die Systeme eingesetzt werden, berücksichtigt werden. Unsere Bauern, die aktuellen Entwurfsparameter Geschwindigkeit, Fläche und Energieverbrauch reichen nicht mehr aus, um ein robustes System zu entwerfen. Das Einführen von Hardware-Redundanz führt nicht mehr zwingend zu einem zuverlässigen System. Es sind Ansätze erforderlich, deren Eigenschaften denen von Türmen und weniger denen von Bauern gleichen.



### Herstellungorientierter Entwurf von nanostrukturierten Schaltungen

Mit der Miniaturisierung der Strukturen verlässt die Elektronik zunehmend die makroskopische Betrachtungsweise, die derzeit noch die Grundlage vieler EDA-Werkzeuge ist. Unser Produkt – die Königin, um in unserer Symbolwelt zu bleiben – kann nur entstehen, wenn wir die winzigen Strukturen, mit denen wir heute arbeiten, mit ihren Randbedingungen und Eigenschaften verstehen.

Bei einer nur noch geringen Anzahl von dotierten Atomen in einem Transistorkanal haben kleinste Änderungen große Auswirkungen. Bereits geringe Strahlung aus der Umgebung kann die Schaltung massiv beeinflussen. Die mechanische Belastung muss viel stärker berücksichtigt werden. Hohe Temperaturen führen zu einer Steigerung der chemischen Reaktionsfähigkeit, Temperaturschwankungen können zu Spannungen zwischen unterschiedlichen Materialien führen. Der Alterungsprozess muss unter ganz anderen Gesichtspunkten betrachtet werden. All diese „neuen“ Störgrößen erfordern erhebliche Anpassungen im Entwurfsprozess und damit bei den Entwurfswerkzeugen.



### Automatisierter Entwurf von Analog- und Mixed-Signal-Schaltungen

Fahren statt laufen und dies mit sorgfältig aufeinander abgestimmten Rädern, die nicht aus einem Guss kommen, so könnte man diesen Schwerpunkt symbolisch umreißen.

Der automatisierte Entwurf – „unser Auto“ – ist eines der Verfahren, die maßgeblich dafür sorgen, dass die immer komplexeren Produkte der Halbleiterindustrie überhaupt noch entwickelt werden können. Um den Anforderungen zukünftiger SoC entsprechen zu können, rückt der Syntheseprozess für heterogene Systeme und damit auch für analoge Bauelemente in den Mittelpunkt der Betrachtung. Dazu müssen verschiedene Ansichten, Datenformate, Verfeinerungsschritte und Managementansätze zur Datenhaltung unter einen Hut gebracht werden.



### Verifikation und Test von der Systemebene bis zum Transistorlayout

Mit seinen komplizierten, vergleichsweise unübersichtlichen Spielbewegungen symbolisiert der Springer die Gebiete Verifikation und Test. Verifikation und Validierung benötigen heute fast 70 % der Entwurfszeit. Grundlegende Methoden und Techniken sowohl auf Systemebene (formale Methoden) als auch auf Architekturebene (Model-Checking, Simulation etc.) sind bereits im Einsatz, doch sind bei weitem nicht ausreichend, um den gesamten Entwurfsprozess abzudecken. Eine systematische und geschlossene Lösung, die sich konsistent über den gesamten Entwurfsprozess zieht und über eine Vernetzung mit den Themen Diagnose, Test (Testumgebungen) und Verfeinerung (Synthese) verfügt, existiert für die Verifikation nicht. Zum Beispiel steigt mit zunehmender Komplexität der für den Test benötigte Kostenanteil, so dass der Entwurf, der gleichzeitig die Aspekte des Tests berücksichtigt (Design for Testability – DfT), immer bedeutender wird.

### Vielen Dank!

Damit dieses Papier entstehen konnte, haben viele Experten Ihre Erfahrungen und Ihr Wissen einfließen lassen. Auf dem Ekompas-Workshop 2006, auf dem wir die erste Version dieses Papiers zur Diskussion gestellt hatten, haben Ihre hohe Beteiligung und die große Anzahl Ihrer Anregungen und Kommentare bei weitem unsere Erwartungen übertroffen. Und auch in der daran anschließenden Bearbeitungsphase waren viele von Ihnen immer wieder zur Stelle, wenn es um Fragen zu dem aktuellen Stand in der Forschung ging und den Herausforderungen, denen wir im Bereich EDA in den nächsten Jahren begegnen werden. Nicht zuletzt haben auch die Experten des Steuerungsgremiums mitgewirkt, um dieses Papier auch auf die industriellen Belange abzugleichen. Wir danken allen ganz herzlich, die so engagiert und anregend mit uns diskutiert und damit dazu beigetragen haben, dass dieses Strategiepapier entstehen konnte.

### Kont@kt und Autorin:

Dr. Cordula Hansen  
fon: 0711 2807956  
hansen@edacentrum.de

### Schlüsselworte:

Forschungsthemen  
eDesign  
Produktivität  
Automatisierung  
Herstellungorientierung  
Verifikation  
Test  
Mixed-Signal



Das Ende 2006 fertig gestellte Strategiepapier „eDesign 2006“ ist auf Anfrage erhältlich.

## 3 Panorama

### Meldungen

[www.edacentrum.de/newsletter/](http://www.edacentrum.de/newsletter/)

Forschung: [presstext Deutschland](#), vom 4.10.2006

#### **Forscher entdecken Superspeicher auf Virenbasis**

Forscher der University of California haben auf Basis von organischen Viren eine neue Speichertechnik entwickelt. Dazu haben die Wissenschaftler Nanopartikel aus Platin auf den Tabakmosaikvirus aufgedampft, um ihm eine Leitfähigkeit zu verleihen.

Forschung: [presstext Deutschland](#), vom 10.10.2006

#### **Mini-Chip gibt Sehbehinderten neue Hoffnung**

Eine neue Behandlungstherapie der Universität Tübingen lässt Hoffnung für Sehbehinderte aufkommen, deren Fotorezeptoren in Form von Zapfen und Stäbchen durch degenerative Erkrankungen wie Retinitis pigmentosa zerstört oder stark geschädigt wurden.

Forschung: [presstext Deutschland](#), vom 10.10.2006

#### **Papiertapete absorbiert elektromagnetische Strahlung**

Um die stetig steigende Elektrosmog-Belastung in Wohnräumen einzudämmen, haben Wissenschaftler der Technischen Universität Ilmenau ein neues Material entwickelt, das in der Tapete von morgen zum Einsatz kommen könnte.

Firmen: [elektroniknet](#), vom 16.10.2006

#### **Qimonda: Rückzug vom Flash-Geschäft**

Der Speicherhersteller Qimonda wird seine NAND-Aktivitäten deutlich einschränken. Qimonda-Sprecher Ralph Heinrich: „Wir werden unsere Produktion kontinuierlich reduzieren und auslaufen lassen und unsere Entwicklung in diesem Bereich stoppen.“

Markt: [EE Times](#), vom 20.10.2006

#### **Gartner Dataquest closes CAD group**

Gartner Dataquest, the sole research firm that provided extensive market analysis on the EDA industry, is closing its CAD research group.

Personen: [EE Times](#), vom 7.11.2006

#### **Ex-Gartner EDA chief forms research firm**

Gary Smith, the former chief EDA analyst at Gartner Dataquest, has formed his own consulting and research firm in the arena.

Forschung: [EE Times](#), vom 10.11.2006

#### **Students write EDA tools in one day**

At the CADathlon at the International Conference on Computer Aided Design (ICCAD), students had just one day to solve problems by writing EDA software.

Markt: [EDACafe](#), vom 16.11.2006

#### **SIA Forecast: Microchip Industry Will Reach \$321 Billion in 2009**

The Semiconductor Industry Association (SIA) today released its annual forecast of global semiconductor sales, projecting that the industry will continue to ride a strong wave of consumer demand for electronic products, driving sales to \$321 billion in 2009. The SIA forecast projects a compound annual growth rate of 9 percent for the forecast period, 2006-2009. Total worldwide microchip sales in 2005 amounted to \$227.5 billion.

Forschung: [Golem.de](#), vom 19.11.2006

#### **Urheberrecht: „Wissenschaftsparagraph“ verlängert**

Im Zuge der andauernden Überarbeitung des Urheberrechtsgesetzes wurde die Gültigkeit des Paragraphen 52a, der Ausnahmen für Unterrichtszwecke vorsieht, bis Ende 2008 verlängert. Der Bundestag ist damit der Empfehlung des Rechtsausschusses gefolgt.

Forschung: [welt.de](#), vom 20.11.2006

#### **Risiko von Nano-Produkten unklar**

Mehr als 300 Produkte der Nano-Technologie sind weltweit bereits im Handel. Sie verbergen sich in Artikeln wie Autoreifen, Kosmetika und Lebensmitteln. Das ist erst der Anfang. Doch welches Risiko in der Nano-Technik steckt, muss besser erforscht und deutlich werden.

Wirtschaft: [presstext Deutschland](#), vom 22.11.2006

#### **EU macht neun Mrd. Euro für IT-Aufholjagd locker**

Mit dem bis 2013 ausgelegten 7. Forschungsrahmenprogramm bläst die EU zur Aufholjagd, um den Rückstand Europas gegenüber der internationalen Konkurrenz aufzuholen. Dass die EU dem IKT-Bereich eine zunehmend große Bedeutung beimisst, ist etwa daran abzulesen, dass die IKT-Forschung in dem milliardenschweren Förderprogramm der EU den größten Posten ausmacht.

Wirtschaft: [Golem.de](#), vom 29.11.2006

#### **Notebooks werden bei USA-Einreise gefilzt**

US-amerikanische Zoll- und Einwanderungsbeamte haben das Recht, Notebooks sowie andere Datenträger ohne Angabe von Gründen näher zu untersuchen oder ganz zu beschlagnahmen. Dies berichtet die Berliner Zeitung unter Berufung auf einen Bericht des Congressional Research Service an den US-Kongress. Auch in Asien ist dies möglich.

Firmen: [elektroniknet](#), vom 5.12.2006

#### **Neue Namen unter den 10 größten IC-Herstellern**

Advanced Micro Devices (AMD) und Hynix Semiconductor werden laut Erhebungen des Marktför-

schungsinstituts iSuppli künftig unter den Top Ten der Halbleiterbranche geführt.

Wirtschaft: [Financial Times Deutschland](#), vom 5.12.2006

### Chip, Chip, hurra!

Finanzinvestoren greifen nach Halbleiterherstellern. Mit Milliardenübernahmen wollen sie eine nie da gewesene Fusionswelle anschieben – und kräftig daran verdienen. Doch das ist ein Vabanquespiel.

Wirtschaft: [EE Times.de](#), vom 7.12.2006

### German economy slowed by lack of engineers

The lack of engineers is threatens to affect the competitiveness of the German economy, warns professional organization VDI. Presently, German enterprises are searching for 22.000 engineers, a study released by VDI says. The November figure is significantly higher than in April, when 18.000 positions were open.

Markt: [Computerwoche](#), vom 8.12.2006

### Gartner: Weltweiter Halbleitermarkt legt deutlich zu

Mit einem weltweiten Umsatz von 261 Milliarden Dollar wuchs der Markt für Halbleiter dieses Jahr nach Angaben von Gartner um elf Prozent im Vergleich zu 2005.

Markt: [EE Times](#), vom 12.12.2006

### WiFi chipset sales up 25%

Wi-Fi chipset sales are expected to exceed 200 million units in 2006, according to a report released by the Wi-Fi Alliance and In-Stat

Markt: [Heise News](#), vom 13.12.2006

### 450-Millimeter-Wafer kommen wohl frühestens 2012

Statt im Jahr 2015 sollen die größeren Scheiben nun bereits 2012 zum Einsatz kommen, also in knapp 6 Jahren und noch vor der allgemeinen Einführung der 32-Nanometer-Fertigungstechnik, so nach der ITRS 2005. Die ITRS begründet das unter anderem damit, dass man mit dem Moore'schen Gesetz Schritt halten müsse.

Firmen: [channel-e Newsletter](#), vom 14.12.2006

### STMicroelectronics neu organisiert

STMicroelectronics wird seine Produktsegmente neu aufteilen und in die drei Bereiche applikationsspezifische Lösungen, Flash-Speicher sowie Industrie- und Multisegment-Produkte neu organisieren.

Markt: [presstext Deutschland](#), vom 15.12.2006

### 2015: Ein Drittel Elektronik im Auto

Navigationsgeräte, automatisch abblendende Rückspiegel oder intelligente Scheinwerfer-Elektronik ist aus dem Auto nicht mehr wegzudenken. Prognosen zufolge wird der Markt für Elektrik und Elektronik im Auto bis 2015 jährlich um knapp sechs Prozent zulegen und auf 230 Mrd. Euro anschwellen.

Forschung: [EE Times](#), vom 2.1.2007

### EDA '07 forecast: strong, but watch the bumps

EDA executives predict strong 2007 growth from electronic-system-level (ESL) and design-for-manufacturability (DFM) IC design tools.

Forschung: [BMBF Newsletter](#), vom 4.1.2007

### Bundesbericht Forschung 2006

Der alle vier Jahre erstellte „Bundesbericht Forschung“ ist die umfassendste Darstellung der Forschungslandschaft in Deutschland und ihrer Entwicklung.

Markt: [elektroniknet](#), vom 4.1.2007

### ZVEI-Prognose für Mikroelektronik bis 2010

Der Wachstumstrend in der Mikroelektronik wird sich auch in den nächsten Jahren fortsetzen. Das geht aus der neuesten Studie des Fachverbandes Electronic Components and Systems im ZVEI hervor.

Firmen: [Heise News](#), vom 5.1.2007

### HDMI-Vorreiter übernimmt IP-Schmiede sci-worx

Silicon Image, einer der Vorreiter bei der Entwicklung des High-Definition Multimedia Interface (HDMI), will durch die Übernahme der in Hannover ansässigen sci-worx GmbH (ehemals SICAN) seine Kompetenzen im Bereich SoC-Entwicklung (System on Chip) für die Speicherung, Übertragung und Darstellung hochauflösender Medien weiter erweitern.

Forschung: [presstext Deutschland](#), vom 9.1.2007

### Chips in organisches Substrat eingebettet

Forscher des Fraunhofer-Instituts für Zuverlässigkeit und Mikrointegration (IZM) haben eine Technologie entwickelt, bei der Chips nicht wie bislang durch Bonddrähte und bleihaltige Lötverbindungen auf der Leiterplatte aufgetragen, sondern in einem Substrat eingebettet sind. Durch die spezielle Einbettungsmethode, genannt Chip-in-Polymer (CiP)-Technik, sind die präzise bestückten Chips nach außen abgeschirmt, wodurch sie über hervorragende Hochfrequenz-Eigenschaften verfügen.

Markt: [presstext Deutschland](#), vom 12.1.2007

### Chiplager platzen aus allen Nähten

Nach Berechnungen der Marktforscher von iSuppli haben sich die Bestände an Halbleitern rund um den Globus auf einen Wert von 4,3 Mrd. Dollar summiert. Verantwortlich dafür zeichnet etwa die schwache Nachfrage nach Chips für 3G-Handys und für Highend-Computer.

Personen: [EE Times.de](#), vom 12.1.2007

### Changes made to MEDEA+ management team

Gerard Matheron, office director for MEDEA and MEDEA+ for over eight years, has stepped down after accepting a new assignment within STMicroelectronics NV.

## Von unseren Partnern im Ausland

[www.edacentrum.de/newsletter](http://www.edacentrum.de/newsletter)



### Robert Gardner Appointed Executive Director of Electronic Design Automation Consortium

The Board of Directors for the Electronic Design Automation Consortium (EDA Consortium) has appointed Robert Gardner as the organization's new Executive Director. In this capacity, Mr. Gardner will manage all of the industry group's operations and serve as one of its spokespersons. Mr. Gardner has been an EDA Consortium volunteer and Board member for more than ten years, most recently serving as chief financial officer and Treasurer. He has more than 40 years of management, engineering, operations and sales experience, and has held executive management positions at a number of EDA companies. Mr. Gardner has also had senior leadership roles at Exemplar Logic, Bridges2Silicon, Design Acceleration, Advanced Micro Devices, Avnet Corporation, Signetics/Philips, and Intersil. Mr. Gardner holds a BSEE (Bachelor of Science in Electrical Engineering) from California Polytechnic State University, Pomona, California.

"With the EDA industry growing against a strong semiconductor backdrop, we look forward to Bob playing a vocal leadership role in crafting the next phase of the EDA Consortium's development," said Aart de Geus, chairman of the EDA Consortium and chairman and chief executive officer of Synopsys, Inc. "Having served with the EDA Consortium for a number of years, Bob will be able to use his strong organizational and industry knowledge to move the Consortium forward quickly and effectively. The EDA Consortium Board also wants to thank Pam Parrish for her dedication, and for bringing increased visibility to our industry during the past ten years. We wish her continued success."

"As an organization, the EDA Consortium can achieve an impact greater than what individual companies can accomplish alone. Two examples of this are the Consortium's recent efforts related to export controls and to interoperability with the EDA Industry OS Roadmap," said Mr. Gardner. "I look forward to working with our leaders to reach common industry goals."

### Neuigkeiten von ENIAC

#### Forum of Stakeholders

Das ENIAC Forum of Stakeholders bestand ursprünglich aus 20 Vertragspartnern, die sich auf Anfrage der Europäischen Kommission zur Erarbeitung des Dokuments „Vision 2020 für die Nanoelektronik-Industrie“ formiert haben [6].

Weitere Mitglieder wurden zur Stärkung der Plattform und zum Erreichen eines ausgewogenen Verhältnisses zwischen Ländern, Industrie und Forschung aufgenommen. Die Aufnahme neuer Mitglieder muss durch die existierenden Mitglieder bestätigt werden. Mitglieder des

Forum of Stakeholders sollen ein entsprechendes, internationales Ansehen genießen und eine Schlüsselrolle in der Nanoelektronik oder verwandten Gebieten besitzen.

Durch die Vertretung ihrer Organisation berücksichtigen die Forenmitglieder die Interessen der Nanoelektronik in der European Research Area (ERA).

Die Teilnahme von Universitäten und Forschungseinrichtungen wird durch das Scientific Community Council (SCC) wahrgenommen, während KMUs aufgefordert sind, durch nationale Initiativen teilzunehmen.

#### Mitgliedschaft

Die genauen Bedingungen und Anleitungen für die Bewerbung zum ENIAC Forum of Stakeholders finden Industriepartner auf der ENIAC Webseite [7].

Die Bewerbung zum ENIAC-Beitritt muss als formaler „Expression of Interest“-Brief, unterschrieben durch einen offiziell dazu bevollmächtigten Firmen- oder Organisationsvertreter, zusammen mit einer Beschreibung des Firmenprofils, der relevanten Zahlen und Aktivitäten und einer Begründung des Beitritts zur Plattform an das ENIAC-Büro geschickt werden.

Damit die Mitgliedschaft wirksam wird, muss im Falle der Aufnahme durch das Forum of Stakeholders eine Verpflichtungserklärung (Letter of Intent) an das ENIAC-Büro geschickt werden, die das Beitragen zu den ENIAC-Aktivitäten und die Kostenteilung bestätigt.

#### Finanzierung

ENIAC Stakeholders tragen ihre Kosten, die durch die Teilnahme an der Technologieplattform, an der Arbeit für die SRA und der Überwachung ihrer Implementierung entstehen. Lediglich für die Startphase des operativen Geschäfts (ENIAC-Büro in Paris) konnten Fördergelder der EU eingeworben werden. Die Förderung der Forschungsaktivitäten wird durch Teilnahme an entsprechenden europäischen, regionalen und nationalen Projekten bereitgestellt. In diesem Zusammenhang sind besonders die Joint Technology Initiatives (JTI) von Interesse.

#### Joint Technology Initiatives (JTI)

Joint Technology Initiatives sind zielgerichtete neue Einrichtungen, deren Einführung im 7. Rahmenprogramm vorgesehen ist. JTIs ermöglichen Strukturen, um die Implementierung von Teilen oder der gesamten Strategic Research Agenda (SRA) zu ermöglichen. Dazu gehört unter anderem auch ein JTI-eigener Haushalt, der die Vergabe von JTI-eigenen Fördermitteln erlaubt. JTIs werden nur für ausgewählte SRAs installiert, die so anspruchsvoll sind, dass sie die Mobilisierung sehr hoher öffentlicher und privater Investitionen

For more information about the EDA Consortium or to subscribe to the Market Statistics Service, contact EDA Consortium at [www.edac.org](http://www.edac.org).

**Kont@kt**  
EDA Consortium  
111 West Saint John Street  
Suite 220  
San Jose, Calif. 95113, USA  
office 408-287-3322  
fax 408-283-5283  
[www.edac.org](http://www.edac.org)

Informationen zu ENIAC finden Sie im newsletter 01/2006



**Kont@kt:**  
Dr. Andreas Vörg,  
fon: 0511 762-19686,  
voerg@edacentrum.de

sowie Forschungsressourcen benötigen. Weitere Informationen zu den vorbereitenden Arbeiten an JTIs gibt es in einem Arbeitspapier der Kommission [4].

ENIAC wurde ausgewählt und ist berechtigt, als eine der Technologieplattformen (TP) den Start einer JTI vorzuschlagen [5]. Wesentlicher Bestandteil der ENIAC JTI-Vorbereitungen ist jetzt das Aufsetzen einer rechtlichen Struktur, die später zusammen mit der europäischen Kommission und relevanten Mitgliedsstaaten das Joint Undertaking nach Artikel 171 des EU-Vertrags bildet. Am 14.9.2006 fand hierfür im ENIAC-Büro in Paris ein Vorbereitungstreffen statt. ENIAC kann hinsichtlich der rechtlichen Aspekte in großem Maße auf die vorbereiteten Arbeiten von ARTEMIS zurückgreifen. In dem Vorbereitungstreffen konnte sich die Arbeitsgruppe daher im Wesentlichen auf die Anpassung der ARTEMIS-Vorarbeiten an die ENIAC-spezifische Konfiguration und deren Bedürfnisse konzentrieren. Die Hauptentscheidungen waren die JTI in Frankreich als juristische Vereinigung eintragen zu lassen, wo ENIAC und MEDEA+ bereits Büros besitzen. Weiterhin wurde beschlossen mit dem Entwurf der Artikel für die Association for European Electronics Activities (AENEAS) zu beginnen.

#### Veranstaltungen

Am 22.9.2006 fand ein gemeinsamer MEDEA+/ENIAC-Workshop mit dem Titel „Nanoelectronics 2015: towards and beyond“ in Montreux statt [3]. Unter anderem trug das MEDEA+ Scientific Committee zum Thema „Towards and Beyond 2015“ vor. Die ENIAC-Arbeitsgruppe SRA stellte mit den Themen „More Moore & Beyond CMOS“, „More-than-Moore & Heterogeneous Integration“, „Design Automation“ und „Equipment and Materials“ ihren Plan vor, wie sich Europa den künftigen Herausforderungen stellen sollte. Weiterhin stand die Überarbeitung der SRA auf der Tagesordnung.

Am 30.11.2006 fand das ENIAC-Forum [1] in Monte Carlo im Zusammenhang mit dem MEDEA+-Forum [2] (am 28. und 29.11.) statt [1]. Das Forum gab Einblicke zum Hintergrund, des aktuellen Standes und der weiteren Aktivitäten der europäischen Technologieplattform (ETP) ENIAC. Es wurde die überarbeitete Version der Strategic Research Agenda (SRA) vorgestellt, die zwar keine grundsätzlichen Änderungen, aber eine wesentliche Verbesserung der Abschnitte, die in der ersten Ausgabe nicht ausreichend abgedeckt waren, beinhaltete. Ein wesentlicher Tagesordnungspunkt des Forums war die Integration der SRA in das europäische 7. Rahmenprogramm. Des Weiteren stand die Einbindung von KMUs sowie die künftige Entwicklung von ENIAC im Hinblick auf eine Joint Technology Initiative (JTI) auf dem Programm. Dabei ging es weniger um die Frage, ob die ENIAC-JTI eingerichtet wird, als vielmehr um die Aufteilung der von ENIAC abgedeckten Themen auf die JTI und das 7. Rahmenprogramm. Insbesondere ist noch nicht geklärt, wo das Thema Design Automation angesiedelt sein wird. (AV)

#### Weitere Informationen

- [1] <http://www.eniac.eu/web/events/forum2006.php>
- [2] [http://www.medeaplus.org/web/forum2006/F\\_programme.php](http://www.medeaplus.org/web/forum2006/F_programme.php)
- [3] [http://lsmwww.epfl.ch/esscirc2006/images/MEDEA\\_Workshop\\_Program.pdf](http://lsmwww.epfl.ch/esscirc2006/images/MEDEA_Workshop_Program.pdf)
- [4] „Report on European Technology Platforms and Joint Technology Initiatives: Fostering Public-Private R&D Partnerships to Boost Europe’s Industrial Competitiveness“, SEC(2005)800, 10.6.2005, <http://cordis.europa.eu/search/documents/documentlibrary/ADS0013281EN.pdf>
- [5] „A way towards ENIAC JTI: Meeting on JTI Organisation“, ENIAC Nano News, Nr. 2, November 2006
- [6] edacentrum Newsletter 01 2006
- [7] [http://www.eniac.eu/web/join/local\\_index.php](http://www.eniac.eu/web/join/local_index.php)

#### Glossar

Abkürzung	Begriff	Informationen
(E)TP	(European) Technology Platform	<a href="ftp://ftp.cordis.europa.eu/pub/technology_platforms/docs/tp_leaflet_de.pdf">ftp://ftp.cordis.europa.eu/pub/technology_platforms/docs/tp_leaflet_de.pdf</a>
AENEAS	Association for European Electronics Activities	
ENIAC	European Nanoelectronics Initiative Advisory Council	<a href="http://www.eniac.eu">http://www.eniac.eu</a> , <a href="http://cordis.europa.eu/ist/eniac/home.html">http://cordis.europa.eu/ist/eniac/home.html</a> , <a href="ftp://ftp.cordis.europa.eu/pub/era/docs/2_nanoelectronics_tp_en.pdf">ftp://ftp.cordis.europa.eu/pub/era/docs/2_nanoelectronics_tp_en.pdf</a>
ERA	European Research Area	<a href="http://cordis.europa.eu/era/">http://cordis.europa.eu/era/</a>
ESFRI	European Strategy Forum on Research Infrastructures	<a href="ftp://ftp.cordis.europa.eu/pub/esfri/docs/esfri-roadmap-report-26092006_en.pdf">ftp://ftp.cordis.europa.eu/pub/esfri/docs/esfri-roadmap-report-26092006_en.pdf</a>
EURAB	European Research Advisory Board	<a href="http://ec.europa.eu/research/eurab/index_en.html">http://ec.europa.eu/research/eurab/index_en.html</a>
JTI	Joint Technology Initiative	[4] : <a href="http://cordis.europa.eu/search/documents/documentlibrary/ADS0013281EN.pdf">http://cordis.europa.eu/search/documents/documentlibrary/ADS0013281EN.pdf</a>
PRINS		Pan European Research Infrastructure for NanoStructures
SCC	Scientific Community Council	
SRA	Strategic Research Agenda	<a href="http://www.eniac.eu/web/SRA/SRA_HR2.pdf">http://www.eniac.eu/web/SRA/SRA_HR2.pdf</a> , <a href="ftp://ftp.cordis.europa.eu/pub/ist/docs/eniac/strategic_research_agenda_full.pdf">ftp://ftp.cordis.europa.eu/pub/ist/docs/eniac/strategic_research_agenda_full.pdf</a>

**Tabelle 3.01:**  
Abkürzungen, Begriffe und zugehörige Informationsquellen im ENIAC-Umfeld

**We are deeply sad to learn that Richard Newton passed away from pancreatic cancer on January 2, 2007. He was 55.**

As the whole EDA community, edacentrum is very much indebted to Richard for his great contributions to the EDA. We feel honored to have had him as a speaker of the General Keynote at our first edaForum in December 2002. (See photos at [www.edacentrum.de/edaForum](http://www.edacentrum.de/edaForum).)

Richard Newton was the Roy W. Carlson Professor of Engineering at the University of California, Berkeley, and a Professor in the Department of Electrical Engineering and Computer Sciences at Berkeley and was the founding Director of the MARCO/DARPA Gigascale Silicon Research Center for Design and Test from 1998–2002. His teaching and research interests included all aspects of the design of electronic systems and the application of information and communication technologies (ICT) to the solution of societal problems.

Dr. Newton began his EDA career as a student at the University of Melbourne, Australia, where he devel-

oped one of the first interactive versions of the SPICE circuit simulator in 1971, using an ASR33 teletype. He continued his work in circuit simulation at Berkeley, pioneering mixed-mode simulation and then developing with his students a timing analysis technique in the mid-1980s.

Dr. Newton introduced the notion of a „CAD Framework“ to the research community in 1979-where a unified data model, open tool-based integration methodology and extension language are used to construct and evolve an EDA system. This work was used as the technical foundation for SDA Systems, now Cadence Design Systems. He was also part of the core team that developed EDIF (Electronic Design Interchange Format).

Dr. Newton has also played a key role in the formation of several successful EDA companies, including Synopsys Inc., SDA, PIE Design Systems and Simplex Solutions (now part of Cadence) among others.

The EDA Consortium (EDAC) honored Richard Newton with the 2003 Kaufman Award in October 2003.

More information about Richard Newton can be found at [www.eecs.berkeley.edu/%7Enewton/index.html](http://www.eecs.berkeley.edu/%7Enewton/index.html) and [www.edac.org/htmlfiles/KaufmanAward/RichardNewton2.htm](http://www.edac.org/htmlfiles/KaufmanAward/RichardNewton2.htm).



Richard Newton, Dean of the College of Engineering and Computer Sciences at Berkeley, (Keynote Speaker at our first edaForum in 2002)

# EDA Consortium reports 15 % Revenue Growth in 2nd Quarter 2006

Source EDA Consortium, Market Statistics Service Press Release

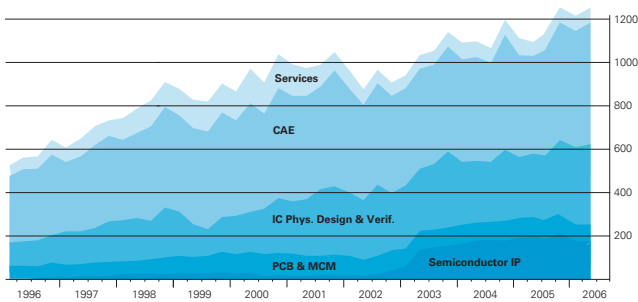


Chart 4.01: EDA and SIP Revenue, Q1 1996 to Q2 2006 [in Million US-\$]

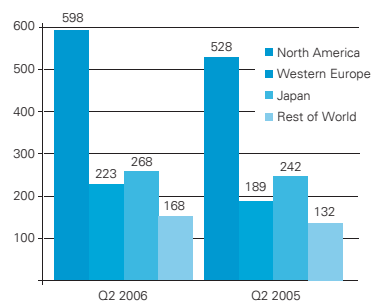


Chart 4.02: Total EDA & SIP Revenue by Geographic Region [in Million US-\$]

The EDA Consortium’s Market Statistics Service (MSS) today announced that the electronic design automation (EDA) industry revenue for Q2 of 2006 grew 15% to \$1,256 million, versus \$1,091 million in Q2 2005, due in part to new company participation. Total product revenues, without services, was up 15% to \$1,180 million in Q2 of 2006 vs. \$1,028 million in the same quarter of 2005.

“It was a strong quarter for the industry, with revenue up again in all regions and nearly all categories,” said Aart de Geus, chairman of the EDA Consortium and chairman and CEO of Synopsys, Inc. “This continued growth reflects a healthy environment for the semiconductor industry as a whole.”

### Employment Data

Reporting companies employed 23,784 professionals in Q2 2006, up 7% from the 22,130 reported in Q2 2005.

### Revenue by Product Category

EDA’s largest tool category, Computer-Aided Engineering, generated revenue of \$511 million in Q2 2006, 15% more than the same period in 2005. Printed Circuit Board and Multi-Chip Module revenue decreased 4% to \$83 million in Q2 2006 compared to Q2 2005. IC Physical Design & Verification revenue increased 19% to \$343 million in Q2 2006 compared to the same

quarter in 2005. Semiconductor Intellectual Property (SIP) revenue totaled \$243 million in Q2 2006, a 17% increase over Q2 2005. Services revenue was \$76 million in Q2 2006, up 20% from Q2 2005.

### Revenue by Consuming Region

North America, EDA’s largest region, purchased \$598 million of EDA products and services in Q2 2006, a 13% increase over Q2 2005. Western Europe revenue was up 18% in Q2 2006 with revenues of \$223 million. 2006 Q2 revenue from Japan grew 11% over Q2 2005 to \$268 million. Rest-of-World (ROW) continued to extend previous years of revenue growth by increasing 27% to \$168 million in Q2 2006.

### About the MSS Report

The EDA Consortium’s Market Statistics Service reports EDA industry revenue data quarterly and is available by annual subscription. Each quarterly report is published approximately three months after quarter close. MSS report data is segmented as follows: revenue type (product licenses and maintenance, services, and SIP), application (CAE, PCB/MCM Layout, and IC Physical Design and Verification), operating system (UNIX vs. Windows) and region (North America, Western Europe, Japan, and Rest of World), with many subcategories of detail provided. The report also tracks total employment of the reporting companies.

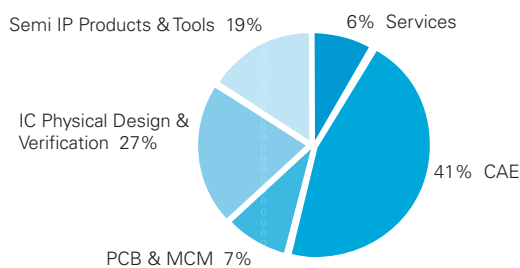


Chart 4.03: Distribution of the total EDA & SIP Revenue by Product Category

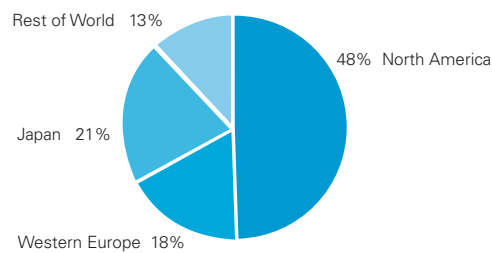


Chart 4.04: Distribution of the total EDA & SIP Revenue by Region

**Cont@ct:**  
 EDA Consortium  
 111 West Saint John Street  
 Suite 220, San Jose, Calif.  
 95113, USA  
 fon: 408-287-3322  
 fax 408-283-5283  
 www.edac.org

## 5 Mitglieder

### Nachrichten von unseren Mitgliedern

[www.edacentrum.de/newsletter/](http://www.edacentrum.de/newsletter/)



Concept Engineering GmbH

#### **Concept Engineering Introduces RTLvision™ PRO to Help Designers of IP-based System-on-Chip Reach Faster RTL Code Closure – New RTL debugging tool supports SystemVerilog, Verilog and VHDL standard languages**

Concept Engineering announced the release of RTLvision™ PRO, a customizable tool to help designers of intellectual property (IP)-based system-on-chip reduce the complexity of the debug process and makes it easier to understand and change register-transfer level (RTL) code. With the addition of RTLvision PRO to Concept Engineering's product line, the company now offers interactive visualization and debugging tools for all major design levels: RTL-level, gate-level and transistor-level.

Integrated circuit (IC), SoC, and field programmable gate array (FPGA) design and verification engineers who develop, integrate and debug RTL code and IP components are facing increasing productivity pressure as designs become more complex and challenging. Designers often alleviate this pressure by using IP-based SoC design methods. RTLvision PRO allows these designers to quickly understand, integrate and debug third-party or "inherited" IP.

RTLvision PRO helps engineers reach faster RTL code closure by enabling quick visualization of critical design fragments and easy understanding of design behavior and design miss behavior. With mixed-language support for System Verilog, Verilog and VHDL and ultra-fast HDL readers, RTLvision PRO can be used on today's most complex heterogeneous designs. This easy-to-use, high-performance tool helps reduce the complexity of the debug process via its interactive logic cone navigation feature, which shows just the critical portion of the RTL design in the logic cone window while concurrently providing links to the original source code.

**Kont@kt**

Gerhard Angst

Concept Engineering GmbH

E-Mail: [gerhard@concept.de](mailto:gerhard@concept.de)

[www.concept.de](http://www.concept.de)

Free evaluation packages for RTLvision PRO are available from Concept's website at [www.concept.de](http://www.concept.de).

Concept Engineering GmbH

#### **Concept Engineering Introduces SGvision™ PRO to Help System-on Chip Designers Analyze and Debug Mixed-Mode Circuits**

##### **Tool provides detailed information for both digital and analog or library components**

Concept Engineering announced the release of SGvision™ PRO, a mixed-mode debugging tool that allows system-on-chip (SoC) designers and verification engineers to more quickly analyze and debug circuits that contain both digital and transistor-level components. SGvision PRO supports mixed-level debugging of SPICE and Verilog standard languages at the same time.

Many SoC implementation and debugging problems can be easily understood and solved when designers get detailed information and debug support not only from their pure digital components (Verilog), but also from the analog or library components (SPICE). Existing customers of the Concept's GateVision® PRO (for gate-level debugging) and SpiceVision® PRO (for transistor-level debugging) tools had been requesting capabilities that would allow them to analyze mixed-level descriptions with top-level structures described in Verilog and lower-level structures described via SPICE.

SGvision PRO is an easy-to-use, very high performance and high capacity tool that is customizable via a TCL-based UserWare API (application programming interface), which allows designers to extend the functionality of SGvision PRO to meet the immediate needs of the project. The tool provides the debugging features known from the existing GateVision PRO and SpiceVision PRO products to help reduce the complexity of the debug process and make it easier to understand and fix mixed-mode designs. For example, SGvision PRO helps to reduce the complexity of the debug process via its interactive logic cone navigation feature, showing just the critical portion of the design in one debugging window (the Logic Cone Window) while providing links to the original SPICE or Verilog source code at the same time.



## Halbleiter-Konferenz in München – Immer schneller, kleiner, leistungsfähiger?

**„Shrink, shrink, shrink“ war lange Zeit der Treiber der Halbleiterindustrie. Heute sind neue Wege erforderlich, um die hohen Produktivitätsanforderungen zu erfüllen. Wie Infineon sich dieser Herausforderung stellt, erläuterte Vorstandsmitglied Hermann Eul auf einer Halbleiter-Konferenz in München.**

Immer schneller, kleiner und leistungsfähiger. Müssen und können wir diesen Weg uneingeschränkt weiter gehen? Mit dieser zentralen Frage setzte sich Vorstandsmitglied Hermann Eul in seinem Vortrag „Innovative Integration und innovative Wertschöpfung – Perspektiven einer neuen Art der Zusammenarbeit“ auf der 10. Handelsblatt-Jahrestagung „Halbleiterindustrie“ auseinander, bei der im Oktober Vertreter von Halbleiterherstellern, -zulieferern, Verbänden und Politik über die Zukunft der Branche diskutierten.



**Abbildung 5.01:** Prof. Dr. Hermann Eul, Mitglied des Vorstands, Leiter des Geschäftsbereichs Communication Solutions, Infineon Technologies AG

In der Vergangenheit war relativ klar: Das kleinste Stück Silizium war auch die günstigste Option. Dieser Schluss kann heute nicht mehr so selbstverständlich gezogen werden. Bei einer Reihe von Produkten ist eine weitere Strukturverkleinerung wirtschaftlich nicht sinnvoll. Zudem haben sich die Anforderungen unserer

Kunden verändert: Im Mittelpunkt stehen Lösungen und Systeme, nicht die Jagd nach dem nächsten Technologieknoten. „Infineon trägt diesem Paradigmenwechsel mit neuen Fertigungsstrategien, neuen Partnerschaftsstrategien und neuen Innovationsprozessen Rechnung“, erklärte Eul.

### Neue Fertigungsstrategien – Smart Technology Access

Unter dem Stichwort „Smart Technology Access“ stellte Eul zunächst die unterschiedlichen Fertigungsstrategien für die einzelnen Logiksegmente bei Infineon vor und zeigte auf, warum ein mehrgleisiges Fertigungskonzept bestehend aus Fertigung in eigenen Werken, Auslagerung und Fertigungskooperationen nicht nur ein hohes Maß an Flexibilität bietet, sondern auch die Möglichkeit, für die einzelnen Produktgruppen die jeweils kosteneffektivste Fertigungsmethode heranzuziehen. Dass der Verzicht auf eine eigene Fertigung nicht gleichbedeutend ist mit einem Kompetenzverlust, demonstrierte Eul anhand der strategischen Allianz mit IBM, Chartered und Samsung bei der Entwicklung von 65-nm- und 45-nm CMOS: „Mit der Verfügbarkeit der bei Chartered und IBM produzierten 65-nm-Handychips haben wir eindrücklich demonstriert, dass wir auch ohne eigene Fertigung in den neuesten Technologieknoten weiterhin alles anbieten können. Die Allianz erlaubt uns, IP zu bündeln sowie Ausgaben und Risiko für R&D und Produktion zu teilen. Gleichzeitig sind wir in der Lage, unsere Expertise bei Prozesstechnologien und Designsystemen aufrechtzuerhalten.“

### Neue Innovationsprozesse: Innovative Integration als Basis für kundenspezifische Applikationen

Im Zuge der Veränderungen in der Halbleiterindustrie müssen auch neue Faktoren im Innovationsprozess berücksichtigt werden. Dazu Eul: „Relevant sind heute die Gesamtkosten, nicht mehr die Frage, in welcher Fertigungstechnologie ein Chip hergestellt wird. Der Fortschritt wird daher zunehmend durch Systemintegration bestimmt und nicht mehr nur durch den Technologieknoten. In Verbindung mit immer höheren Einstiegsbarrieren für die Einführung neuester Technologien gilt es sorgfältig abzuwägen, welcher Technologieknoten für welche Produkte die günstigste Realisierung darstellt.“ So seien gerade im Bereich der Low-cost und Standard-Mobilkommunikation viele der modernsten Produkte in 130-nm-CMOS gefertigt, also nicht im allerletzten Technologieknoten. „Bei Infineon gehen wir diese Herausforderung unter dem Stichwort Innovative Integration an“, so Eul weiter. „Vorhandene Funktionen in sicher beherrschten Technologien möglichst Platz und damit Kosten sparend in einem Chip unterzubringen, ist ein Weg, um Innovationen möglichst kostengünstig anbieten zu können.“ Innovative Integration bringe aber auch eine Reihe von Herausfor-

**Kont@kt**  
Alexandra Lattek  
Infineon Technologies AG  
E-Mail: [Alexandra.Lattek@infineon.com](mailto:Alexandra.Lattek@infineon.com)

derungen mit, sagte Eul weiter. Kundenorientierung, vorausschauendes Denken in Form von Feature-Roadmaps, umfassendes Anwendungsverständnis, sowie ein ausgereiftes Innovations- und Knowledge-Management sind die zentralen Voraussetzungen, um die Zielgrößen First-time-right und Time-to-Market zu erreichen.

### Folgerungen für die Zusammenarbeit der Wertschöpfungskette

Dass die Halbleiterindustrie nicht mehr ausschließlich technologie- und fertigungsgetrieben ist, sondern durch System- und Applikations-Know-how, zieht auch Veränderungen in der Wertschöpfungskette des Halbleiterherstellers und in der Zusammenarbeit mit dem Kunden nach sich. Um den künftigen Herausforderungen erfolgreich zu begegnen, ist eine noch engere interdisziplinäre Verschränkung, eine integrierte Produkt-Technologie-Strategie, ein umfassendes Value-Chain-Denken und eine noch stärkere Verschränkung mit dem Kunden erforderlich. „Ein schneller Kundenzugang, umfassendes Applikations-Know-how und die Fähigkeit zur schnellen und effizienten Systemintegration werden zu immer stärkeren Wettbewerbsfaktoren für einen Halbleiterhersteller“, fasst Eul zusammen. „Nur, wer sich entsprechend aufstellt, wird langfristig gewinnen.“



Mentor Graphics GmbH

### Mentor Graphics verstärkt ESL-Angebot durch Übernahme von Summit Design

Mit der Übernahme des EDA Unternehmens Summit Design, einem führenden Anbieter von ESL-Design (Electronic System Level-Design), festigt Mentor Graphics seine führende Position in diesem Bereich. Mentor Graphics wird dadurch das erste EDA-Unternehmen mit einer vollständigen ESL-Lösung, die sowohl C-basierendes Design, Synthese und Verifikation als auch CDV (Coverage Driven Verification) beinhaltet.

Mentor Graphics verfügt bereits über Fähigkeiten im ESL Design & Verifikations Bereich mit Catapult C (C/C++ Synthese), Seamless (HW/SW Co-Verifikation) und Questa (Code Coverage, SystemC Simulation). Diese werden nun durch die Summit ESL Design Umgebung ergänzt.

„Der Schlüssel zur Abdeckung des gesamten ESL-Design-Bereichs ist es, den heutigen HDL-Designern einen Pfad zu ESL-Design anzubieten, ohne ihren bestehenden Flow verlassen zu müssen. Summit

Design hat seine Stärken im RTL-Design genutzt und Anwendern geholfen, mit dem Transferprozess von RTL-Design-Flows in ESL-Flows zu beginnen“, sagte Glenn Perry, General Manager, Mentor Graphics. Mentor besitzt Tools für die ESL-Synthese und bei Verifikationslösungen, die die RTL- und ESL-Bereiche mit Hilfe unserer Catapult- und Questa-Lösungen verbinden.

Mentor Graphics wird die Summit-Design-Produkte Visual, Vista und System Architect nutzen, um den Flow im ESL-Design zu vervollständigen und verfügt dadurch über ein leistungsfähiges, sich ergänzendes Lösungsportfolio, welches ab sofort bestehenden und potentiellen Kunden angeboten wird.

Der frühere CEO von Summit, Guy Moshe, wird den Unternehmensbereich innerhalb der Design-Creation-Business-Unit von Mentor als Executive Director „R&D Center for Advanced Design Solutions“ leiten. Mentor wird auch in Zukunft bestehende Produkte von Summit Design weiterentwickeln, anbieten und unterstützen. Dazu zählt auch der Support von Nicht-Mentor-Flows.



MunEDA GmbH

### MunEDA wählt DAVAN Tech. als exklusiven Distributor für den koreanischen Markt

MunEDA hat mit dem koreanische EDA-Distributor DAVAN Technologies eine Exklusiv-Vertriebspartnerschaft für den koreanischen Markt geschlossen. Davan wird zukünftig MunEDA Tools wie z.B. WiCkeD in Korea vertreiben und supporten.

Andreas Ripp, Vizepräsident Sales & Marketing bei MunEDA, bewertet die Partnerschaft als sehr positiv: „Der koreanische Halbleitermarkt hat eine der höchsten Wachstumsraten weltweit. Die Zusammenarbeit mit DAVAN, der Nummer eins im Vertrieb von EDA- und SoC-Software und Lösungen in Korea, ermöglicht es uns, die hohe Nachfrage der koreanischen Halbleiterfirmen für unsere DFM-DFY-Lösungen zu bedienen. DAVAN hat ein hervorragendes Renommee als EDA-Lieferant im koreanischen Halbleitergeschäft sowie ausgezeichnete und langjährige Kunden-Beziehungen.“

„MunEDA ist ein weltweiter führender Lieferant von Silicon-proven EDA-Softwarelösungen für DFM-DFY für das Front-End-Level-Design,“, so Sancho Park, CEO von DAVAN. „MunEDAs Tools lösen kritische Probleme im heutigen Schaltungsentwurf und verbes-

**Kont@kt**  
Martin Reuter  
Mentor Graphics GmbH  
Technical Director  
Central Europe  
martin\_reuter@mentor.com

**Kont@kt**  
Kilian Beck  
MunEDA GmbH  
fon: 89930 86 330  
E-Mail: kilian.beck@muneda.com  
www.muneda.com

sern Robustheit und Zuverlässigkeit der entworfenen und produzierten Schaltungen. Die Werkzeuge von MunEDA maximieren das erwartete Herstellungsergebnis und unterstützen den Designer beim Entwurf kritischer Schaltungs-Strukturen. Die Kombination der Lösungen DFM-DFY von MunEDA und die Position von DAVAN im koreanischen Markt helfen unseren Kunden, Designleistungsfähigkeit sowie Produktergebnis und -zuverlässigkeit zu erhöhen.“



OFFIS e.V.

### OFFIS präsentierte sich auf der ISLPED

Das weltweit führende, von ACM und IEEE getragene wissenschaftliche Forum für Low-Power-Design „International Symposium for Low-Power Electronic and Design“ (ISLPED), fand mit 150 Wissenschaftlern aus aller Welt unter Leitung des OFFIS Vorstandsvorsitzenden Prof. Dr. Wolfgang Nebel dieses Jahr in Deutschland, in Rottach-Egern (Tegernsee), statt.

OFFIS – neben Herrn Nebel auch vertreten durch Domenik Helms – stellte hier neue Ergebnisse im Bereich der Analyse und -Optimierung der statischen Verlustleistung (Leakage Power) in Form mehrerer Vorträge und insbesondere eines „Half-Day“-Tutorials vor.

Im nächsten Jahr findet die ISLPED in Portland, Oregon, USA, statt ([www.islped.org](http://www.islped.org)).

OFFIS e.V.

### MAP2 – Micro-Architectural Power Management: Methods, Algorithms and Prototype Tools

„Forschung & Innovation“ lautet das Leitmotiv des von der EU initiierten Förderinstruments CRAFT für die Kooperationsforschung von Forschungseinrichtungen und KMUs. Das neue, von OFFIS koordinierte

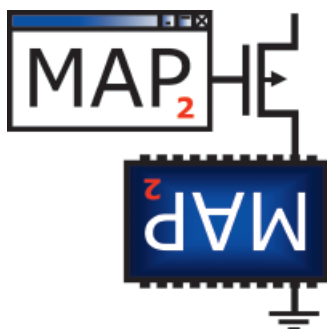


Abbildung 5.02: Logo des projekts MAP2

EU-Projekt MAP2 startete am 1. November. In dem Projekt wird OFFIS zusammen mit der ChipVision Design Systems AG Methoden und Algorithmen für ein Power-Management auf Micro-Architektur-Ebene im Chipentwurf entwickeln und in die am OFFIS entstandene und von ChipVision weiterentwickelte und vermarktete EDA-Software ORINOCO® integrieren. Weitere Partner im Projekt sind Politecnico di Torino und BullDAST aus Italien, sowie CSEM aus der Schweiz.

Kont@kt:

Prof. Dr.-Ing. Wolfgang Nebel  
OFFIS e.V.

E-Mail: [nebel@offis.de](mailto:nebel@offis.de)  
[www.offis.de](http://www.offis.de)

## SYNOPSYS®

Synopsys GmbH

### Synopsys erweitert DesignWare-IP, verbessert Test- und DFM-Fähigkeiten und akquiriert SIGMA-C-Software AG

Synopsys gab am 30. Oktober 2006 bekannt, dass es seine DesignWare®-Cores IP in der kommenden Version mit einer kompletten Schnittstellenlösung auf System-Ebene für leistungsstarke DDR2-SDRAM-Speicher-Subsysteme erweitern wird. Die neue DesignWare-IP wird dazu beitragen, eine Speichersystem-Performance von bis zu 800 Megabit pro Sekunde (Mbit/s) sicherzustellen. Hierzu wird eine vollständige DDR2-SDRAM-Memory-Interface-Lösung bereitgestellt, welche einen skalierbaren digitalen Controller, ein komplettes integriertes Physical-Interface-Hardmacro sowie Verification-IP umfasst und modernste Verifikationsmethoden unterstützt. Die nahtlose Integration zwischen Memory-Controller und PHY minimiert die Risiken und maximiert die Performance.

Am 24. Oktober kündigte Synopsys die Entwicklung von Verknüpfungen zwischen TetraMAX® Automatic-Test-Pattern-Generation-(ATPG)-Diagnostics und seinem Yield-Management-System (YMS) Odyssey zum Beschleunigen des Yield-Ramps in der Chipproduktion an. Diese Verknüpfungen werden es ermöglichen, Test-Failure-Diagnosedaten aus TetraMAX schnell und unkompliziert in das Odyssey-YMS zu exportieren. Für Chip-Hersteller wird das den Vorteil haben, dass riesige Mengen an Diagnosedaten, die in der Serienproduktion generiert werden (im Englischen spricht man hier auch von „Volume-Diagnostics“), leichter analysiert werden können, um den Process-Yield fortlaufend zu verbessern. Aber auch die Kunden der Hersteller (ohne eigene Produktion) werden davon profitieren, indem sie frühzeitig einen Zugang zu den Nanometer-Prozessen mit hoher Ausbeute bekommen und der Serienhochlauf individueller Produkte noch schneller erfolgt.

Am 16. Oktober stellte Synopsys eine neue Familie prozess-orientierter Design-for-Manufacturing-(PA-

DFM)-Produkte vor, welche Schwankungseffekte auf der Custom-/Analog-Entwurfsebene für 45-Nanometer-(nm)-Designs und darunter analysieren. Mit weiterhin schrumpfenden Strukturgrößen beeinflussen Fertigungsschwankungen bei modernen Siliziumtechnologien in zunehmendem Maße die Schaltkreisperformance, beispielsweise im Rahmen des Strain-Engineerings. Die Kernprodukte der PA-DFM-Produktfamilie – Synopsys Seismos und Paramos – führen Information über Fertigungsschwankungen zurück in den Entwurfsprozess und ermöglichen den Entwicklern kundenspezifischer ICs die Optimierung der Layouts und die Maximierung der Ausbeute.

Am 9. Oktober präsentierte Synopsys die neue MinChip-Technologie, welche die physikalische Entwurfskomplexität analysiert und die kleinste verdrahtbare Größe für Halbleiterentwürfe identifiziert. Diese Technologie ist in den physikalischen Designflow in Synopsys' Floorplanning-Tool JupiterXT™ und die Place-and-Route-Lösung IC Compiler integriert. Die MinChip-Technologie automatisiert den Prozess der Identifikation der kleinsten verdrahtbaren Fläche eines Designs. Optimale Ergebnisse lassen sich in

wenigen Stunden erzielen. Dies spart wochenlangen manuellen Aufwand und berücksichtigt alle potenziellen Einsparmöglichkeiten. Die durch MinChip ermöglichte neue Chip-Flächen Optimierungsmethodik ist sehr nützlich bei Anwendungen mit hoher Stückzahl, bei denen selbst kleine Flächeneinsparungen signifikanten Einfluss auf die Gesamtkosten pro Chip haben.

Synopsys stellte am 27. September die Verbesserungen seines TetraMAX®-Produktes zur automatischen Test-Pattern-Generierung (ATPG) vor, welche sich wie immer in einer Verkürzung der Laufzeit um den Faktor drei (3x) oder besser im Vergleich zu der Vorgängerversion zeigen, und das über alle Entwicklungstile hinweg. Die kürzere ATPG-Laufzeit sowohl für Stuck-At- als auch Transition-Delay-Tests ergibt erhebliche Produktivitätsgewinne für Entwickler bei der Erstellung hochwertiger Produktionstests.

Am 16. August gab Synopsys bekannt, dass die Übernahme der SIGMA-C™ Software AG (SIGMA-C) abgeschlossen ist. Die Firma mit Sitz in München bietet Simulationssoftware an, welche Halbleiterfirmen

**Kont@kt**

Marilyn von Hoening  
Synopsys GmbH  
fon: 089 99320165

E-Mail: Marilyn.Lucy.vonHoening@synopsys.com  
www.synopsys.com

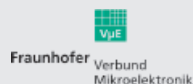
Unter  
[www.edacentrum.de/  
portrait/mitglieder/](http://www.edacentrum.de/portrait/mitglieder/)  
finden Sie im Internet  
weitere Informationen



**AMD**  
[www.amd.de](http://www.amd.de)



**Catena Software GmbH**  
[www.catena-ffo.de](http://www.catena-ffo.de)



**FhG Verbund Mikroelektronik**  
[www.vue.fhg.de](http://www.vue.fhg.de)



**Ansoft GmbH und Co. KG**  
[www.ansoft.com](http://www.ansoft.com)



**ChipVision Design Systems AG**  
[www.chipvision.com](http://www.chipvision.com)



**FZI - Forschungszentrum Informatik**  
[www.fzi.de](http://www.fzi.de)



**Atmel Germany GmbH**  
[www.atmel.com](http://www.atmel.com)



**Concept Engineering GmbH**  
[www.concept.de](http://www.concept.de)



**IBM Deutschland Entwicklung GmbH**  
[www.ibm.com/de/entwicklung](http://www.ibm.com/de/entwicklung)



**Robert Bosch GmbH**  
[www.bosch.de](http://www.bosch.de)



**CST - Computer Simulation Technology**  
[www.cst.com](http://www.cst.com)



**IMMS gGmbH**  
[www.imms.de](http://www.imms.de)



**Cadence Design Systems**  
[www.cadence-europe.com](http://www.cadence-europe.com)



**Doulos Ltd.**  
[www.doulos.com](http://www.doulos.com)



**IMST GmbH**  
[www.imst.de](http://www.imst.de)



und deren Zulieferern erlaubt, Prozess-Sequenzen für optische Lithographie, Elektronenstrahl-Lithographie sowie Lithographie-Technologien der nächsten Generation (Next-Generation-Lithography, kurz NGL) zu entwickeln und zu optimieren. Durch die Übernahme wird eine engere Integration zwischen Entwurfs- und Fertigungstools ermöglicht. Dies erlaubt allen Synopsys' Kunden eine genauere Design-Layout-Analyse mittels 3D-Lithographie-Simulation sowie das Verständnis von Ausbeute-Problemen zum Zwecke einer effektiven Design-for-Manufacturing-(DFM)-Implementierung. Dabei profitieren Synopsys' Kunden von reduzierten Chip-Re-Spins und höherer Produktausbeute.



Universität Bremen

**Toolunterstützung für das Design-Debugging durch Formale Methoden**

Die formale Eigenschaftsprüfung oder die Verwendung von Assertions eignen sich hervorragend, um funktionale Fehler in einem Design zu entdecken. Doch die Lokalisierung der Fehlerursache bleibt bis heute ein weitgehend manueller, sehr zeitraubender Prozess. Ist der Fehler also erst einmal gefunden, wird der Designer (fast) alleine gelassen. Er muss sich mühsam durch das Design arbeiten, um die Ursache für den Fehler zu finden. Unterstützung wird lediglich durch Werkzeuge geboten, die die Analyse eines einzelnen Fehlerszenarios erleichtern. Im Ergebnis ist der Zeitaufwand für diesen Debugging-Prozess oft größer als für die eigentliche Überprüfung der Korrektheit.

Vor diesem Hintergrund wurde in der Arbeitsgruppe Rechnerarchitektur unter Leitung von Prof. Dr. Rolf Drechsler an der Universität Bremen in Zusammenarbeit mit der Gruppe von Dr. Roderick Bloem an der TU



**Infineon Technologies AG**  
www.infineon.com



**MatrixOne GmbH**  
www.matrixone.com



**OFFIS**  
www.offis.de



**Institut für angew. Funksystemtechnik**  
www.iaf-bs.de



**Melexis GmbH**  
www.melexis.com



**OneSpin Solutions GmbH**  
www.onespin-solutions.com



**ITIS e.V. - Universität der Bundeswehr**  
www.itis-ev.de



**Mentor Graphics GmbH**  
www.mentor.com/german



**NXP Semiconductors Germany GmbH**  
www.nxp.com



**Lucent Technologies Network Systems**  
www.lucent.de



**MunEDA GmbH**  
www.muneda.com



**Pro Design Electronic&CAD-Layout GmbH**  
www.prodesigncad.com



**Magma Design Automation GmbH**  
www.magma-da.com



**Nokia GmbH**  
www.nokia.de



**RWTH Aachen**  
www.rwth-aachen.de



Abbildung 5.03: Urkunde „Best Paper Award“

Graz ein Verfahren zur Unterstützung des Debugging-Prozesses entwickelt. Das Verfahren baut auf Ansätzen auf, die im Rahmen des BMBF-Projektes VALSE-XT entwickelt wurden. Das Verfahren wurde auf der IBM Haifa Verification Conference 2006 vorgestellt und dort mit dem „Best Paper Award“ geehrt.

Das Debugging-Verfahren arbeitet ähnlich wie die Verfahren der formalen Eigenschaftsprüfung. Mittels formaler Methoden werden mögliche Design-Änderungen berechnet, die zur Erfüllung der Spezifikation (d. h. der formalen Eigenschaft oder der Assertions)

führen. Durch verschiedene Erweiterungen des grundlegenden naiven Verfahrens können sowohl die Effizienz der Berechnung als auch die Genauigkeit der Korrekturvorschläge gesteigert werden. Auf diese Weise wird die Analyse für den Designer wesentlich erleichtert, da automatisch bereits große Teile des Designs bezüglich einer Korrektur ausgeschlossen werden. Insgesamt wird der Zeitaufwand für das Debugging reduziert.

NXP Semiconductors GmbH:EE Times.de, vom 16.1.2007

**NXP verlässt Crolles-Allianz zugunsten von IMEC**

Der Halbleiterhersteller NXP will sich aus der Forschungsallianz Crolles2 zurückziehen, die das Unternehmen gemeinsam mit STMicroelectronics und Freescale Semiconductor betreibt.

Silicon Saxony e.V: Heise News, vom 30.11.2006

**Chef von Qimonda Dresden neuer Vorstand bei Silicon Saxony**

Der Geschäftsführer von Qimonda Dresden, Wolfgang Schmid, ist neuer Vorstandsvorsitzender des Netzwerkes Silicon Saxony. Er übernahm das Amt von Thilo von Selchow, der es seit vier Jahren innehatte, teilte der Verein am Donnerstag mit.

**Kont@kt**

Görschwin Fey  
 Universität Bremen,  
 FB 3 – Mathematik  
 und Informatik,  
 AG Rechnerarchitektur  
 fon: 0421 2188650  
 E-mail: fey@informatik.uni-bremen.de



**Synopsys GmbH**  
 www.synopsys.com



**TU Ilmenau**  
 www.tu-ilmenau.de



**Universität Frankfurt**  
 www.uni-frankfurt.de



**Technische Universität Chemnitz**  
**TU Chemnitz**  
 www.tu-chemnitz.de/etit/sse/



**TU Kaiserslautern**  
 www.tu-kaiserslautern.de



**Universität Freiburg**  
 www.uni-freiburg.de



**TU Clausthal**  
 www.tu-clausthal.de



**TU München**  
 www.lis.ei.tum.de



**Universität Hannover**  
 www.uni-hannover.de



**Technische Universität Darmstadt**  
**TU Darmstadt - FB Informatik**  
 www.iss.tu-darmstadt.de



**TRIAS Mikroelektronik GmbH**  
 www.trias-mikro.de



**Universität Hildesheim**  
 www.dwm.uni-hildesheim.de



**TU Dresden**  
 www.tu-dresden.de



**Universität Bremen**  
 www.uni-bremen.de



**Universität Tübingen**  
 www.informatik.uni-tuebingen.de

Unter [www.edacentrum.de/portrait/mitglieder/](http://www.edacentrum.de/portrait/mitglieder/) finden Sie im Internet weitere Informationen

Ausblick auf die kommende Ausgabe 01 2007



**Projektspiegel**

„HF Design Technologie für präzise analoge IP-basierte Front-End Lösungen in höchstintegrierten Datenübertragungs-Systemen“ (DETAILS)



edaWorkshop 07

**edaWorkshop07**

Neueste Infos rund um den edaWorkshop.



**DATE**

Besuchen Sie uns auf der DATE



**Projektmanagement**

Schaffen Alex & Bill die Projektbeantragung? Lesen Sie weiter!



**edaForum06**

Mehr von den „Heißen Tagen in Berlin“ im zweiten Teil der Berichterstattung vom edaForum06.

Änderungen aus aktuellem Anlass vorbehalten.



EDA Consortium  
www.edac.org



PRismaPR  
www.prismapr.de



Silicon Intergration Initiative Si2  
www.si2.org



Silicon Saxony e.V.  
www.silicon-saxony.net

Kooperationspartner

**Sie sind noch nicht Mitglied im edacentrum, .... ?**

... möchten aber nicht auf den „newsletter edacentrum“ verzichten ? Dann können Sie den „newsletter edacentrum“ für 40 € jährlich (4 Ausgaben) inkl. Porto beim edacentrum bestellen. Oder werden Sie Mitglied im edacentrum e.V. und profitieren Sie zusätzlich von den exklusiven Vorteilen, die eine Mitgliedschaft bietet: Erweitertes Informationsangebot im Internet, EDA-Atlas, technische Analysen und Marktanalysen, Roadmaps (inkl. Erstellung), Unterstützung bei der Standardisierung, Öffentlichkeitsarbeit im Bereich EDA für Firmen und Forschungseinrichtungen, Einbringen eigener Anforderungen in die EDA-Forschung, Kontakte zu Kompetenzzentren für EDA-Clusterforschung, Vergünstigungen bei Veranstaltungen des edacentrum (edaForum, Workshops, EDA-Kolloquium...), Erfahrungsaustausch mit anderen EDA-Anwendern, uvm.

[www.edacentrum.de/mitgliedschaft.html](http://www.edacentrum.de/mitgliedschaft.html)



#### Ansprechpartner im edacentrum



Prof. Dr. Wolfgang **Rosenstiel** | Vorstand  
 fon 07071 297 54 82, (Ro)  
 rosenstiel@edacentrum.de



Prof. Dr. Erich **Barke** | Vorstand  
 fon 0511 762-19690, (Ba)  
 barke@edacentrum.de



Dr. Jürgen **Haase** | Vorstand  
 fon 0511 762-19698, (Haa)  
 haase@edacentrum.de



Dr. Cordula **Hansen** | Koordination (Leitung)  
 fon 0711 2807956, (CH)  
 hansen@edacentrum.de



Dipl.-Ing. Ralf **Popp** | Öffentlichkeitsarbeit (Leitung)  
 fon 0511 762-19697, (Pp)  
 popp@edacentrum.de



Dipl.-Ing. Dirk **Rosendahl** | Vertrieb & Marketing  
 fon: 0511 762-19683, (DR)  
 rosendahl@edacentrum.de



Dr. Volker **Schöber** | EDA-Clusterforschung (Leitung)  
 fon 0511 762-19688, (VS)  
 schoeber@edacentrum.de



Maren **Sperber** | Sekretariat  
 fon 0511 762-19699, (Sp)  
 sperber@edacentrum.de



Dr. Dieter **Treytnar** | Öffentlichkeitsarbeit  
 fon 0511 762-19687, (Tr)  
 treytnar@edacentrum.de



Dr. Andreas **Vörg** | Koordination, Consulting  
 fon 0511 762-19686, (AV)  
 voerg@edacentrum.de

#### Impressum

##### Herausgeber

edacentrum e.V.  
 Schneiderberg 32  
 30167 Hannover  
 fon 0511 762-19699  
 fax 0511 762-19695  
 www.edacentrum.de  
 info@edacentrum.de

##### Redaktion

Ralf Popp (V.i.S.d.P.), edacentrum  
 newsletter@edacentrum.de

##### Autoren

Gerlach, Leisen, Rose, Sattler, Wenzel, AIS, FEST, LEONIDAS+, MAYA, SAMS, SIDRA, URANOS, VeronA, VISION, edacentrum, Concept Engineering, EDA Consortium, Infineon Technologies, Mentor Graphics, MunEDA, OFFIS, Synopsys, Universität Bremen  
 Wir bedanken uns herzlich bei allen Autoren und denen, die bei der Erstellung des Newsletters geholfen haben.

##### Satz, Grafik und Druck

stm Media GmbH, N. Möller, M. Hoinkis & D. Paul  
 Druckhaus Köthen GmbH, Köthen S.-A.

##### Fotos

N. + U. Möller (Titel), R. Popp, V. Schöber, A. Vörg

##### Ausgabe

Der newsletter edacentrum 04 2006  
 ist erschienen am 31. Januar 2007, Auflage: 800

##### Redaktionsschluss

Der nächste Newsletter erscheint Ende März  
 Redaktionsschluss ist am 27. Februar 2007.

Alle im „newsletter edacentrum“ abgedruckten Beiträge sind urheberrechtlich geschützt. Alle Rechte, auch Übersetzungen, sind vorbehalten. Reproduktionen, gleich welcher Art (Mikrofilm, Fotokopie oder Erfassung in Datenverarbeitungsanlagen), nur mit schriftlicher Genehmigung des Herausgebers.  
 Für den Fall, dass im „newsletter edacentrum“ unzutreffende Informationen enthalten sein sollten, kommt eine Haftung nur bei grober Fahrlässigkeit in Betracht.