

newsletter edacentrum 02 2006

10.-Euro ISSN 1862 2283

electronic design automation centrum

www.edacentrum.de/newsletter



Projektspiegel

LEONIDAS+: Leitbahnorientiertes Design

Erste Diskussionsrunde um die Forschungsthemen der Zukunft erfolgreich

Das Forschungsthemenpapier eDesign 2006 geht in die nächste Runde

Fachkonferenzen und Auftritte des edacentrum im ersten Halbjahr 2006

Rückblick auf DATE, Ekompass-Workshop, CeBIT und ISCAS

Editorial

Liebe Leserinnen und Leser,

es ist passiert. Die Fußballweltmeisterschaft hat es auf die Seite eins geschafft. Aber seien Sie beruhigt, dieses Heft wird davon nicht beherrscht! Für die EDA-Gemeinde wird dieses Thema sicher privat eine Rolle spielen. Darüber hinaus ist die Fußball-WM natürlich auch über die Stimulation von Technologie (Chip im Ball) wichtig. In jedem Fall, jetzt ist es „die Zeit“, in der „sich was dreht“.

Auch für den newsletter edacentrum hat sich einiges gedreht. Er hat es zum öffentlichen Periodikum mit einer ISSN gebracht! Und zum ersten Mal hat die Redaktion die Beiträge auswählen können, denn mehr als 52 Seiten wollten wir den Postboten dann doch nicht zumuten. An dieser Stelle danken wir allen, die zu diesem Heft beigetragen haben, insbesondere den freien Autoren Grabinski und Grimm. Wenn Sie, liebe Leserinnen und Leser, auch etwas aus EDA-Forschung und Entwicklung zu berichten haben, dann denken Sie an uns!

****:** „Teamgeist“ heißt der offizielle Fußball der FIFA-WM.

***** Wenn Ihnen diese Worte bekannt vorkommen, dann lesen Sie „Die Zeit“ in deren Ausgabe 20 ein auch für Nicht-Fußballfans sehr lesenswerter Artikel rund um DAS Ereignis dieser Tage zu finden war. (www.zeit.de/2006/20/WM_Essay).

Und sonst? Es gilt noch immer: „Die Welt zu Gast bei Freunden“, wo sogar der „Teamgeist“ ** mit Füßen getreten werden darf. Wie auch immer die Gruppenphase ausgehen wird, der Rummel um Tickets, Teams und Tore wird bleiben, egal ob Foxtrott oder „Samba auf Bismarckstraßen und Von-Moltke-Plätzen“* getanzt wird. Aber wenn schon! – Spiel verderben gilt nicht, sondern nur der olympische Gedanke. Wie auch immer Sie zum Fußball stehen, machen Sie mit, wer weiß, wann wir so etwas wieder hier im Land erleben dürfen.

Wir wünschen Ihnen viel Freude an der WM und – beim Lesen!



Ralf Popp für das edacentrum

Geschehenes:

Abbildung 0.1:

Die Bildungsministerin zu Besuch auf dem CeBIT Stand (S. 33)

Abbildung 0.2:

Die DATE06 in München (S. 27)

Abbildung 0.3:

Der Ekompas-Workshop 2006 in Hannover (S. 18)

Abbildung 0.4:

Ergänzende und ausführliche Informationen finden Sie im Internet unter

www.edacentrum.de/newsletter/



Abbildung 0.1



Abbildung 0.2



Abbildung 0.3



Abbildung 0.4

Inhaltsverzeichnis

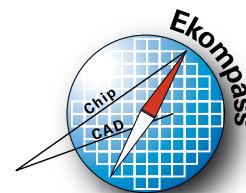
1 Projektspiegel	
Projektbericht LEONIDAS+	04
On-Chip Verbindungsstrukturen	10
Nachrichten von den Projekten	13
Aus der EDA-Clusterforschung	16
2 Neues aus dem edacentrum	
Meldungen	14
Ekompas-Workshop 2006	
Rückblick	18
DATE 06 – Eine Rückschau	
Ausschnitt aus dem Trendbericht	27
ISCAS 2006	
Ein Kurzbericht	30
18. ITG/GI/IMM Test-Workshop	
Bericht aus dem Schwarzwald	31
43th DAC 2006	
Preview	32
CeBIT 2006	
Bundesministerin trifft edacentrum	33
Projektmanagement	
Neues von Alex und Bill	34
edaAtlas	
was war, was ist, was wird	37
3 Panorama	
Meldungen der Online-Medien	38
Meldungen aus dem Ausland	39
4 Marktbeobachtung	
4. Quartal 2005	41
5 Mitglieder	
Buchankündigung	43
Fraunhofer Gesellschaft	44
Nachrichten von den Mitgliedern	45
Firmenmitglieder im edacentrum	47
Impressum	
Mitarbeiter des edacentrum	52

Einhefter (perforiert und zum Rausnehmen)

Auszug aus dem edaKalender 2006 / 2007
A4 Wand-Jahreskalender 2006 / 2007
Fußball-Bastelbogen
Einladung zum CLEAN Workshop

In den Ausgaben der Mitglieder

Mitgliederverzeichnis zum Herausnehmen
Anschreiben



1 Projektspiegel

Der Ekompas-Förderkomplex

www.edacentrum.de/ekompas/

Die zur Zeit vom edacentrum betreuten Projekte gehören zu dem vom Bundesministerium für Bildung und Forschung (BMBF) zur Stimulation von EDA-Forschungsaktivitäten eingerichteten Förderkomplex namens Ekompas. Ekompas steht für „Entwurfplattformen für komplexe angewandte Systeme und Schaltungen der Mikroelektronik“.

Mit diesem Förderkomplex will das BMBF in erster Linie dazu beitragen, die einer starken internationalen Konkurrenz ausgesetzten Arbeitsplätze in der Systemindustrie und im EDA-Umfeld zu erhalten und auszubauen. Ziel ist es, durch ein gemeinsames Vorgehen von Industrie, Forschung und öffentlicher Hand, in den für Deutschland (und für Europa) wichtigen Bereichen neue Entwurfsmethoden zu entwickeln, um die Komplexität zukünftiger Chipsysteme qualitätsgerecht und

effektiv beherrschen zu können. Dabei wird der Fokus auf solche Themen gelegt, denen für die Wettbewerbsfähigkeit der deutschen Industrie die größte Bedeutung zukommt.

Der Förderkomplex Ekompas ist allerdings nicht nur von nationaler Bedeutung. Die meisten Forschungsvorhaben haben ein internationales Umfeld, insbesondere auf europäischer Ebene, wo Synergien aus gemeinsamen Stärken entstehen. Die für Ekompas sehr wichtige europäische Zusammenarbeit wird auch dadurch transparent, dass einige der Ekompas-Projekte in MEDEA+ Projekte eingebettet sind.

Der Newsletter des edacentrum berichtet in loser Folge über die Projekte des Ekompas-Förderkomplexes.

Projekt	FKZ	Laufzeit	Projektkoordinator/in
DETAILS	01M3071	1.4.04 - 31.3.07	Reimund Wittmann, reimund.wittmann@nokia.com
FEST	01M3072	1.7.04 - 30.6.07	Dr. Volker Schöber, schoeber@edacentrum.de
LEMONS	01M3155	1.11.03 - 31.10.06	Ralf Pferdenges, ralf.pferdenges@infineon.com
LEONIDAS+	01M3074	1.3.05 - 28.2.07	Irmtraud Rugen-Herzig, irmtraud.rugen-herzig@infineon.com
PRODUKTIV+	01M3077	1.10.05 - 30.9.08	Dr. Jürgen Alt, juergen.alt@infineon.com
SAMS	01M3070	1.11.03 - 31.10.06	Dr. Volker Schöber, schoeber@edacentrum.de
SIDRA	01M3159	1.8.04 - 31.7.06	Dr. Petra Rose, perta.rose@de.bosch.com
URANOS	01M3075	1.7.05 - 30.6.08	Dr. Hans-Jürgen Brand, hans-juergen.brand@amd.com

Abbildung 1.01

Abbildung 1.01:

Übersicht über die aktuellen Ekompas-Projekte.

SAMS (NL 04 2005)
FEST

SpeAC* (NL 02 2005)
SPEAK* (NL 03 2003)

PRODUKTIV+
IP2* (NL 01 2004)

URANOS
HG-DAT* (NL 02 2002)

DETAILS
IPQ* (NL 02 2003)

VALSE-XT* (NL 01 2005)
VALSE* (NL 01 2002)

MESDIE* (NL 04 2004)
ANASTASIA+* (NL 03 2005)

ANASTASIA* (NL 01 2003)
LEMONS (NL 01 2006)

AZTEKE* (NL 02 2004)
LEONIDAS+ in dieser Ausgabe

LEONIDAS* (NL 04 2003)
SIDRA

ASDESE* (NL 03 2004)
* = abgeschlossen

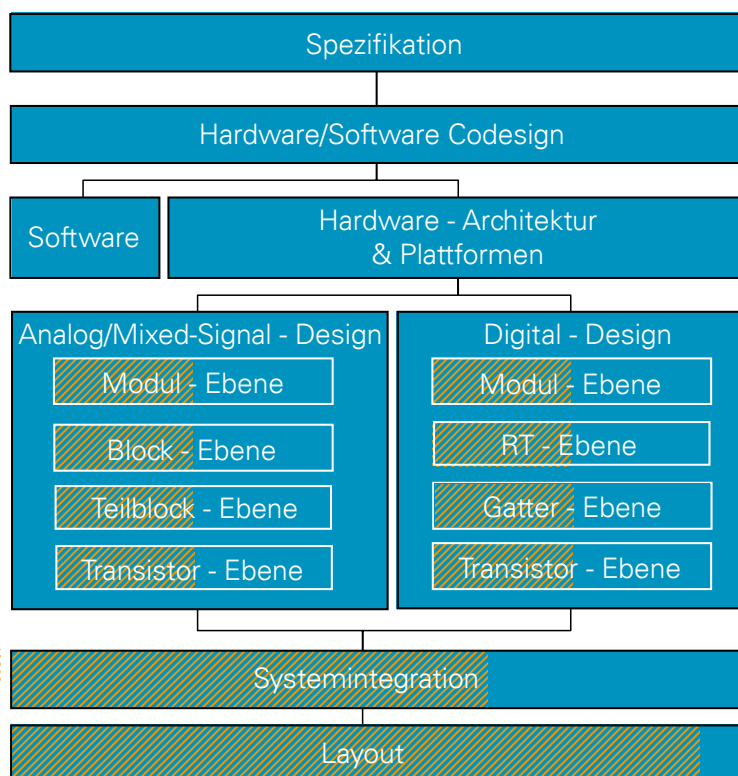


Abbildung 1.02

Abbildung 1.02:

Das Bild zeigt verschiedene Entwurfsvorgänge des Schaltungsentwurfs. Dabei sind die Schwerpunkte des Projektes LEONIDAS+ hervorgehoben, weil sich das Projekt LEONIDAS+ in dieser Ausgabe des Newsletters präsentiert.

LEONIDAS+: Leitbahnorientiertes Design

www.edacentrum.de/projekte

Dieser Projektbericht von Markus Olbrich entstand gestützt auf die Mitarbeit von Patrick Birrer, Martin Frerichs, Manfred Henning, Harald Kinzelbach, Klaus Koch, Jürgen Köhne, Eduard Konradi, Imtraud Rugen-Herzig, Jürgen Schlöffel, Thomas Jambor, Göran Jerke und Patrick Wernicke

Förderkennzeichen:
01 M 3074

Laufzeit des Vorhabens:
01.03.2005 - 28.02.2007

Zusammensetzung
des Projektkonsortiums

Partner:

Atmel Germany GmbH <
Cadence Design Systems
GmbH <
Infineon Technologies AG <
Philips Semiconductors GmbH <
Robert Bosch GmbH <
Universität Hannover - Institut
für Mikroelektronische Systeme
(IMS) <

Unterauftragnehmer:

Redemund & Thiede
Datentechnik GmbH <
TU Darmstadt - Fachgebiet
Mikroelektronische Systeme <
Qimonda AG (Unterauftrag in
Vorbereitung) <
TU Dresden - IFTE <
Universität Siegen - IMT <
Universität Ulm - AEM <

Die Entwicklung von nanoelektronischen Systemen führt zu neuen Herausforderungen: Noch vor ein paar Jahren konnten parasitäre Eigenschaften von Leitungen vernachlässigt werden, weil die Schaltzeiten von Transistoren überwogen. Heute hingegen dominieren die Leitungseigenschaften die Verzögerungszeit einer Schaltung. Dies gilt sowohl im ASIC- als auch RAM-Bereich. Im Automotive-Bereich erzwingen die gestiegenen Anforderungen an die Zuverlässigkeit der Steuerungselektronik einen verifizierbaren robusten Entwurf der Verbindungsleitungen. In der Mobilkommunikation stellen HF-Schaltungen in integrierten Mixed-Signal-Systemen erhöhte Anforderungen an die Eigenschaften der Verbindungsleitungen.

In den genannten Bereichen fehlt es zurzeit an vielen Stellen an geeigneten Entwurfssystemen und Entwurfsmethoden. Das kann so weit führen, dass nach bestehenden Regeln korrekt entworfene Schaltungen nicht funktionsfähig sind. So werden Re-Designs nötig, die erhebliche Kosten verursachen und das Erreichen der angestrebten technischen Ziele erschweren. Diese Problematik wird sich in Zukunft weiter verschärfen, so dass die Kompetenz zur Beherrschung der Leitbahneigenschaften eine Schlüsselkomponente beim Entwurf ist.

Allgemeine Lösungen „von der Stange“, wie sie von vielen amerikanischen EDA-Firmen zum Teil entwickelt werden, sind allein keine Lösung für eine leitbahnzentrierte Entwurfsmethodik. Da sich die Anwendungsschwerpunkte in Deutschland von den US-amerikanischen unterscheiden, müssen für deutsche Anwendungen spezifische Tools und Methoden entwickelt werden. Das Konsortium von LEONIDAS+ greift die Herausforderungen auf, die die Verbindungsleitungen stellen.

Ziele

Ziel des Projekts LEONIDAS+ ist es, einen leitbahnzentrierten Entwurf zu ermöglichen. Der große Umfang dieser Problematik erforderte eine Schwerpunktbildung im Projekt. LEONIDAS+ liefert Basisarbeiten, die für andere Ekompas-Projekte eine wichtige Grundlage darstellen. Abbildung 1.03 zeigt die Projektziele im Überblick.

Es werden Forschungsarbeiten durchgeführt, um neue Lösungen für die Extraktion, die Analyse und Modellierung der Leitbahneigenschaften zu finden. Die Vorhersagbarkeit der physikalischen Eigenschaften eines Entwurfs wird damit bereits in einem sehr frühen

Entwurfskompetenz

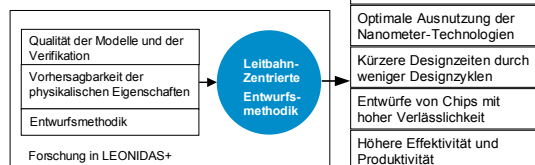


Abbildung 1.03

Stadium mit hoher Genauigkeit gewährleistet werden. Bisher sequentielle Entwurfsschritte sollen mit neuartigen Algorithmen simultan ablaufen, so dass ein fehlerfreier Erstentwurf ermöglicht wird. Durch diese Maßnahmen wird die Qualität der Verifikation und des Entwurfs wesentlich verbessert, es entstehen weniger Zyklen im Designflow und die Anzahl der Re-Designs wird reduziert.

Projektstruktur

Das Projekt ist in 3 Arbeitspakete und diese sind in jeweils zwei Aufgaben gegliedert. Die Aufgaben werden in verschiedenen Beiträgen einzelner Partner in thematisch enger Kooperation bearbeitet. Die Projektstruktur zeigt Abbildung 1.04:

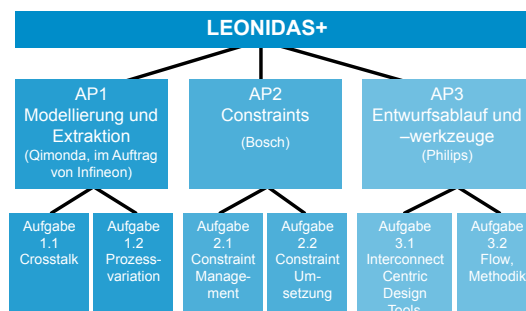


Abbildung 1.04

Anhand einiger ausgewählter Arbeitsfelder werden im Folgenden einige Themen und bisherige Ergebnisse vorgestellt.

Crosstalk

Eines der größten Probleme in der Timingverifikation moderner Chips liegt in der Vorhersage des möglichen Crosstalks, d.h. der unbeabsichtigten kapazitiven oder induktiven Interaktion von benachbarten Leitungen. Diese wird verursacht durch die starke Kopplungen zwischen Leitungen. Problematisch ist, dass heutige Algorithmen sehr pessimistische Ansätze bei der Abschätzung von Crosstalk verwenden. Crosstalk gefährdet die Funktion von Schaltungen, da die Signallaufzeit bei gleichzeitigem Schalten von Signalen verkürzt (Gleichtaktschalten) oder verlängert (Gegentaktschalten) werden kann. Die Folge ist ein fehler-

Abbildung 1.03:
Projektziele von LEONIDAS+

Abbildung 1.04:
Übersicht der Projektstruktur
von LEONIDAS+

haftes Zeitverhalten (timing). Die Beeinflussung der Leitungen (s. Abbildung 1.05) untereinander kann zu fehlerhaften Logikzuständen führen, so dass die korrekte Funktion des Systems nicht mehr gewährleistet ist.

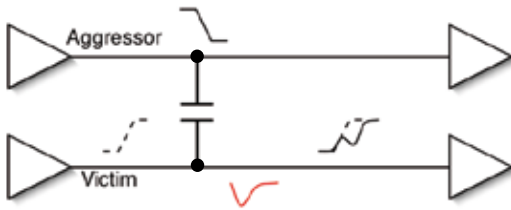


Abbildung 1.05: Aggressor / Victim Line

In zukünftigen Technologien werden Leitungsabstände weiter abnehmen und Leitungshöhen zunehmen. Dadurch werden die Möglichkeiten zur Kopplung zwischen Leitungen erhöht. Weiter werden die digitalen Zellen mit abnehmenden Betriebsspannungen empfindlicher gegenüber Crosstalk. Der Pessimismus heutiger Algorithmen rührt daher, dass diese immer den sogenannten Worst-Case annehmen. Dieser ist so festgelegt, dass alle Kopplungen koordiniert zum gleichen Zeitpunkt ihren maximalen Crosstalk einbringen — selbst wenn dies real gar nicht möglich ist. Diese Annahme rührt daher, dass kein Crosstalk größer als im Worst-Case auftreten kann. Schon heute werden dabei aber zu viele Aggressoren in zu pessimistischer Weise berücksichtigt.

Alle tatsächlich möglichen Schaltkombinationen aller Aggressoren und Victims in angemessener Zeit zu erfassen und zu analysieren ist jedoch schon bei mehr als 20 Einkopplungen auf nur ein Netz nahezu unmöglich. Für Pfade mit mehreren Netzen in Reihe oder gar für alle Netze und Pfade in einem gesamten Chip ist dies mit derzeitigen Möglichkeiten nicht lösbar.

Diese sogenannte NP-Komplexität des Problems verhindert nicht nur eine akkurate Analyse auf dem relativ abstrakten Niveau der digitalen Timing-Analyse, sondern auch in der Analogsimulation. Bereits bei nur einem Aggressor gibt es zahlreiche Möglichkeiten, dass dessen Signal mit dem des gestörten Victims korreliert. Bei zwei und mehr Aggressoren steigt die Anzahl der Kombinationen exponentiell an. Deshalb gibt es bis heute keine automatisierten Verfahren, um Referenzsimulationen für Crosstalk durchzuführen. Gerade dies ist aber nötig, um neue analytische Crosstalkmodelle zu entwickeln und die Ungenauigkeit in diesen Modellen zu verringern.

Hinzu kommt, dass heute Signale üblicherweise als lineare Rampe modelliert werden. Es ist aber nahezu unmöglich, analytisch eine äquivalente lineare Rampe für durch Crosstalk gestörte Signale herzuleiten (s. Abbildung 1.06). Neue, näher an der Physik orientierte Modelle, sind hier vonnöten. Da es sehr unwahrscheinlich ist, dass wirklich alle Aggressoren koordiniert zur gleichen Zeit auf ein Victim einwirken, sind stochas-

tische Modelle gefragt. Diese sollen zum einen dem Designer angeben, welche Netze mehr gefährdet sind als andere (also optimiert werden müssen) und wie groß die mittlere Ausfallzeit ist, bis zu der zum ersten Mal ein relevanter Crosstalk-Störfall auftritt.

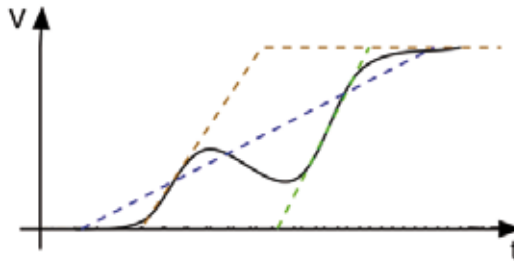


Abbildung 1.06: gestörtes Signal

In LEONIDAS+ entwickelt Infineon neue Methoden um Crosstalk zu erkennen, der keine Verzögerung bewirken kann. Wenngleich es hierfür schon prinzipielle Lösungen gibt, sind diese aufgrund der NP-Komplexität nicht breit einsetzbar. Analysen, durchgeführt im Rahmen von LEONIDAS+, zeigen, dass im Durchschnitt je nach Design 30 oder gar 50 Prozent der Aggressoren nicht „echt“ sind. Selbst wenn Crosstalk möglich ist, ist er nicht immer gleich wahrscheinlich. Um diese Wahrscheinlichkeiten, z.B. in Form von Mean Time Between Failure (MTBF)-Modellen vorherzusagen, werden neue stochastische Crosstalkmodelle entwickelt.

Um sicherzustellen, dass die entwickelten Modelle und Algorithmen auch mit der Wirklichkeit übereinstimmen, werden Test- und Messschaltkreise in Zusammenarbeit mit dem MES Darmstadt entwickelt. Die Testschaltungen werden so abgestimmt, dass sie mit großer Wahrscheinlichkeit Crosstalk in einem definierten Zeitraum und in einem definierten Stärkebereich erzeugen. Messschaltungen werden entwickelt, um eben diesen Crosstalk auszumessen. Dies geschieht einerseits indirekt, d.h. die Auswirkungen des Crosstalk (zusätzliches Delay oder falscher logischer Zustand) werden detektiert, andererseits direkt, indem die gestörten Signale oder Crosstalk Bumps hochgenau ausgemessen werden.

Durch die neuen Modelle und Methoden wird eine Reduzierung des Designaufwands um mehrere Wochen erwartet. Weiter wird es möglich, Schaltungen mit höheren Taktraten zu entwickeln. Die hochgenauen Messschaltungen werden es ermöglichen, die alten und neu entwickelten Modelle mit der Wirklichkeit abzugleichen.

Prozessvariationen

Mit immer kleineren Strukturgrößen und immer komplexeren Schaltungsentwürfen gewinnen die Auswirkungen unvermeidlicher, zufälliger Fertigungsschwankungen immer mehr an Bedeutung. Um die technologischen Vorteile der kommenden Technologie-knoten überhaupt ausnutzen zu können, wird es daher

Abbildung 1.05:

Ein Aggressor stört einen Victim. Ein Bump (rot) ist die Folge oder das Victim-Signal wird gestört (gestrichelt vs. durchgezogene Linie).

Abbildung 1.06:

Ein gestörtes Signal (durchgezogene Linie) wird durch verschiedene lineare Rampen angenähert. Aber welche ist „richtig“?

in zunehmenden Maße wichtig, Methoden zur Verfügung zu haben, die es erlauben, Einfluss und Folgen solcher Prozessvariationen schon in einer möglichst frühen Entwurfsphase angemessen berücksichtigen zu können.

Aufgrund der Schwankungen im Herstellungsprozess variieren einerseits Größen wie die Oxid-Dicken, Gate-Längen, Dotierungskonzentrationen etc., die die Charakteristika der einzelnen Transistor-Bauelemente bestimmen. Aber auch die Dicken der Metall-Lagen und Isolator-Schichten und die Weiten und Abstände der Metallbahnen, die die einzelnen Bauelemente elektrisch verbinden, sind fertigungsbedingten Schwankungen unterworfen (s. Abbildung 1.07). Diese führen dazu, dass auch die parasitären Eigenschaften der Leitbahnen (also beispielsweise ihre Widerstände und Kapazitäten) zu variierenden Größen werden.

connect-Variationen auf das Verhalten der betrachteten Schaltung anhand von Analog-Monte-Carlo-Simulationen zu ermitteln.

Gleichzeitig entstehen in zwei anderen Projektbeiträgen (IMS Hannover und Qimonda) neue Verfahren, die Wege eröffnen, solche Monte-Carlo-Simulationen effizienter durchzuführen zu können. Zur Beschleunigung der Simulation wird im IMS-Beitrag ein Verfahren entwickelt, das „Importance Sampling“ verwendet. Die Anwendung dieses Verfahrens auf eine zweidimensionale Busstruktur zeigt ein zweistelliges „Speedup“. Der Qimonda-Beitrag wird es ermöglichen, die kritischen Leitbahnparasiten, auf deren Schwankungen die Schaltung besonders empfindlich reagiert, schon vorab zu identifizieren und die unter Umständen recht aufwendige Analyse von vornherein auf diese einzuschränken.

Abbildung 1.07:

Querschnitt durch Teststrukturen: Schwankungen der Metall- und Isolatordicken auf einem Wafer.

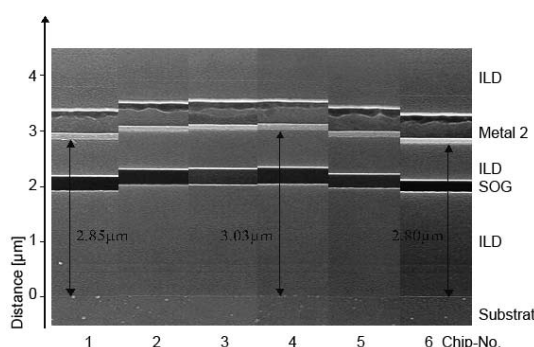


Abbildung 1.07: Querschnitt

Mit der steigenden Bedeutung der parasitären Leitbahneigenschaften auf das Gesamtverhalten der Schaltung zeigt sich verstärkt die Notwendigkeit, auch diese Variationen im Schaltungsentwurf zu berücksichtigen. Sie sind allerdings von etwas anderer Natur als die der Bauelemente selbst, da sie sehr kontext-abhängige Größen sind: Die Kapazitäten beispielsweise werden nicht nur von den lokalen technologischen Parametern bestimmt, sondern auch von der jeweiligen Netzwerkumgebung der betrachteten Bahn. Aufgrund dieses besonderen Charakters des Problems finden sich daher derzeit kaum geeignete Analysemethoden im Angebot der EDA-Industrie.

In LEONIDAS+ entwickelt Infineon neue Methoden um diese Lücke zu schließen. Aufbauend auf Resultaten der ersten LEONIDAS-Projektphase (04/2002-03/2004), in der der Einfluss solcher Schwankungen auf repräsentative zweidimensionale Leitbahnmodelle untersucht wurde, entsteht hier ein neuartiger Variations-Extraktions-Flow zur Extraktion von Interconnect-Schwankungen aus einem gegebenen „realen“ Layout.

Das Verfahren kombiniert einen geeignet gewählten Satz von Standard-RC-Extraktionen mit einem in der ersten Projektphase entwickelten semi-analytischen Linearisierungsansatz. Dadurch wird eine erweiterte Form von Netzlisten erzeugt, die alle Informationen enthalten, die notwendig sind, den Einfluss der Inter-

Constraint-Umsetzung im Analoglayout

Beim Entwurf von integrierten Schaltungen wird die Qualität des Entwurfsergebnisses maßgeblich dadurch bestimmt, inwieweit das Ergebnis die angestrebten Optimierungsziele erreicht und alle gegebenen Entwurfsrandbedingungen (Constraints) eingehalten werden. Die Vielzahl, Komplexität und Mannigfaltigkeit möglicher Constraints, insbesondere bei analogen Schaltungen, machen deren möglichst automatische Analyse, Verarbeitung und Verifikation zunehmend wichtiger.

Im Rahmen der ersten LEONIDAS-Projektphase wurde von den Projektpartnern Atmel, Bosch und Infineon die Constraintdarstellung als Constraint-Typen für EDA-Tools definiert und für die Verwaltung in einem Constraint-Management-System vorbereitet. Diese Constraint-Typen werden im Rahmen von LEONIDAS+ kritisch untersucht, aktualisiert, erweitert und geeignet strukturiert.

Zur Analyse und Verarbeitung von beliebigen abstrahierten Constraints wird ein sog. Constraint-Engineering-System (CES) entwickelt. Das CES dient dabei nicht der Verwaltung der Constraintdaten im Sinne eines Constraint-Management-Systems, sondern ausschließlich als Fundament für eine flexible Verifikation von nahezu beliebigen Constraints (Constraint-Verifikation) und zur Bestimmung des Entwurfslösungsraumes. Die Analyse des Lösungsraumes ermöglicht neuartige Ansätze für den automatisierbaren constraint-geführten Entwurf von analogen integrierten Schaltungen. Das CES ist in der Lage, explizit oder per Regel definierte Constraints aus einer oder mehreren externen Datenquellen, wie z.B. verschiedenen Constraint-Management-Systemen von EDA-Tools, zu berücksichtigen.

Zur Darstellung dieses Konzeptes wird derzeit ein CES-Demonstrator realisiert. Mit Hilfe der genannten Entwicklungen wird eine signifikante Steigerung der

Entwurfssicherheit bei minimierter Chipfläche und der Wiederverwendbarkeit von analogen integrierten Schaltungen erwartet.

Dynamische IR-Drop-Analysemethode

Durch die moderne mobile Telekommunikationstechnik werden die Leistungsaufnahme und die für den Betrieb benötigten Versorgungsspannungen integrierter Bausteine immer weiter reduziert. Dies bedeutet neue technische Anforderungen bereits im Entwicklungsstadium des Halbleiterdesigns. Bei immer weiter sinkenden Versorgungsspannungen, die bei einer 90 nm Technologie mittlerweile im Bereich von 0,8 V liegen, werden die tolerablen Bereiche für derartige Pegelschwankungen immer kleiner und der Spannungsabfall kann zum unbeabsichtigten Schalten von Transistoren führen. Bei der Power-Versorgung kann ein unerwünschter, aber in realen Schaltkreisen nicht völlig vermeidbarer Spannungsabfall (im folgenden IR-drop genannt) auftreten. Der äquivalente Effekt auf der Ground-Versorgungsleitung zeigt sich als Spannungsspitze (Ground Bounce). Beim IR-drop muss man grundsätzlich zwischen zwei Arten unterscheiden. Da ist zum Einen der statische IR-drop, welcher im eingeschwungenen Zustand der Schaltung im Mittel über die Zeit eine Variation in der Versorgungsspannung bezeichnet. Zum Anderen gibt es den dynamischen IR-drop, welcher meist sehr lokal an bestimmten Schaltungspunkten auftritt und im Normalfall um ein Vielfaches höher ist als der statische Wert, dabei aber sehr oft nur kurzzeitig auftritt. Leider können diese kurzen aber sehr hohen Spannungsspitzen bereits zum logischen Fehlverhalten der Schaltung führen und müssen besonders beachtet werden. Ein Ziel des Schaltungsentwurfs ist die Vermeidung hoher auftretender IR-drop-Werte. Um dieses Ziel zu erreichen, sind verschiedene Ansätze denkbar, wie das Einbringen geeigneter kapazitiver Zellen, um Spannungsschwankungen abfangen zu können. Diese so bezeichneten Decap-Zellen werden als „Fillerzellen“ benutzt und können elektrisch zwischen die Versorgungsspannungen angeschlossen werden. Dadurch wird die Ladung aus dem Schaltkreis bei einer auftretenden Spannungsspitze aufgenommen, bzw. bei einem Spannungseinbruch vorher aufgenommene Ladung wieder an den Schaltkreis abgegeben, um so den dynamischen IR-drop zu minimieren. Aus diesem Grund ist es eine technisch und wirtschaftlich interessante Fragestellung, den IR-drop bei platzierten „Fillerzellen“ mit Hilfe einer Simulation zu bestimmen, um so die optimale Anzahl und ebenfalls die optimale Platzierung zu bestimmen. Ziel ist es, den dynamischen IR-drop soweit kontrollieren zu können, dass er als Ursache für den Ausfall der Chips ausscheidet, gleichzeitig aber die Ausbeute nicht wieder durch „Fillerzellen“-Durchschlag begrenzt wird.

Die Grundlage dieser Entwicklung und einer späteren Platzierungsmethodik ist ein den technischen Anforderungen entsprechendes dynamisches IR-drop Tool. Somit bestand die erste Aufgabe dieses Beitrags von

Infineon darin, anhand der benötigten Funktionalität eine geeignete Software auszuwählen. Basierend auf dieser Auswahl wurden zunächst Untersuchungen auf vorhandenen realen Schaltungen gestartet, um die Größe und Stärke des auftretenden lokalen dynamischen IR-drops feststellen zu können. Die Abbildung 1.08 zeigt den dynamischen IR-drop-Verlauf des Powernetzes und den Hot-Spot innerhalb einer Schaltung bei vorgegebener Einspeisung.

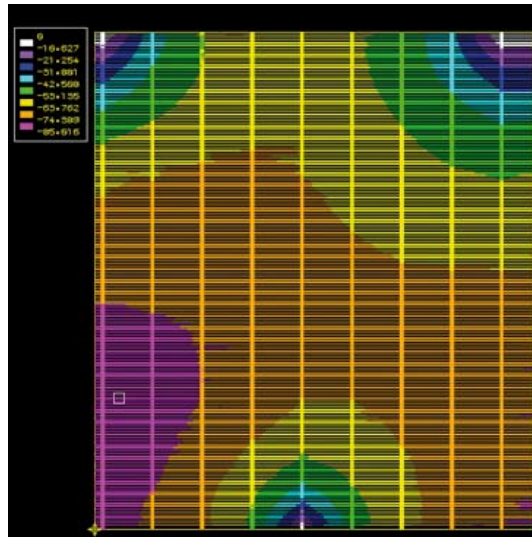


Abbildung 1.08: Hot-Spots

Anschließend wurden in einem kleinen Beispiel an dem Punkt mit maximalen IR-drop (hot spot) zusätzlich verschiedene hohe Kapazitätsbeläge in die Schaltung eingebracht, um die Wirkungsweise der Decap-Zellen zu belegen. Die Ergebnisse zeigen, dass durch gezieltes Einbringen eines zusätzlichen Kapazitätsterms der lokal auftretende hohe dynamische IR-drop reduziert werden kann. Weitere Untersuchungen werden zeigen, welche Decap-Zellgrößen praktisch eingesetzt werden können. Außerdem soll eine Methodik zur automatischen Platzierung entwickelt werden.

Parasitensymmetrisches Routing

Insbesondere bei der Verdrahtung von empfindlichen differentiellen Leitungen analoger integrierter Schaltungen spielt die Verteilung der parasitären Effekte auf den jeweiligen Netzen auf Grund der steigenden Betriebsfrequenzen eine elementare Rolle.

Im Vordergrund steht dabei die parasitensymmetrische Verdrahtung, d.h. die gleichmäßige Verteilung der parasitären Widerstände, Kapazitäten und Induktivitäten innerhalb von Leitungsgruppen. Schaltungsmaßnahmen sorgen dafür, dass der absolute Wert der Leitungsparameter keine Bedeutung hat.

Im Rahmen von LEONIDAS+ werden Forschungsarbeiten an den Verdrahtern GARA und PARSY, die eine Berücksichtigung parasitärer Effekte bereits während der Verdrahtung ermöglichen, unter Einbeziehung hoher Frequenzbereiche weitergeführt.

Abbildung 1.08:
Dynamische IR-drop-Map des
Powernetzes innerhalb einer
Schaltung bei vorgegebener
Einspeisung mit Hot-Spot.

Die Symmetrie wird in PARSY durch gleichzeitige Verdrahtung mehrerer Netze unter Verwendung busähnlicher Leitungsstrukturen erzielt. Zusätzlich wird die Symmetrie bei der Wegesuche optimiert.

Abbildung 1.09 zeigt ein Beispiel mit vier Netzen. Die durch den notwendigen Richtungswechsel des Bündels entstehenden Längenunterschiede werden durch ein Ausgleichsmodul behoben, das überdies für eine identische Anzahl an Leitungsknicke in den einzelnen Leitungen sorgt. Die jeweiligen Leitungsstrukturen werden durch Modulgeneratoren erzeugt, um eine möglichst effiziente Verdrahtung zu gewährleisten.

Abbildung 1.09:
PARSY-Verdrahtungsbeispiel

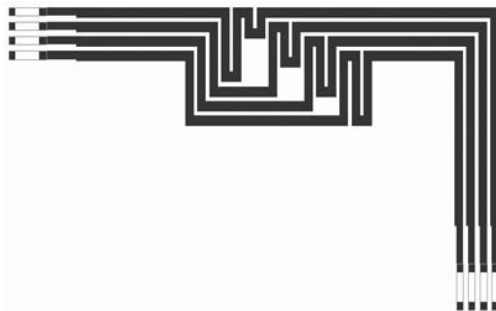


Abbildung 1.09: Parsy

Abbildung 1.10:
Mixed-Signal-Designflow unter
Verdrahtungsaspekten für
Broadcast Media Applications.

Aktuelle Arbeiten, die in Kooperation von Atmel Germany GmbH und dem Institut für Mikroelektronische Systeme (IMS) der Universität Hannover durchgeführt werden, befassen sich mit der Verbesserung der Verdrahtungsergebnisse und der Extraktion der parasitären Effekte der Leitungsstrukturen. Dazu wurde eine Anbindung an eine OpenAccess-Datenbank implementiert, um eine herstellerunabhängige Integration der Verdrahter in den Entwurfsprozess zu ermöglichen. Mittels dieser Schnittstelle wurden Analysen durchgeführt, die die gute Eignung der Ausgleichmodule besonders bei hohen Frequenzen bestätigen.

Mixed-Signal-Designflow unter Verdrahtungsaspekten für Broadcast-Media-Applications

Das Ziel der Arbeiten zu diesem Thema ist die Entwicklung einer Methodik zur frühzeitigen Berücksichtigung der Leitbahneigenschaften integrierter Leitungsstrukturen im Designflow.

Im herkömmlichen Designflow findet die Modellierung von Leitungen und deren Umgebung erst nach der Zellplatzierung und der Verdrahtung statt. Somit ist auch eine genauere Betrachtung der Leitungseigenschaften bezüglich ihres Timingverhaltens nicht früher möglich. Dies führt in der Regel zu umfangreichen Iterationen während der Schaltungsentwicklung. Der Ansatz mit modifiziertem Designflow (s. Abbildung 1.10) dient der frühzeitigen Abschätzung des Timingverhaltens von kritischen Leitungen. Dies wird im Wesentlichen durch eine Definition der Leitungsumgebung und der Leitungsführung erreicht. Die Definition der Leitungsumgebung wird durch eine Zusammenfassung entsprechender Leitungen zu einem parallel verdrahteten

Leitungs-bündel sowie dessen beidseitige Abschirmung realisiert. Die Verwendung einer definierten Leitungsstruktur ermöglicht eine parameterbasierte Modellierung des Leistungsverhaltens für parallel verdrahtete Leitungsstrukturen. Eine Anpassung des Modells an den jeweiligen Anwendungsfall geschieht durch eine Anpassung der Modellparameter. So kann bereits beim Floorplanning ein Verdrahtungskanal für die betrachteten Leitungen definiert werden und die Parameter der Leitungsführung können an das Modell übergeben werden. Für die Realisierbarkeitsprüfung werden Digitalsimulationen des Systems mit dem integrierten Simulationsmodell für parallel verdrahtete Leitungsstrukturen durchgeführt. Dieses Vorgehen ermöglicht eine erste Aussage über die Realisierbarkeit der Verdrahtung untersuchter Leitungen innerhalb des betrachteten Designs bereits während des Floorplannings. Eine frühzeitige Identifikation der möglichen Timing-Engpässe oder einer Verletzung der Timing-Anforderungen im Design trägt zusätzlich zur Entwurfssicherheit während der darauf folgenden Designschritte bei und verspricht eine Reduktion der notwendigen Iterationsschritte und deren Umfang während des Schaltungsdesigns.

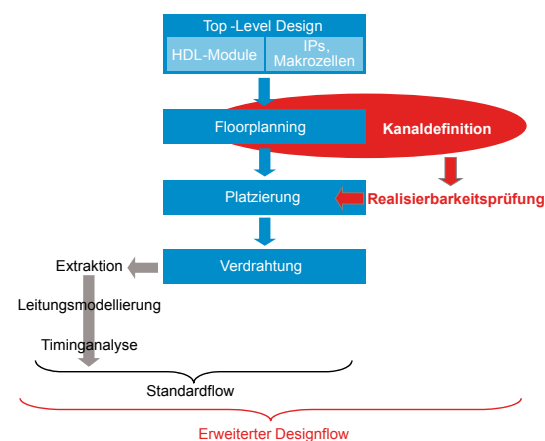


Abbildung 1.10: Designflow

Die Durchführung der Arbeiten zu diesem Thema findet in einer Zusammenarbeit zwischen Atmel Germany GmbH und der Universität Ulm statt. Zugrunde liegt ein in LEONIDAS entwickelter Ansatz zur Modifikation des Designflows für standardzellenbasierte Systeme. Die aktuellen Arbeiten konzentrieren sich auf die Implementierung der Modellierungsmethoden in ein Simulationsmodell unter Verwendung der Beschreibungssprache SystemC.

Einfügen von spezifischen Testpunkten in DfT-Verdrahtungen unter Berücksichtigung des Timings

Moderne Designs bestehen mehr und mehr aus vielen Clocksystemen. Bei solchen Designs mit vielen Schaltungszweigen mit unterschiedlichen Taktfolgen kommt es häufig zu Skew-Problemen, das heißt zu einer Taktverschiebung auf Grund von Laufzeitunterschieden in den verschiedenen Leitungspfaden. Dies kann dazu führen, dass ein Signal zu „spät“ oder auch zu „früh“ an einem Flipflop in der Schaltung ankommt.

Daher kann dieses Flipflop das Signal nicht mehr - oder fälschlicherweise schon - speichern und es kommt unweigerlich zu einem Informationsverlust.

Daneben werden in DSM-Schaltungen zunehmend sogenannte Testpunkte in das Design eingefügt, die zur Regulierbarkeit und Beobachtbarkeit von Signalzuständen dienen. Durch TPI (Test-Point-Insertion) kann zudem die Anzahl der Testmuster deutlich verringert und gleichzeitig die Testabdeckung erhöht werden. Solche Testpunkte bestehen aus Bauelementen, die in den Verdrahtungspfad eingebaut werden. Dadurch ergeben sich aber wiederum zusätzliche Taktverzögerungen, die zu verstärkten Geschwindigkeitsproblemen führen können.

Ziel der Arbeiten von Philips ist eine constraint-getriebene Verdrahtungsoptimierung, die eine timing-getriebene Testpunktberechnung und Implementierung in die Netzliste unterstützt (s. Abbildung 1.11). Dadurch können mögliche Laufzeitprobleme insbesondere auf sehr langen Verdrahtungsleitungen vermieden werden. Die entsprechenden Constraints sollen von einem DfT-Insertion-Tool und einem STA (Static-Timing-Analysis) Werkzeug geliefert und automatisiert bei der Berechnung der Testpunkte berücksichtigt werden. Insbesondere werden unterschiedliche Clocksysteme zu berücksichtigen sein.

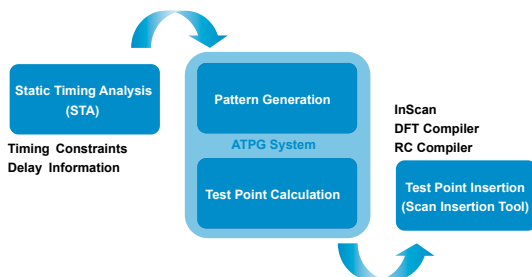


Abbildung 1.11: DfT-Flow

Der Schwerpunkt liegt auf dem Einbau von Testpunkten zur Kontrollierbarkeit und Beobachtbarkeit insbesondere in sogenannten Fan-out-Free-Regions (FFR), das sind Bereiche mit sehr vielen Eingängen und nur einem Ausgang (s. Abbildung 1.12).

Zu berücksichtigen ist, dass Testpunkte nur an den dafür erlaubten und vor allen Dingen sinnvollen Plätzen einzubauen sind. Randbedingung ist, dass solche zusätzlichen Verzögerungsglieder in Timing-kritischen Signalpfaden, z.B. sehr langen Verdrahtungsleitungen, nur unter Berücksichtigung des Gesamt-Delays der Leitungen eingebaut werden dürfen.

Konzept zur erweiterten RLC- Leitbahnextraktion

Durch die wachsende Komplexität, Miniaturisierung und Arbeitsfrequenzen im Gigahertz-Bereich stehen die Leitbahn- und Busstrukturen in nanoelektronischen Systemen immer mehr im Vordergrund des Entwurfsprozesses. In solchen Systemen werden die Verbindungsleitbahnen zum limitierenden Faktor für

die Schaltungs-Performance. Daher genügt es nicht mehr, die elektrischen Eigenschaften der Verbindungsleitbahnen nur als zusätzliche parasitäre Widerstände, Kapazitäten und Selbst-Induktivitäten anzusehen, sondern das Modell muss auch die Gegeninduktivitäten (Übersprechen) und ggf. Skin-, Proximity- und Substrat-Effekte mit berücksichtigen. Das Substrat lässt sich beispielsweise als RC-Gitter modellieren und kapazitiv an die Leitbahnen ankoppeln. Außerdem ist es wichtig, dass kritische Verbindungsleitbahnen oder Bussysteme bereits frühzeitig im Entwurf berücksichtigt und verifiziert werden können, um lange Iterationszyklen und Re-Designs zu vermeiden.

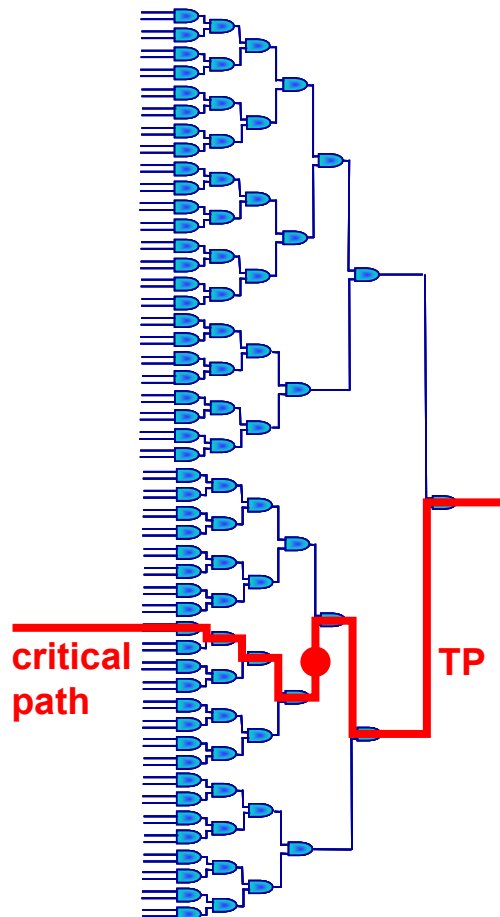


Abbildung 1.11: Design-for-Test- (DfT-) Flow

Abbildung 1.12: Gatter-Baum

Abbildung 1.12: Fanout Free Region - Gatter-Baum mit kritischem Pfad

In LEONIDAS+ wurde von Cadence ein leitbahnzentrierter, auf parametrisierbaren Zellen (PCells) basierender Entwurf, vorgeschlagen (s. Abbildung 1.13). Dieser erfüllt die oben genannten Anforderungen, wie die Berücksichtigung von Leitbahn- und Busstrukturen im Schematic, die Berücksichtigung von parasitären Leitbahn-Elementen, die Berücksichtigung von Skin- und Proximity-Effekt sowie Leitungsverluste durch das Substrat. Zur Validierung des Flows wurde ein einfaches Beispiel auf einem generischen Cadence-Prozess-Design-Kit (GPDK) aufgesetzt. Das PDK beinhaltet alle relevanten Daten einer generischen Technologie. Erste Simulationsergebnisse sind vielversprechend.

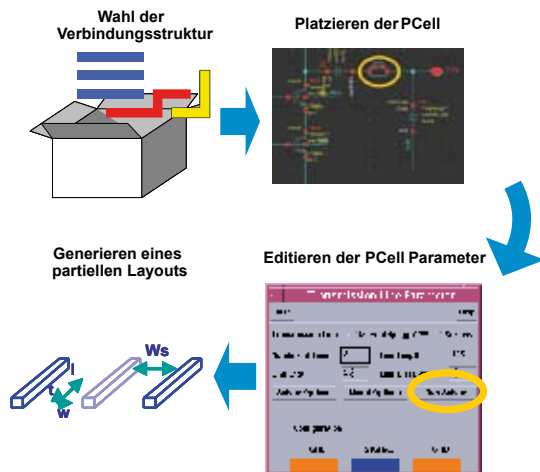


Abbildung 1.13:
Leitbahnzentrierter Flow mit
Cadence-Prozess-Design-Kit
(GPDK)

Abbildung 1.13: leitbahnzentrierter Flow

Weitere Informationen zum
Projekt finden Sie unter
<http://leonidas-plus.ims.uni-hannover.de>.

Projektkoordination:
Infineon Technologies AG
Irmtraud Rugen-Herzig
fon +49 89 234-21046

Projektmanagement:
Universität Hannover
Dr. Markus Olbrich
fon +49 511 762-19661

Der Flow basiert auf einer partiellen Generierung des Layouts. Kritische Leitbahn- oder Busstrukturen (z. B. Coplanar-Struktur) stehen für den Designer in einer Bibliothek als parametrisierbare Master-Zellen zur Verfügung. Die Instanzen dieser Master-Zellen lassen sich direkt im Schematic als Symbole einfügen und beliebig mit Hilfe der GUI parametrisieren. Im Hintergrund wird jede Instanz extrahiert und die parasitären RLCK-Werte sowie HF- und Substrat-Effekte werden berechnet. Das Schematic kann dann mit den als PCells eingefügten Leitbahnstrukturen simuliert werden.

Der Flow wurde anhand eines Low-Noise-Amplifier (LNA)-Beispiels getestet und qualifiziert. Vier kritische Leitbahnen wurden hierfür als PCells modelliert und im Schematic eingefügt. Mit dem Beispiel wurden typische LNA-Charakteristiken simuliert (z. B. Verstärkung, PSS, NF). Als Referenz ist das vollständig extrahierte Layout simuliert worden. Es konnte gezeigt werden, dass alleine durch die Verwendung der genaueren Modelle für die vier kritischsten Verbindungsstrukturen erheblich genauere Resultate erzielt werden können, ohne dass sich die Simulationszeiten stark erhöhen. Zudem können damit Leitbahnstrukturen frühzeitig im Flow berücksichtigt werden.

Zusammenfassung

LEONIDAS+ zeigt bereits nach einem Jahr Projektlaufzeit eine Reihe wesentlicher Ergebnisse, die für eine leitbahnzentrierte Entwurfsmethodik erforderlich sind. Erfreulich ist dabei, dass die Partner nicht nur ihre jeweiligen Einzelinteressen verfolgen, sondern mit anderen an gemeinsamen Zielen arbeiten. Der Austausch über Firmengrenzen hinweg stärkt die beteiligten Partner und damit den Standort Deutschland.

Ohne die Ergebnisse von LEONIDAS+ wären schon jetzt einige Produkt-Entwicklungen nicht möglich gewesen. LEONIDAS+ ermöglicht den deutschen Firmen den Weg in die „Leitbahn-Ära“.

On-Chip Verbindungsstrukturen – Engpaß und Herausforderung beim Schaltungsentwurf

von Prof. Dr.-Ing. habil. Hartmut Grabinski

„Leitungen? Die sind nicht wichtig!“ Mit diesem Vorurteil haben nicht nur Mitarbeiter im Projekt LEONIDAS zu kämpfen. Warum die Berücksichtigung von Leitungseffekten bei zukünftigen Chipentwürfen enorm wichtig ist, beschreibt dieser Artikel.

Abbildung 1.14:
Leitungen verhalten sich seltsam: Obwohl das Eingangssignal (blaue Kurve) einer idealen Leitung endlicher Länge nach dem Einschalten konstant bleibt (Einheitssprung), ist das Ausgangssignal (rote Kurve) ein Rechtecksignal doppelter Amplitude. Letzteres ist auf Reflexionen sowohl am Leitungsende als auch am Leitungseingang zurückzuführen.

Schon zu Beginn der Erfolgsgeschichte integrierter digitaler Schaltungen wurde mit zunehmender Arbeitsgeschwindigkeit mikroelektronischer Systeme schnell deutlich, daß die als Schaltelemente eingesetzten Transistoren keineswegs ideale Schalter repräsentierten. Vielmehr mußte das mehr und mehr dominierende analoge Verhalten von Transistoren schon beim Schaltungsentwurf berücksichtigt werden, wobei als Analysewerkzeuge Programme wie SPICE und deren Derivate eingesetzt wurden und immer noch werden. Der Einfluß der die einzelnen Schaltelemente verbindenden Leitungsstrukturen auf die Schaltungsdynamik konnte lange Zeit vernachlässigt werden. Später, als die Schaltgeschwindigkeiten weiter zunahmen, wurden die Einflüsse von Verbindungsstrukturen z.B. mit Hilfe einzelner oder auch kaskadierter RC-Glieder näherungsweise berücksichtigt. In Ermangelung besserer Verfahren ist dies auch heute noch weitgehend der Fall.

Im Vergleich zu damals hat sich die Situation jedoch dramatisch verändert: Moderne digitale Schaltungen beinhalten mehrere Millionen Transistoren, die internen

Taktraten betragen einige Gigahertz, und die Gesamtlänge der Verbindungsleitungen innerhalb moderner Prozessoren beläuft sich auf jeweils mehrere Kilometer bei bis zu etwa 10 Verdrahtungsebenen. Für die nähere Zukunft werden Gesamtleitungslängen von ca. 30 km/Schaltung bei Taktraten von einigen 10 GHz prognostiziert, aber schon jetzt kämpfen Halbleiterhersteller massiv mit den parasitären Einflüssen von Verbindungsstrukturen. Letztere haben sich inzwischen als limitierender Faktor hinsichtlich der Arbeitsgeschwindigkeit moderner Schaltungen erwiesen und dominieren deren dynamisches Verhalten. Entsprechend besteht hier dringender Handlungsbedarf beim Entwurf moderner Schaltungen.

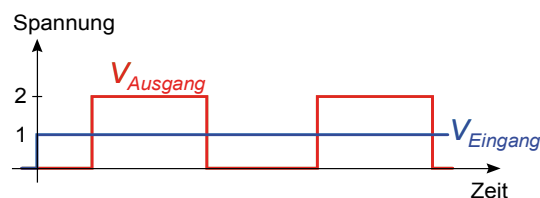


Abbildung 1.14

Problem 1: Wellenausbreitungseffekte

Bei den auf einzelnen Leitbahnen oder Leitbahnsystemen (z.B. Busstrukturen) auftretenden, parasitären Effekten handelt es sich im wesentlichen um Erscheinungen wie

- » endliche Ausbreitungsgeschwindigkeit,
- » Dispersion,
- » Kopplung,
- » Reflexion und
- » Ein- und Abstrahlung

Mit Ausnahme der Kopplung (zumindest bei hinreichend niedrigen Signalfrequenzen) handelt es sich hierbei um typische Wellenausbreitungseffekte (vgl. Abb. 1.14), die mathematisch grundsätzlich anders formuliert werden, als dies bei der Behandlung konzentrierter Bauelemente der Fall ist: Letztere werden mit Hilfe gewöhnlicher Differentialgleichungen, erstere mit Hilfe partieller Differentialgleichungen beschrieben. Werkzeuge wie SPICE sind im wesentlichen Programme zur Lösung großer Systeme gewöhnlicher (auch nichtlinearer) Differentialgleichungen, und es ist recht schwierig, solche Programme mit Algorithmen zur Lösung partieller Differentialgleichungen zu „verheiraten“. Grundsätzlich gibt es bereits Lösungen für dieses Problem, es bedarf hier aber umfangreicher Modifikationen vorhandener Entwurfssoftware, und viele Anwender scheuen (aus durchaus nachvollziehbaren Gründen) hiervon zurück.

Eine weitere Schwierigkeit liegt darin, überhaupt hinreichend leistungsfähige Algorithmen zur Beschreibung obiger Effekte zu finden. Es gibt hier vielversprechende Ansätze, aber das universelle Verfahren schlechthin existiert bis heute nicht.

Problem 2: Substrateffekte

Typisch für die derzeitigen integrierten Schaltungen ist es, daß sowohl aktive als auch passive Elemente über einem mehr oder weniger gut leitenden Substrat angebracht sind. Für Leitbahnen folgt daraus, daß die die Verbindungsstrukturen umgebenden elektromagnetischen Felder in das Substrat eindringen können, was zu einer signifikanten Beeinflussung der Signalübertragung führt (Abb. 1.15). Nimmt man etwa an, daß zumindest quer zur Signalausbreitungsrichtung eine quasistationäre Betrachtungsweise noch adäquat ist (was auf Chips eingeschränkt und auf Boards bei höheren Frequenzen gar nicht mehr gilt), man also elek-

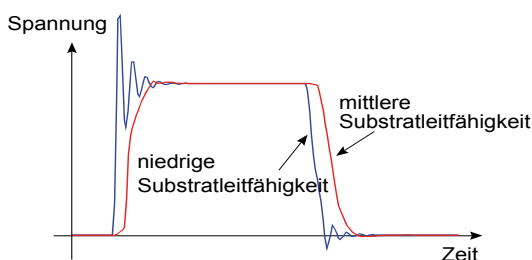


Abbildung 1.15

trische und magnetische Felder getrennt voneinander betrachten kann, so wirkt ein schwach leitendes Substrat bei höheren Frequenzen als Isolator. Dies führt zu einer signifikanten Abnahme der Eigenkapazität und damit zu einer sehr stark frequenzabhängigen Zunahme kapazitiver Kopplung. Andererseits bewirkt das Eindringen des magnetischen Feldes in das Substrat aufgrund von Skin- und Proximityeffekten eine (durchaus wünschenswerte) Abnahme von Koppel- und Selbstinduktivitäten bei höheren Frequenzen, gleichzeitig aber eine Zunahme ohmscher Verluste aufgrund massiver Ströme im Substrat: Das Substrat wirkt dann als Rückleiter, selbst wenn ein separater Rückleiter vorgesehen ist (Abb. 1.16). Umgekehrt kommt es bei niedrigeren Frequenzen und/oder schwacher Substratleitfähigkeit zu massiver induktiver Kopplung, auch (und im Gegensatz zur elektrischen Kopplung) über weite Distanzen. Es gibt hier bereits Verfahren zur Berechnung, die aber bis heute so gut wie nicht in bestehende Entwurfswerkzeuge integriert sind.

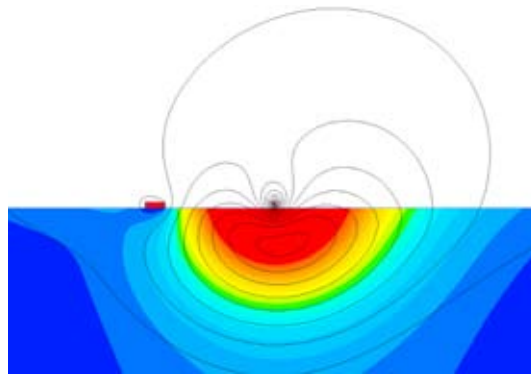


Abbildung 1.16

Abbildung 1.16:

Trotz vorhandenen Rückleiters (Rechteck links) fließt der größte Teil des Rückstroms bei hohen Frequenzen im Substrat unterhalb des Signalleiters (rot = hohe Stromdichte) und verursacht massive Verluste. Die schwarzen Linien sind magnetische Feldlinien.

Problem 3: Induktivitäten

Auf Boards ist es schon lange notwendig, auch die Einflüsse magnetischer Felder zu berücksichtigen, während dies in der Vergangenheit auf Chip-Level eher von akademischem Interesse war. Inzwischen sind sich aber führende Halbleiterfirmen wie z.B. IBM, Infineon und Intel einig, daß induktive Effekte auch on-Chip zu beachten sind. Dies erweist sich als nicht ganz einfach, was nicht allein auf die mangelnde Erfahrung von Designern mit dieser Materie zurückzuführen ist. Vielmehr ist ein wesentliches Problem darin zu suchen, daß die Strompfade, insbesondere für den Rückstrom eines Signals, aufgrund ihrer Mannigfaltigkeit nur sehr schwer zu bestimmen sind. Letzteres ist aber von zentraler Bedeutung für die Berechnung von Selbst- und Koppelinduktivitäten. Erschwerend kommt hinzu, daß speziell die Rückstrompfade i.a. stark frequenzabhängig sind. Hierauf wurde bereits im Zusammenhang mit der Substratproblematik hingewiesen. Aber auch völlig ohne leitendes Substrat ergibt sich für die Rückstrompfade, allein aufgrund von Proximityeffekten, eine starke Frequenzabhängigkeit (Abb. 1.17). Auch hier existieren schon Verfahren zur Berechnung, aber es fehlt ebenfalls die Integration in die verwendeten Entwurfswerkzeuge.

Abbildung 1.15:

Ausgangssignale identischer Leitungen bei trapezförmigem Eingangssignal und unterschiedlichen Substratleitfähigkeiten: Allein aufgrund verschiedener Substratleitfähigkeiten unterscheiden sich die Ausgangssignale signifikant voneinander.

Abbildung 1.17:

Auch ohne Substrat kommt es aufgrund des Proximity-Effektes zu starker Frequenzabhängigkeit von Induktivität und Widerstand: Signalleiter (Mitte) umgeben von lauter Rückleitern; rechts Stromverteilung bei 1 MHz, links Stromverteilung bei 40 GHz (rot = hohe Stromdichte, blau = niedrige Stromdichte). Die schwarzen Linien sind wieder magnetische Feldlinien.

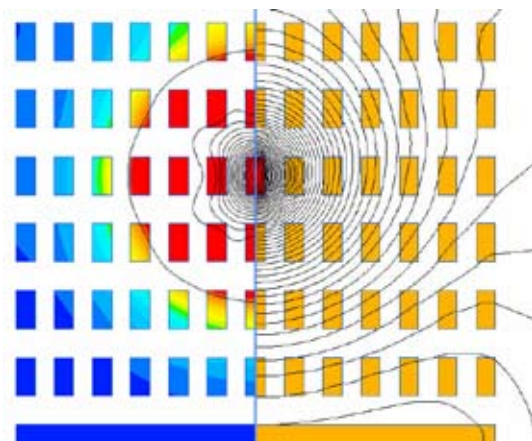


Abbildung 1.17

Abbildung 1.19:

Vergleich zwischen Messung und Berechnung des Induktivitätsbelages einer Leitung über leitendem Substrat.

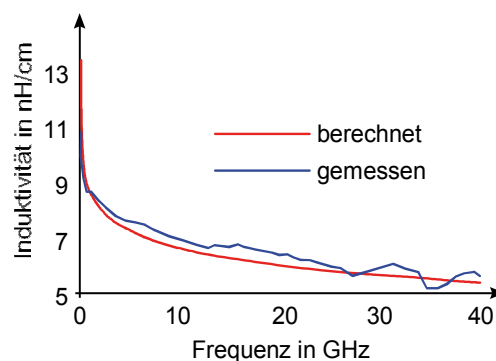


Abbildung 1.19

Problem 4: Messung

Man kann bekanntlich viele Thesen aufstellen und vieles berechnen. Die Stunde der Wahrheit schlägt aber dann, wenn es um eine meßtechnische Verifikation geht. Letztere gestaltet sich auf dem Chip als äußerst schwierig. Dies liegt zum einen an der Kleinheit der zu messenden Strukturen (Leitbahnbreiten im Sub-µ-Bereich) im Vergleich zu den Abmessungen der Meßapparatur (Meßspitzen im mm-Bereich und Meßleitungslängen von ca. 1m), zum anderen an den hohen Frequenzen (gegenwärtig bis maximal ca. 100 GHz) und der notwendigen Breitbandigkeit der Messung (vgl. Abb. 1.18).

Abbildung 1.18:

On-Wafer Meßtechnik an der Universität Hannover: Messung des Signalverhaltens an einer Doppelleitung; zu sehen sind die vier Hochfrequenzmeßspitzen und die Doppelleitungsstruktur unter dem Mikroskop.

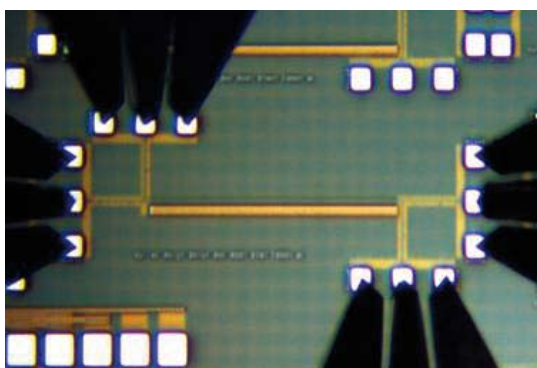


Abbildung 1.18

Schluß

Die oben exemplarisch aufgeführten Punkte können sicherlich noch spezifiziert und erweitert werden. Sie geben aber eine Übersicht und einen ersten Einblick in die Problematik. Während Einzellösungen häufig schon existieren, fehlt deren Einbindung in bestehende Entwurfswerkzeuge nahezu gänzlich. Die Gründe hierfür sind nicht nur rein sachlicher Art. Es zeichnet sich aber ab, daß schon gegenwärtig beim Design komplexer Schaltungen wesentlich mehr parasitäre Effekte zu berücksichtigen sind, als dies in der Vergangenheit notwendig war. Bei sehr schnellen Schaltungen werden Entwurfstechniken erforderlich sein, die die Verbindungsstrukturen ins Zentrum des Entwurfs stellen (sog. „Interconnect Driven Design“). Hierfür sind entsprechende Werkzeuge unerlässlich.

Kont@kt:

Prof. Dr.-Ing. Hartmut Grabinski
Laboratorium für
Informationstechnologie
Universität Hannover
Schneiderberg 32
30167 Hannover
fon: +49 (511) 762-5030
grabinski@lfi.uni-hannover.de

Weitere Informationen finden
Sie unter [http://www.ims.uni-hannover.de/\(de\)/~grabinsk/](http://www.ims.uni-hannover.de/(de)/~grabinsk/)

Besonders schwierig ist auch die Berücksichtigung des leitenden Substrats. Entsprechende Meßtechniken wurden in den letzten Jahren, speziell auch in Hannover, entwickelt, ebenso Berechnungsverfahren (Abb. 1.19). Bei den Berechnungsverfahren handelt es sich i.a. um Feldberechnungen. In Ausnahmefällen lassen sich auch analytische Ausdrücke ermitteln. So wurde zur Berechnung des Induktivitätsbelages in Abb. 1.19 die einfache Gleichung

$$L'(\omega) \approx \frac{\mu_0}{8\pi} + \frac{\mu_0}{12\pi} \left\{ 3 + 4\sqrt{2} |k| (T_{ox} + T_s / 2) + \frac{2\sqrt{2}}{\pi} |k| (w + T_s) + 6 \ln \frac{2\pi}{\gamma |k| (w + T_s)} \right\}$$

entwickelt. Hierin sind $\gamma = 1,781...$ (ln γ = Euler-Mascheroni-Konstante), $|k| := \sqrt{\omega \mu_0 \sigma_{substr}}$, T_{ox} die Oxiddicke, T_s die Leitbahnhöhe und w die Leitbahnbreite.

Nachrichten von den Projekten

www.edacentrum.de/newsletter/



Projektinterner LEMOS-Workshop schafft Synergien



Abbildung 1.22

Das Projekt LEMOS (Low-Power Entwurfsmethoden für mobile Systeme) veranstaltete im Anschluss an den Ekompas-Workshop am 18. Mai einen projektinternen Workshop. Insgesamt 18 Teilnehmer diskutierten dabei über 7 Vorträge zum Thema Verlustleistungs-Abschätzung und -Optimierung. Besonderes Highlight bildete diesmal der Gast-Vortrag von Kees Veelenturf, der die Arbeiten im MEDEA-Projekt LoMoSA (Low-power platform for Mobile multi-media System Applications) vorstellte. In der anschließenden Diskussion wurde zusätzlich über die möglichen Synergien zwischen den beiden Projekten nachgedacht. (Jens Appell)

LEONIDAS+ mit 5 Beiträgen auf dem SPI-Workshop

Auf dem IEEE-Workshop „Signal Propagation on Interconnects“ (SPI) in Berlin vom 8. bis 12. Mai 2006 war das Projekt LEONIDAS+ mit insgesamt fünf Beiträgen (davon drei Vorträge) vertreten. Aufgrund der großen Konkurrenz ist dies ein besonderer Erfolg, weil zum 10-jährigen Jubiläum des Workshops überraschend viele Paper eingereicht wurden. Der SPI-Workshop ist im Bereich der Interconnect-Eigenschaften international renommiert. Die Qualität des Workshops liegt auf Konferenz-Niveau. (Markus Olbrich)

Englisch- und deutschsprachiger Flyer zu den laufenden Ekompas Projekten erschienen



Abbildung 1.23

Ab sofort ist eine Gesamtübersicht über die aktuellen Ekompas-Projekte in englischer bzw. deutscher Sprache verfügbar. Weiterhin erhalten Sie zu den abgeschlossenen Projekten detaillierte Projektflyer, in denen ausführlich über die bisherigen Forschungsergebnissen berichtet wird. Die Flyer sind kostenlos als Download über die Webseite des edacentrum bzw. auf Anfrage in gedruckter Form erhältlich. (NM)

Kooperationsworkshops in Planung

Im Rahmen des Ekompas-Workshops trafen sich auch in diesem Jahr Mitarbeiter der Projekte, um gemeinsame Kooperationsaktivitäten für das laufende und das kommende Jahr zu besprechen. Auf besonderes Interesse stießen dabei die Themen „System Planning & System Requirement Management“ und „Technologien und ihre Auswirkungen auf den Entwurfsprozess“. Zu beiden Themen sind Kooperationsworkshops geplant. Der Workshop zum Thema „System Planning“ wird Ende dieses Jahres, der Workshop zum Thema „Technologie“ wird Anfang nächsten Jahres stattfinden. Veranstaltungsort wird in beiden Fällen Hannover sein. Wenn Sie Interesse an den Workshops haben, setzen Sie sich ab sofort mit uns in Verbindung. (CH)

Drei neue Projekte erhalten ein Label

Auf den beiden vergangenen Sitzungen des Steuerungsgremiums erhielten drei weitere Projekte das begehrte Label. Die Partner der Konsortien sind damit aufgefordert, ihre Anträge zusammen mit der Vorhabenbeschreibung beim Projektträger IT einzureichen. (Pp)

Abbildung 1.22:

Gruppenbild vom projektinternen LEMOS-Workshop am 18. Mai 2006 in Hannover

Abbildung 1.23:

Übersichtsflyer zu den aktuellen Förderprojekten in englischer bzw. deutscher Sprache

Kont@kt (LEMOs):

Dr. Jens-E. Appell
fon: 0441-9722-235
jens.appell@offis.de

Kont@kt

(Kooperationsworkshop):

Dr. Cordula Hansen
fon: 0711-2807 956
hansen@edacentrum.de

Kont@kt (LEONIDAS+):

Dr. Markus Olbrich
fon: 0511-762 19661
olbrich@ims.uni-hannover.de

Kont@kt

(Steuerungsgremium):

Dr. Jürgen Haase
fon 0511 762-19698
haase@edacentrum.de

Die Projekte auf dem Ekompas-Workshop 2006

www.edacentrum.de/newsletter/

Ekompas-Projekte präsentierten sich im Mai

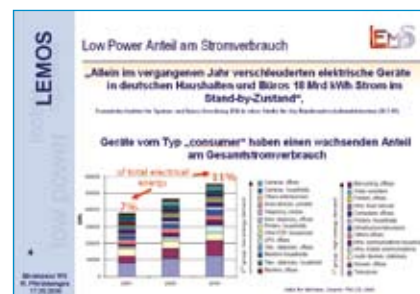
Auf dem im Mai abgehaltenen Ekompas-Workshop 2006 präsentierten die Projekte DETAILS, LEMOS, LEONIDAS+, PRODUKTIV+, URANOS und SIDRA ihre jüngsten Ergebnisse in Vorträgen und auf Postern. Um Dopplungen zu verhindern haben wir in dieser Rubrik auf weitere Projektnachrichten verzichtet und nur Bilder als Platzhalter eingefügt. Bitte lesen Sie den ausführlichen Bericht vom Ekompas-Workshop ab Seite 21.

Die kompletten Foliensätze der Projekte sind im Tagungsband des Ekompas-Workshops 2006 abgedruckt. Er ist im edacentrum erhältlich.

DETAILS



LEMO



2

Neues aus dem edacentrum

Publikationen

www.edacentrum.de/presspiegel/

In der Zeitschrift „Elektronik“ erschien in Heft 4 vom 21. Februar 2006 ein kurzer Bericht vom edaForum05. Der Beitrag trägt den Titel „EDA - Wirtschaftsfaktor oder Highend-Informatik?“. In der Zeitschrift „it - Information Technology“ erschien in Heft 2 vom April 2006 ein achtseitiger Beitrag über EDA-Forschung und das edacentrum mit dem Titel „EDA - Eine Voraussetzung für die Nanotechnologie“. Außerdem berichtete das BMBF am 10.03.2006 in BMBF Online unter der Schlagzeile: „BMBF veröffentlicht neue Broschüre zum Chipentwurf“ über das Erscheinen der EDA-Broschüre. (Pp)

Ansprechpartner zu Publikationen:

Ralf Popp, 0511 762-19697, popp@edacentrum.de.

Trendbericht der Design Automation Conference (DAC) 2006

www.edacentrum.de/mitglieder_intern/

Auch dieses Jahr werde ich für das edacentrum auf der DAC (24.-28.7.2006 in San Francisco, CA) sein und Augen und Ohren offen halten, was die EDA-Experten – insbesondere in den Panel-Diskussionen – zu sagen haben. Im Laufe des Spätsommers wird dann wieder von Ralf Popp und mir der umfangreiche DAC-Trendbericht in gewohnter Qualität – vielleicht aber mit ein paar Überraschungen – erstellt und an die Mitglieder verteilt werden. Sollten Ihnen im Vorfeld ganz besondere Wünsche unter den Nägeln brennen, z.B. die Aussagen einer ganz bestimmten Session oder der Inhalt eines ganz bestimmten Vortrages – dann werde ich versuchen, dies im Rahmen der zeitlichen Möglichkeiten in mein Besuchs- und Berichtsprogramm einzubinden. Und wenn Sie auch zur DAC fahren? Dann freue ich mich auf persönliche Gespräche mit Ihnen auf der DAC, um Eindrücke und Erfahrungen auszutauschen. Auch auf Ihrem Messestand besuche ich Sie gerne. Für im Vorfeld der DAC geäußerte Anregungen rund um die große EDA-Veranstaltung bin ich ebenfalls dankbar!

Ansprechpartner zum DAC-Bericht:

Dr. Dieter Treytnar, 0511 762-19687, treytnar@edacentrum.de.

Einen DAC-Preview finden Sie in diesem Heft auf S. 32.

Weitere Informationen unter: <http://www.dac.com>.

unter www.edacentrum.de/newsletter/ finden Sie im Internet weitere Informationen.



Termine und Formalien für neue Projekte

www.edacentrum.de/projekttermine

Die Termine für die Einreichung zur Sitzung des Steuerungsgremiums am 26. September 2006 in Hannover sind

- » Anmeldung einer Einreichung bis: **14.8.2006**
- » Abgabe der ersten Version bis: **28.8.2006**
- » Abgabe der letzten Version bis: **11.9.2006**

Bitte berücksichtigen Sie bei der Einreichung nicht nur die Termine, sondern unbedingt auch die Vorgaben bzgl. des Umfangs. Projektskizzen dürfen maximal einen Umfang von 16 Seiten haben, Vorhabenbeschreibungen einen Umfang von 50 Seiten. Bei beiden Angaben sind Titelseite, Inhaltsverzeichnis und Anhang nicht eingerechnet. (CH)

Ansprechpartner zum Thema:

Dr. Cordula Hansen, 0711 2807956, hansen@edacentrum.de

Datensicherheit am edacentrum

<https://www.edacentrum.de/>

Ab sofort werden alle passwortgeschützten Webseiten des edacentrum verschlüsselt (https-Protokoll) übertragen. Für Sie ändert sich dadurch nichts, Sie haben aber die Gewissheit, dass sowohl Ihr Passwort als auch die Inhalte der Webseiten verschlüsselt übertragen werden. Hiervon profitieren auch die Nutzer der vom edacentrum administrierten Projektwebseiten. (AV)

Ansprechpartner zur Datensicherheit am edacentrum:

Dr. Andreas Vörg, 0511 762-19686, voerg@edacentrum.de.

Vergünstigungen für Start-ups

www.edacentrum.de/mitgliedschaft.html

Start-up-Unternehmen, die jetzt einen Mitgliedsantrag stellen, erhalten ab sofort alle Leistungen für Mitglieder, werden allerdings formal erst mit dem Beschluss des Aufsichtsrates im Oktober aufgenommen. Damit brauchen diese Antragsteller zunächst keinen Beitrag zu zahlen, können also kostenlos schnuppern. Falls sie im Jahr 2007 nicht Mitglied bleiben möchten, genügt eine reguläre Kündigung (einen Monat zum Quartalsende). Mitgliedsanträge sind im Internet oder direkt beim edacentrum erhältlich.

Ansprechpartner zur Mitgliedschaft:

Dr. Jürgen Haase, 0511 762-19698, haase@edacentrum.de.



Neues aus der EDA-Clusterforschung

www.edacentrum.de/clusterforschung/

Neuigkeiten von den Projekten SAMS und FEST finden Sie innerhalb des Berichts vom Ekompass-Workshop auf Seite 21. Darüber hinaus freuen wir uns über das im Mai erteilte Label für das dritte Clusterforschungsprojekt und einen erfolgreich vollzogenen Auftritt der Clusterforschung auf der ISCAS, der bereits in der letzten Ausgabe des Newsletters angekündigt wurde.

Abbildung 1.24:

Die Forschungsthemen des AIS-Projekts konzentrieren sich im ersten Schwerpunkt (AP1) auf die Systemebene zur Exploration und Optimierung von Systemen. Der zweite Schwerpunkt (AP2) fokussiert sich auf die Erfassung und Dimensionierung der Komponenten eines Systems.

Label für drittes Clusterforschungsprojekt

Der Vorhabenbeschreibung des Projekts „Autonome Integrierte Systeme“ (AIS) wurde im Mai vom Steuerungsgremium das Label erteilt. Das AIS-Konsortium wurde damit aufgefordert, den Projektantrag beim BMBF einzureichen. Geplant ist, dass AIS im Oktober 2006 mit seinen Forschungsarbeiten startet.

Ziel des damit dritten Clusterforschungsprojektes ist die Erforschung neuer Methoden, Werkzeuge, Architekturen und Betriebssysteme für den Entwurf Autonom Integrierter Systeme, um Zuverlässigkeitsaspekte durchgängig auf allen Entwurfsebenen schon in der Planung zu berücksichtigen. Das Projekt AIS wird EDA-Lösungen im Bereich autonomer Hardware und Software erforschen. Hierzu zählen Schaltungskonzepte auf Transistorebene, die Störungen tolerieren können, selbstheilende Speicher- und Prozessorarchitekturen auf Gatter- und Register-Transfer-Ebene sowie selbstorganisierende Hardware- und Software-Plattformen mit redundanten Prozessor- und Kommunikationsressourcen auf Systemebene. Um die dadurch

entstehenden vielfältigen neuen Freiheitsgrade im Entwurf beherrschen zu können, sind neue Entwurfsmethoden zu erforschen, die autonome Architekturen auf unterschiedlichen Technologieebenen hinsichtlich ihrer Eignung für gegebene Applikationen und unter Berücksichtigung vorgegebener Zuverlässigkeitsanforderungen bewerten und damit eine automatisierte, applikationsspezifische Architekturbestimmung

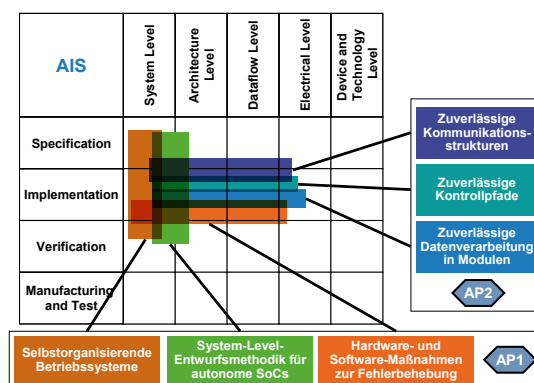


Abb.1.24 edaMatrix

Der Jubiläums-Geburtstag naht: 5 Jahre edacentrum

www.edacentrum.de/5jahre/

Liebe Leserinnen und Leser, wir rufen Sie auf, uns bei der Auswahl zu unterstützen. Empfehlen Sie uns einen guten Wein, vorzugsweise aus Ihrer Region, den wir zur Mitgliederversammlung verkosten und ggf. kühlen können. Sie sind herzlich eingeladen, bei der „Auslese“ zur Mitgliederversammlung 2006 teilzunehmen und mit zu entscheiden. Wir freuen uns auf Sie!

Ort, Zeitpunkt und die Modalitäten der Kür des „edaWein06“ werden rechtzeitig im Internet und im kommenden newsletter bekannt gegeben.

Kindergeburtstage sind auch für Eltern besondere Tage, aber Niemand würde nach einer Handvoll Jahren bei dem Geburtstag eines Kindes von einem Jubiläum sprechen. Für das edacentrum sieht das schon anders aus:

Am 3. September 2006 jährt sich die Eröffnung des edacentrum durch die damalige Bundesministerin Frau Edelgard Bulmahn zum fünften Mal. Für das edacentrum ist sein fünfjähriges Bestehen ein Grund zur Freude und Anlass zur Herausgabe eines edlen Tropfens (möglichst gleichen Alters), dem „edaWein06“.

Der „edaWein06“ – Herkunft und Erzeuger bleiben vorerst eine Überraschung – soll zur Mitgliederversammlung am 12. Oktober 2006 (s. nebenstehende Meldung) feierlich gekürt werden. Anschließend geht er – speziell etikettiert – zu einer längeren Weinprobe auf „Reisen“. (Pp)

Ansprechpartner zu Jubiläum und edaWein06:

Ralf Popp, 0511 762-19697, popp@edacentrum.de

Einladung zur Mitgliederversammlung am 12.10.06

www.edacentrum.de/

Die diesjährige – und inzwischen fünfte – Mitgliederversammlung des edacentrum findet am Donnerstag, den 12.10.2006, nachmittags in den Räumen der Universität Hannover, Laboratorium für Informationstechnologie (LFI), statt. Der Vorstand des edacentrum e.V. und die Geschäftsführung der edacentrum GmbH werden berichten. Zum vorhergehenden Mittagessen wird der „edaWein06“ gekürt.

Weitere Aktionen unter dem Motto „Von Mitgliedern für Mitglieder“ sind gewünscht. Wenn Sie einen Vorschlag machen möchten, sprechen Sie uns an.

Alle Mitglieder sind herzlich zur Teilnahme eingeladen. Eine Einladung mit der Agenda geht Ihnen rechtzeitig auf dem Postweg zu. (Pp)

Ansprechpartnerin zur Mitgliederversammlung:

Maren Sperber, 0511 762-19699, info@edacentrum.de

Kontakt:

Dr. Volker Schöber
fon: 0511 762 19688
schoeber@edacentrum.de/

**Abbildung 1.25:**

Das SAMS-Projekt war bei der diesjährigen ISCAS 2006 (s. S. 30) mit einer eigenen Session zum Thema „Analog Circuit“

Wireless World Research Forum

Das WWRF ist eine Organisation, die sich zum Ziel gesetzt hat, global Forschung und Entwicklung für mobile und drahtlose Systeme voranzutreiben. Hierzu werden strategische Visionen der Ausrichtung der Forschung erstellt und neue technische Vorteile für zukünftige Netzwerke erarbeitet. Es finden regelmäßige Meetings statt, bei denen sich die Teilnehmer über den aktuellen Stand der Entwicklung austauschen. Das nächste Meeting wird in Heidelberg vom 15.-17. November 2006 stattfinden. Weitere Informationen finden Sie unter: <http://www.wireless-world-research.org/>.

ermöglichen. (siehe Abbildung 1.24). Die geplanten Forschungsaktivitäten werden dabei anhand eines plattformbasierten Entwurfs evaluiert, der verschiedene Prinzipien, Abstraktionsebenen und Entwurfsmethoden für Komponenten und Systeme für Autonome Integrierte Systeme zusammenfasst.

In Kooperationstreffen mit der Industrie wurden bereits erste Schritte zur Projektzusammenarbeit in den nächsten Jahren eingeleitet. Das Forschungskonsortium stellte dabei die wissenschaftlichen Ziele des Projektes den interessierten Industriepartnern vor. Auch wurden die Anforderungen der Industrie vorgebracht und abgestimmt, die im Rahmen des Projekts berücksichtigt werden sollen. In einem anderen Treffen wurde diskutiert, in welcher Form das AIS-Projekt Beiträge zu dem Wireless World Research Forum (WWRF) leisten kann. Die Mitarbeit zur Erarbeitung eines White-Papers zum Thema „Reconfigurable Computing“ sowie eine Präsentation der Ziele des Projekts im November beim nächsten Treffen des WWRF in Heidelberg wurden geplant. (VS)

SAMS mit einer Session auf der ISCAS 2006 Synthesis: A search for the holy grail?“ mit insgesamt 5 Beiträgen eingeladen

Mit mehr als 40 Zuhörern und intensiven anregenden Diskussionen war das Interesse - trotz der vielen parallelen Veranstaltungen - erfreulich hoch. Mit der Präsentation des Synthesekonzepts, das mit dem SAMS-Projekt verfolgt wird, konnte ein wichtiger Fortschritt im Bereich der Synthese analoger Schaltungen dargestellt werden. Auch fand der innovative transformatorische Ansatz zur Verfeinerung von Modulen eine hohe Beachtung. Während der Konferenz ergaben sich neue Kontakte zu den Universitäten Bristol (Großbritannien) und Twente (Niederlande), die auch in diesem Themengebiet arbeiten. Mit der Special Session wurde die internationale Sichtbarkeit von SAMS und der Clusterforschungsinitiative erhöht. (VS, Foto: Daniel Müller)

EDA-Achievement Award 2006 ausgeteilt

www.edacentrum.de/awards.html

Für besondere Forschungs- oder Entwicklungsleistungen im Bereich EDA (Electronic Design Automation) verleiht das edacentrum e.V. in diesem Jahr erneut den EDA Achievement Award. Damit sollen Leistungen hervorgehoben und prämiert werden, die in Projekten des Förderschwerpunktes Ekompas (Entwurfsplattformen komplexer angewandter Systeme und Schaltungen) erbracht worden sind.

Preiswürdig sind Arbeiten von Einzelpersonen oder Teams, die zur Erreichung der Ekompas-Ziele besonders beigetragen haben. Dabei sind insbesondere solche Beiträge erwünscht, die eine mess- und damit nachweisbare Verbesserung bzw. Beschleunigung des Entwurfsprozesses und damit einen industriellen Nutzen bewirkt haben.

Die Form der Bewerbung für den mit 2000,- Euro dotierten Preis ist freigestellt, muss aber die Dokumentation des Ergebnisses enthalten. Geeignet hierfür sind Veröffentlichungen, Meilensteinberichte, aber auch spezifisch für diesen Zweck erstellte Dokumentationen. Die Bewerbung ist bis zum 31. Juli 2006 an das edacentrum e.V. zu richten. Das Steuerungsgremium des edacentrum wird auf seiner Sitzung am 26. Sep-

tember die eingegangenen Beiträge begutachten und die prämierte Arbeit auswählen. Die Preisverleihung findet im Rahmen des edaForum06 vom 16. bis 17. November in Berlin statt. (Tr)

Ansprechpartner zum EDA Achievement Award:

Dr. Jürgen Haase, 0511 762-19698, haase@edacentrum.de.

**Abbildung 2.01:**

Die Gewinner des EDA-Achievement Awards der vergangenen Jahre:
2003: Prof. Dr.-Ing. Wolfram Büttner
2004: Dr.-Ing. Ralf Sommer (in Vertretung übernahm Frau Irmtraud-Rugen Herzig den Preis)
2005: Dr.-Ing. Sebastian Sattler

Ekompas-Workshop 2006

Rückblick auf den 16. und 17. Mai 2006 in Hannover

Wie schon in den letzten Jahren kamen die Ekompas-Projekt-Teams im Frühjahr zum Ideen- und Meinungsaustausch nach Hannover in das Courtyard by Marriott Hotel. Im Juni ist dort die „Welt zu Gast bei Freunden“ und wohnt den Pressekonferenzen der hohen Fußballprominenz bei.

Mit über 120 Teilnehmern konnte der Ekompas-Workshop wieder an die Zeiten anknüpfen, in denen Reisen leicht und ohne lange Prüfung genehmigt wurden. Der Workshop bot wie immer einen guten Überblick über die international konkurrenzfähige Leistungsstärke der deutschen EDA-Forschung.

Übersicht

In acht Übersichtsvorträgen und auf 31 Postern sowie durch einige Demonstrationen wurden die derzeit geförderten Ekompas-Projekte vorgestellt. Eine kurze Zusammenfassung der Vorträge finden Sie im Anschluss an diese Übersicht.

Darüber hinaus bot der Ekompas-Workshop reichlich Gelegenheit zum wissenschaftlich-technischen Austausch. So hatte das edacentrum im Auftrag des BMBF zu einer Diskussion um zukünftige Forschungsthemen aufgerufen (siehe Seite 22.). Außerdem wurde der jährliche Kooperationsmarkt unter dem Motto „Ideen suchen Anwender“ im Rahmen der Posterausstellung mit Rekordbeteiligung durchgeführt (siehe Seite 20).

Weitere Höhepunkte waren die eingeladenen Vorträge von Dr. Reinhard Ploss von Infineon, Prof. Dr. P. Lugli von der TU München und Prof. Dr. Christoph Grimm von der Universität Hannover, deren Vorträge im kommenden newsletter edacentrum 03 2006 besprochen werden.

Der gemeinsame Abend im Gartensaal des nahe gelegenen Neuen Rathaus von Hannover wurde mit der Verleihung der EDA-Medaille eröffnet. Dr. Peter Schwarz von der FhG-EAS in Dresden erhielt die Auszeichnung für sein Lebenswerk in Forschung und Lehre auf dem Gebiet Electronic Design Automation (s. rechts).

Der Ekompas-Workshop wurde auch in diesem Jahr von allen Beteiligten gelobt. Das gute Zusammenspiel der Partner, die tatkräftige Zusammenstellung der Teams, die gute Integration der Neuen, sowie das gute Veranstaltungsmanagement des edacentrum-Teams zeigen, dass eine Gemeinsamkeit erreicht wurde, die für die Zukunft viel erwarten lässt.

Und dass diese Zukunft bereits begonnen hat, zeigen die Planungen für das kommende Jahr, wenn der Ekompas-Workshop ein neues Gesicht und damit auch einen neuen Namen bekommen wird:

Aus dem Ekompas-Workshop wird der edaWorkshop, der sich der wissenschaftlich-industriellen EDA-Gemeinde über die Ekompas-Projekte hinaus öffnen wird und sich damit als zentrale deutsche EDA-Veranstaltung etablieren soll. Dazu wird der Rahmen erweitert, die Qualität durch ein Programmkomitee gesichert und die Veranstaltung zusammen mit dem BMBF, der DLR und der GI/GMM/ITG-Kooperationsgemeinschaft „Rechnergestützter Schaltungs- und Systementwurf“ organisiert. (Tr)



Weitere Informationen und den vollständigen Bericht vom Ekompas-Workshop 2006 finden sich auch im Internet unter www.edacentrum.de/ekompas/workshop/.

Aktuelle Informationen zum edaWorkshop 2007 erhalten Sie im kommenden Newsletter.



Kontakt:

Dr. Dieter Treytnar
+49 511 762 - 19687
treytnar@edacentrum.de

EDA-Medaille 2006 für Dr.-Ing. habil. Peter Schwarz

<http://www.edacentrum.de/awards.html>

Auf dem diesjährigen Ekompass-Workshop wurde Dr.-Ing. habil. Peter Schwarz für sein Lebenswerk in Forschung und Lehre auf dem Gebiet Electronic Design Automation (EDA) mit der EDA-Medaille ausgezeichnet. Damit werden die herausragenden Leistungen und das hohe Engagement von Dr. Schwarz zur Entwicklung von EDA gewürdigt, die er während seiner langjährigen Tätigkeit bei der Robotron Messelektronik Dresden, dem Zentralinstitut für Kybernetik und Informationsprozesse Dresden und dem Fraunhofer Institut IIS-EAS in Dresden gezeigt hat.

Dr. Schwarz hat die Geschichte von EDA seit ihren Anfängen in der DDR maßgeblich mitgestaltet. Zahlreiche wegweisende Beiträge auf vielen Teilgebieten sind mit seinem Namen verknüpft. Vor allem in den Bereichen der Modellierung und Simulation komplexer Systeme aus elektronischen und nichtelektronischen Komponenten hat er sich – auch später im größer gewordenen Deutschland – ein hohes Renommee verschafft. Aus dieser Pioniertätigkeit entstand der erste Mixed-Signal-Simulator KOSIM in der DDR, der dort einen breiten Einsatz fand.

Dr. Schwarz verstand auch die Weitergabe seines Wissens immer als wesentlichen Teil seiner Aufgabe. So hat er sich neben der Betreuung zahlreicher Studenten und Doktoranden sehr erfolgreich um die Qualifikation und Wiedereingliederung arbeitsloser Ingenieure gekümmert und die Erstellung von multimedialen Lernmodulen betrieben. Er ist Koautor eines 2005 erschienenen Lehrbuchs über die Modellierung und Simulation von HF-Systemen.

Die EDA-Medaille 2006 wurde damit einer Persönlichkeit verliehen, die die EDA-Entwicklung in Deutschland auch unter schwierigen Randbedingungen über mehrere Jahrzehnte wesentlich vorangetrieben hat. (Tr)



Abbildung E.02a



Abbildung E.02b

Abbildung E.02a:

Dr. Peter Schwarz (Mitte) bei der Verleihung der EDA-Medaille 2006; hinten v.l.n.r.: Dr. P. van Staa (Sprecher des Steuerungsgremiums) und die Vorstandsmitglieder des edacentrum e.V. Prof. Dr. E. Barke, Prof. Dr. W. Rosenstiel und Dr. J. Haase.

Abbildung E.02b:

Die bisherigen Preisträger der EDA-Medaille:
2002: Prof. Dr. J. Muscha
2003: Prof. Dr. K. Antreich
2004: Prof. Dr. D. Schmid
2005 Prof. Dr. K. Waldschmidt

Abbildung E.01:

360 Grad Panorama des Vortragsraumes auf dem Ekompass-Workshop 2006.



Kooperationsmarkt 2006

Getreu dem Motto „Ideen suchen Abnehmer – Markt sucht Innovationen“ war es ein voller Erfolg – das lässt sich mit Fug und Recht behaupten



Kooperationsworkshops in Planung

Die Möglichkeit sich als Forschungseinrichtung oder als junges Unternehmen direkt im Netzwerk der EDA-Forschungsgemeinde und der großen EDA-Tool-Anwender zu präsentieren, hat in diesem Jahr 13 Institutionen nach Hannover zum Ekompas-Workshop gelockt. Mit der Verdopplung der Teilnehmerzahl im Vergleich zum Vorjahr ist dies ein neuer und erfreulicher Rekord für den Kooperationsmarkt.

Die Stimmung unter den Teilnehmern, die, ausgestattet mit Tisch & Plakatwand, Poster und Präsentationen, allen Anfragen in den Pausen rege Rede und Antwort standen, war gut und hoffnungsvoll – waren doch für Viele die Veranstaltung und der Ekompas-Workshop neu.

Die erfrischende Vorstellung der Aussteller (s. Abbildung E.03) anhand einer am Firmensitz orientierten virtuellen Deutschlandreise vermittelte den Bezug zwischen Person und Institution. Dabei nutzten einige Aussteller die Gelegenheit mit einem „Mitbringsel“ (s. Abbildung E.04) besondere Aufmerksamkeit zu erringen. Beides hat sicherlich dazu beigetragen, den einen oder anderen lockeren Erstkontakt zu ermöglichen.

Abbildung E.05:

Der Kooperationsmarkt im Rahmen der Posterausstellung stimulierte manchen Kontakt.

Abbildung E.03:

Persönliche Vorstellung der Teilnehmer des Kooperationsmarktes durch Niklas Möller



Abbildung E.03:

Abbildung E.04:

Stilleben aus den persönlichen Mitbringseln der Teilnehmer des Kooperationsmarktes mit lokalem oder Firmenbezug



Abbildung E.04

Mit der AMO GmbH war in diesem Jahr auch wieder ein Start-up-Unternehmen beteiligt. Mentor stellte sein Business-Förderungsprogramm „Cre8 Venture“ für junge Unternehmen vor und brachte damit eine Neuheit in den Kooperationsmarkt. Aber auch „alte Hasen“ wie die TU München, die Uni Bremen und OFFIS zeigten sich wieder in voller Stärke in der Ausstellung (siehe Abbildung E.05)

Am Ende des Kooperationsmarktes konnten sowohl Teilnehmer als auch Organisatoren mit Stolz behaupten: „Ziel erreicht“. Eine Rundfrage bei den Ausstellern am zweiten Tag war eindeutig und gleichlautend: Die Teilnahme hat sich gelohnt. Die Stände wurden gut besucht und vor allem der erste Tag war erfüllt von Gesprächen und viel Interesse an den vorgestellten Themen. Zudem zeigten einige Kontakte einen deutlichen „Nachknüpfungscharakter“.



Abbildung E.05

Auch der vom edacentrum für die Teilnehmer erstellte Flyer zum Kooperationsmarkt fand wie schon im letzten Jahr große Resonanz. Alle Aussteller haben den Flyer in größerer Zahl zur „Zweitverwertung“ mitgenommen. Bleibt zu hoffen, dass eine Verteilung in den Hochschulkreisen neue Teilnehmer für den nächsten Kooperationsmarkt interessiert. Die Idee, beim eda-Workshop 2007 einen Call for Papers durchzuführen und dadurch wissenschaftliche Beiträge zu ermöglichen, kam unter den Ausstellern durchweg gut an. Es ist also auch in Zukunft mit regen Diskussionen und Fachbeiträgen zu rechnen. (CH, NM)

Kont@kt:

Dr. Cordula Hansen
+49 711 2807956
hansen@edacentrum.de

Teilnehmer am
Kooperationsmarkt 2006

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

DESIGN: Design
By Completion
Brandenburgische Technische Universität Cottbus
 Lehrstuhl für Programmiersprachen und Compilerbau

 Postfach 101344
 03013 Cottbus
 www-pscb.informatik.tu-cottbus.de

 Prof. Dr. Peter Bachmann
 Tel.: 0355 - 69 3886, Fax: 0355 - 69 3830
 Peter.Bachmann@informatik.tu-cottbus.de

Universität Siegen
 Institut für Mikrosystemtechnik

 Hölderlinstraße 3
 57076 Siegen
 www.rs.uni-siegen.de

 Prof. Dr. Rainer Brück
 Tel.: 0271 740 2375,
 Fax: 0271 740 2473
 rainer.brueck@uni-siegen.de

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 Economic Design
 Processes
 Process
 Management
 Constraint
 Management
 Vector
 Heterogeneous
 Systems

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 Video- & Audio
 Signal-Processing
 Architectures
 FPGA Plugs & Nodes
 Reliable
 Embedded Systems
 Logic-Synthesis
 High-Level Synthesis

Technische Universität Berlin
 Inst. f. Technische Informatik und Mikroelektronik, FG Rechnerarchitektur

 FR 3-9, Franklinstr. 28/29
 10587 Berlin
 http://rt.cs.tu-berlin.de

 Prof. Dr.-Ing. Hans-Ulrich Post
 Tel.: 030-314-73410
 Fax: 030-314-22943
 hupost@cs.tu-berlin.de

OFFIS - Institut für Informatik

 Escherweg 2
 26121 Oldenburg
 http://www.offis.de/hs

 Dr. Jens-E. Appell
 Tel.: 0441 / 9722-235
 Fax: 9722-282
 jens.appell@offis.de

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 Low power
 optimization
 System modelling
 and synthesis

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 Bsp: Concept Engineering
 Visualisierung
 Bsp: BMD Projekt
 URMAS
 Bsp: Philips SAT-ATPO

Universität Bremen
 Arbeitsgruppe Rechnerarchitektur (AGRA)

 Bibliothekstr. 1
 28359 Bremen
 www.informatik.uni-bremen.de/agra

 Prof. Dr. Rolf Drechsler
 Tel.: 0421-218 7389
 Fax: 0421-218 7385
 drechsle@informatik.uni-bremen.de

MunEDA GmbH

 Stefan-George-Ring 29
 81929 München
 www.muneda.com

 Andreas Ripp
 Tel.: 089 / 93068-335
 Fax: 93068-407
 andreas.ripp@muneda.com

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				


Universität Bremen
 Institut für Theoretische Elektrotechnik und Mikroelektronik (ITEM)

 Otto-Hahn-Allee-NW1
 28359 Bremen
 http://www.item.uni-bremen.de

 Prof. Dr.-Ing. Walter Anheier
 Tel.: 0421-2184437
 Fax: 0421-218 4434
 anheier@item.uni-bremen.de

Technische Universität München
 Lehrstuhl für Integrierte Systeme

 Arcisstr. 21
 80333 München
 www.lis.ei.tum.de

 Prof. Dr.sc.techn. Andreas Herkersdorf
 Tel.: 089 / 289 22515
 Fax: 089 / 289 28323
 Andreas.Herkersdorf@tum.de

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				


Universität Erlangen-Nürnberg
 Lehrstuhl für Hardware-Software-Co-Design

 Am Weichselgarten 3
 91058 Erlangen
 www12.cs.fau.de

 Prof. Dr.-Ing. Jürgen Teich
 Tel.: 09131 85-25150, Fax: 85-25149
 teich@cs.fau.de

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 SystemCoDesign
 ReCoNess
 ReCoNess/ESM

Technische Universität Ilmenau
 Fachgebiet System- und Steuerungstheorie

 Helmholtzring 1
 98693 Ilmenau
 www.tu-ilmenau.de/ssst

 Prof. Horst Salzwedel
 Tel.: 03677 / 691316
 Fax: 03677 / 691285
 horst.salzwedel@tu-ilmenau.de

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 Design MethodTool
 Development
 Design Process
 Optimization

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 SmartFäh Simulator
 FSM Designer
 ATUL, GABE,
 EXTOLL

Universität Mannheim
 Lehrstuhl für Rechnerarchitektur

 B6, 26, Building B
 68131 Mannheim
 www.ra.informatik.uni-mannheim.de

 Prof. Dr. U. Brüning
 Fon: 0621 - 181 2723, Fax: 181 2713
 office@mufasa.informatik.uni-mannheim.de

AMO GmbH

 Huyskensweg 25
 Aachen
 www.amo.de

 Thomas Irmen
 Tel.: 0241 / 8867 124
 Fax: 0241 / 8867 573
 irmen@amo.de

	System Level	Architecture Level	Subsystem Level	Device and Technology Level
Specification				
Implementation				
Verification				
Manufacturing and Test				

 Rapid FPGA
 Prototyping
 Virtex-X
 Nanoelectronic
 Research
 Saturn
 Transistorcorder
 Saturn
 FastScan

Forschungsthemenpapier „eDesign“ 2006

Von Cordula Hansen



Das BMBF und das edacentrum hatten auf dem Ekompas-Workshop dazu aufgerufen, an der Gestaltung des nächsten Förderprogramms mitzuwirken. Viele von Ihnen nutzten die Chance und stellten Ihre Ideen und Wünsche vor. Die lebhaften und regen Diskussionen der Teilnehmer verdeutlichten, wie aktiv die EDA-Forschungslandschaft in Deutschland ist. Es freut uns sehr, dass der Aufruf des edacentrum, bei der Gestaltung des neuen Forschungsthemenpapier „eDesign 2006“ mitzuwirken und eigene Themen einzubringen, so intensiv genutzt wurde. War am Anfang nur ein Mitarbeiter des edacentrum für Diskussionen eingeplant, waren bald drei damit beschäftigt, alle Anregungen und Ideen aufzunehmen (s. Abb. E.06).



Abbildung E.06

Hier hat sich das FlipChart als das Mittel der Wahl erwiesen und es hat uns viel Freude gemacht, an Hand der ständig wachsenden Zahl der Notizen dem Fördergeber das hohe Engagement der Teilnehmer aufzuzeigen. Wir möchten Ihnen an dieser Stelle ganz herzlich für Ihr Engagement danken und Ihnen versichern, dass wir alles sorgfältig notiert und aufgenommen haben. Auch die im Anschluss an den Workshop übermittelten Anregungen werden wir natürlich berücksichtigen. Alle Ideen werden sorgfältig eingearbeitet, wir möchten aber bereits jetzt um Verständnis bitten, dass wir nicht jedes Thema zu einem Themenschwerpunkt machen können. Einige Themen bieten sich zum Beispiel dazu an, mit ihren verschiedenen Aspekten in mehreren Schwerpunkten aufzutauchen.

Ende Juni wird eine erste Version des Forschungsthemenpapiers als Grundlage für interne Diskussionen dem BMBF zur Verfügung gestellt. Anschließend werden wir mit Rückfragen und dem vom BMBF erhaltenen Feedback auf diejenigen zugehen, die Ihre Ideen eingebracht haben. Die endgültige Version des Forschungsthemenpapiers „eDesign 2006“ wird im Laufe des Herbstes in Deutsch und in Englisch zur Verfügung stehen. Das BMBF wird diese finale Version als Unterstützung zur Vorbereitung des neuen Förderprogramms verwenden, welches voraussichtlich 2007 starten und ebenfalls den Namen Ekompas tragen wird. (CH)

Projekt-Vorträge auf dem Ekompas-Workshop

Zusammenfassungen von Kurt Liebermann (KL), Volker Schöber (VS) und Andreas Vörg (AV)

Kont@kt PRODUKTIV+:

Dr. Jürgen Alt
Infineon Technologies AG
fon: +49 (89) 234-22655
juergen.alt@infineon.com



Projekt PRODUKTIV+ – Referenzsystem zur Messung der Produktivität beim Entwurf nanoelektronischer Systeme

Der Vortrag über das Ekompas-Projekt PRODUKTIV+ eröffnete den diesjährigen Ekompas-Workshop. Nachdem bereits Lutz Wenzel von der DLR in seiner Bilanz von 5 Jahren Ekompas-Programm die Wichtigkeit der Themen in PRODUKTIV+ betonte und auch Prof. Dr. Erich Barke (Vorstand edacentrum und Präsident der Universität Hannover) die in PRODUKTIV+ behandelten Themen als „Herzensanliegen“ beschrieb, war die Neugier des Auditoriums geweckt. Projektkoordinator Dr. Jürgen Alt von der Infineon Technologies AG gab daraufhin einen Überblick über die in PRODUKTIV+ behan-

delte Thematik. PRODUKTIV+ wurde am 1.10.2005 gestartet und beschäftigt sich mit der Modellierung und Messung der Entwurfsproduktivität in der Halbleiterindustrie, um die Produktivität im Entwicklungsbereich quantitativ zu messen und eine vorausschauende Abschätzung von Produktivität zu ermöglichen. Solche Messungen können bisher nicht durchgeführt werden. Die Projektergebnisse werden helfen, Investitionen in Entwurfstechnologie nach dem Gießkannenprinzip zu vermeiden. Investitionen können dann vorausschauend so eingesetzt werden, dass der Nutzen maximal ist und nicht nur dort, „wo es brennt“. Auch Designer werden effizienter eingesetzt werden und nicht erst dann, wenn das Projekt schon verzögert ist, sondern so, dass die Projektdauer minimiert wird. Eine Objektivierung von Managemententscheidungen zur Verbesserung der Entwurfsprozesse wird durch PRODUKTIV+ ermöglicht. (AV)



Projekt URANOS - Analysemethoden für den Entwurf anwendungsrobuster nanoelektronischer Systeme

In dem durch Hans-Jürgen Brand von AMD vorgestellten Projekt URANOS werden wesentliche Beiträge zum Entwurf mikro- und nanoelektronischer Systeme erarbeitet, die sich gegenüber Unwägbarkeiten des späteren Einsatzes robust verhalten sollen. Dazu werden analysebasierte Methoden erforscht, mit denen bereits in frühen EDA-Phasen anwendungsspezifische Einflussfaktoren erfasst werden können. So soll durch eine bessere Berücksichtigung der Einsatzbedingungen von Endprodukten eine deutliche Reduzierung von zeit- und kostenintensiven Design-Iterationen erreicht werden. Das Projekt hat eine Laufzeit von drei Jahren und wurde im Juli 2005 gestartet. Zu den drei Arbeitspaketen

- » AP1: Qualifizierung von Applikationsszenarien und Anforderungsprofilen; Management der Systemanforderungen
- » AP2: Zuverlässigkeitsgetriebene Analyse für den Entwurf sicherheitskritischer Anwendungen
- » AP3: Analysemethoden für unsichere Anwendungsbedingungen

vermelden die Projektpartner bereits erste Ergebnisse. AMD führte zunächst eine Analyse von Anwendungsszenarien durch. In weiteren Arbeiten ging es um die automatische Generierung von Assertions, die Umsetzung von Fehlerinjektionsstrategien und die Erweiterung von SystemC-Constraints mittels Coverage-Driven-Constraint-Solving, sowie die Erstellung einer virtuellen SoC-Applikationsumgebung. Durch Infineon wurden Grundlagen für die Stromdichte-Analyse erarbeitet und Kriterien dazu aufgestellt. Darüber hinaus wurde ein Analyseverfahren für dynamische Systemveränderungen und transitive Blockierungen entwickelt. Von sci-worx wurden Grundlagen zur Beschreibung von Entwurfsapplikationen erarbeitet und darauf aufsetzend Konzepte für ein agiles Workflow-Tool entwickelt. Vom FZI kamen Ergebnisse zur Abstraktion von Systemanforderungen und zur Analyse von System- und Komponentenanforderungen. Ein weiteres Thema war die Berücksichtigung von Einflüssen durch die Systemumgebung. (KL)



Projekt SIDRA – Sicheres IC Design für robuste Anwendungen

Frau Dr. Rose von der Robert Bosch GmbH konzentrierte ihre Betrachtungen bei der Projektvorstellung von SIDRA im Wesentlichen auf die Auswirkungen der Projektergebnisse. Bei SIDRA geht es unter anderem darum, durch einen verbesserten Chip-Entwurf elektrostatische Entladungen zu vermeiden, die derzeit Millionenschäden in der Wirtschaft verursachen. Heute wird davon ausgegangen, dass 10% der ESD-gestressten Halbleiterbauelemente Fehler verursachen. In der dem Vortrag folgenden Diskussion war sogar von bis zu 25% die Rede. Die durch ESD verursachten Fehler können zu Totalausfällen führen oder eine Beschädigung des Bauelements verursachen. Wird die Beschädigung frühzeitig erkannt, so dass „nur“ ein Re-Design nötig ist, liegen die verursachten Kosten bei ca. 0,1 – 1 Mio. Euro, so Frau Rose. Liegt die Beschädigung bei einem Baustein, der in mehreren Pilotdesigns verwendet wird, weil er sich z.B. in einer Bibliothek befindet, vor, so steigen die Kosten bereits auf 1 - 10 Mio. Euro. Zu katastrophalen Auswirkungen für ein Unternehmen kommt es, wenn eine Rückrufaktion notwendig wird, d.h. der Fehler erst nach Auslieferung entdeckt wurde. Dann sei mit Kosten in Höhe von 100 – 1000 Mio. Euro zu rechnen. In der Entwicklung spielen daher Design-Richtlinien, Verifikation und die Qualifikation von Bibliotheken eine große Rolle und genau diesen Themen widmet sich das Projekt SIDRA. Erste Ergebnisse wurden bereits veröffentlicht und können z.B. über den edaAtlas (www.edacentrum.de/edaAtlas, Rubrik = Projekt, Suchwort = SIDRA) abgerufen werden. (CH)



Projekt LEONIDAS+ – Leitbahnenorientiertes Design applikationsspezifischer Schaltungen

Das Projekt LEONIDAS+ wurde im März 2005 als Nachfolger des Projektes LEONIDAS mit einer Laufzeit von 2 Jahren und mit einem Projektumfang von 53 Personenjahren gestartet. Über den Stand der Projektergebnisse berichtete Frau Irmtraud Rugen-Herzig von der Infineon Technologies AG. Das Gesamtziel des LEONIDAS+- Projektes ist es, durch Einführung innovativer, Leitbahnen-zentrierter Entwurfsmethodiken die Entwurfskompetenz im Bereich der Signalintegrität zu stärken. Dies führt zu einer optimalen Ausnutzung der Nanometer-Technologien, zu kürzeren Designzeiten, zu Entwürfen von Chips mit hoher Zuverlässigkeit und zu hoher Designproduktivität und damit insgesamt zu einer höheren Entwurfsproduktivität.

Kontakt URANOS:

Dr. Hans-Jürgen Brand
AMD Saxony LLC&Co. Inc.
fon: 0277-6016
hans-juergen.brand@amd.com

Kontakt SIDRA:

Dr. Petra Rose
Robert Bosch GmbH
fon: 07121 35-6560
rose.petra@de.bosch.com

Kontakt LEONIDAS+:

Irmtraud Rugen-Herzig
Infineon Technologies AG
fon: 089 234-21046
irmtraud.rugen-herzig@infineon.com

Kont@kt DETAILS:
 Reimund Wittmann
 Nokia Research Center Bochum
 fon: 0234 9843480
 reimund.wittmann@nokia.com

Entsprechend dem fortgeschrittenen Zustand des Forschungsvorhabens wurde für alle drei Arbeitspakete eine Fülle von Ergebnissen präsentiert. Aus dem Arbeitspaket AP1 – Modellierung und Extraktion – kommen optimierte Lösungen zu Interconnect-Variationen und zur realistischen Crosstalk-Analyse. Beiden Lösungen ist gemeinsam, dass der zugrunde liegende statistische Ansatz nicht mehr wie bisher von unrealistischen, pessimistischen Worst-Case-Annahmen ausgeht. Vielmehr bringt ein praxisorientiertes Modell, das schon zu Beginn unwahrscheinliche oder gar unmögliche Fälle ausschließt, erhebliche Gewinne durch Einsparung von Design-Iterationen und weist gleichzeitig einen höheren Optimierungsgrad auf. Zwei weitere effiziente Lösungen stammen aus Arbeitspaket AP2 – Constraints. Anhand eines Beispiels zur stromdichtegerechten Positionierung von Pinanschlüssen wurde zunächst ein Ansatz zum stromdichtegerechten Verdrahten präsentiert. Dabei werden auf Basis einer Stromdichteanalyse Constraints generiert, die optimale Positionen für Anschlusspunkte vorgeben und somit einen wesentlichen Beitrag zur Ausfallsicherheit einer Schaltung leisten. Ein zweiter Ansatz dient der automatisierten Optimierung durch parasitensymmetrisches Routing in hochkomplexen HF-Schaltungen und verspricht eine Steigerung der Entwurfsgeschwindigkeit, der Störsicherheit und der Entwurfssicherheit. Das dritte Arbeitspaket – Entwurfsablauf und -Werkzeuge – liefert gleich vier Lösungsansätze. Unter dem Begriff „Timing Closure durch simultane Werkzeuge“ wurde ein Konzept vorgestellt, das die simultane Platzierung und Verdrahtung vorsieht und somit die sonst üblichen Iterationen im Place&Route reduziert. Eine weitere Methodik unterstützt die Produktplanung und -Weiterentwicklung durch Integration einer Leitbahnextraktion in den Design-Flow. Darüber hinaus wurde für den Bereich DfT (Design for Test) ein automatisiertes und benutzerfreundliches Verfahren gezeigt, welches den Einbau von Testpunkten unter Berücksichtigung des Zeitverhaltens aller Netze berücksichtigt. Am Schluss der Präsentation der Ergebnisse aus LEONIDAS+ stand die Vorstellung eines erweiterten Mixed-Signal-Design-Flows unter Verdrahtungsaspekten, der die Anzahl der benötigten Iterationen gegenüber herkömmlichen Verfahren halbiert. Im Ausblick wurden drei Themen genannt, die in der Zukunft angegangen werden sollen. Dies ist zum einen das Thema DfM mit dem Aspekt des fertigungsgerechten Entwurfes von Leitbahnen, zum Anderen die Berücksichtigung von Variationen im Semi-Custom Entwurf auch auf Leitungen sowie die Dimensionierung und Optimierung von Leitbahnen unter Zuverlässigkeitsaspekten. Hier sollen z.B. Effekte miteinbezogen werden, die durch Elektromigration entstehen. (KL)



Projekt DETAILS - HF Design Technologie für präzise analoge IP-basierte Front-End Lösungen in höchstintegrierten Datenübertragungs-Systemen

In seiner Projektvorstellung ging Reimund Wittmann von Nokia vom Anwender aus, der zuverlässige sowie kostengünstige Geräte und Dienste mit hohem Gebrauchswert erwartet. Dadurch entstünden neue Herausforderungen an den Entwurf von Chips, die mit den heutigen Entwurfswerkzeugen noch nicht bewältigt werden könnten und denen sich das Projekt stellt:

- » Hohe Systemkomplexität
- » Minimierung der Kosten und Entwurfszeit
- » Erhöhung der Planungssicherheit
- » Simulation von heterogenen Systemen
- » Optimierung der Prozesstechnologie
- » Systemverifikation und Test eingebetteter HF-Module

Den Schwerpunkt bildet dabei die Verbesserung der Implementierungsmethodik. Im Vortrag wurde die Kooperation mit anderen Projekten wie LEMOS, SAMS, LEONIDAS+, WIGWAM etc. hervorgehoben. Sie ermöglichen übergreifende Lösungsansätze, die alleine mit dem Industriekonsortium eines Projekts nicht möglich wären. In dem Arbeitspaket 1 (AP1) wird an der Erhöhung der Performance von Mixed-Signal-Simulationen für Systeme mit hoher Komplexität gearbeitet. Mit AP2 werden IP-Module für die Hochfrequenz-Entwurfsmethodik untersucht, auf neue Technologien portierbar gestaltet und neue Konzepte zu Selbstkalibrierung und zum Selbsttest integriert. Als Beispiel für die Chancen dieser Arbeiten wurden genauigkeitsfördernde Entwurfsschritte beschrieben, die bei der Implementierung von Schaltungsfunktionen in neuen Technologien identifiziert werden konnten. So können sich bei der Nutzung neuer Technologien durch den geschickten Einsatz von Entwurfsstrategien auch Chancen ergeben. In AP3 wurden anwenderfreundliche Technologieschnittstellen erstellt. AP4 befasst sich mit der Entwurfsmethodik und gibt einen Überblick über den EDA-Flow, wie er vom Projekt entwickelt wurde. (VS)



Projekt LEMOS - Low-Power - Entwurfsmethoden für mobile Systeme

Ralf Pferdmenges von der Infineon Technologies AG zeigte in seinem Vortrag die weiter gestiegene, hohe wirtschaftliche sowie gesellschaftliche Bedeutung des Themas Low-Power, also der Notwendigkeit zur Reduzierung des Stromverbrauchs. So legte er zu Beginn seiner Projektvorstellung dar, dass die technischen Qualitäten mobiler Geräte für den Kunden sehr wichtig sind, obwohl sie bei der Vermarktung im Discounter-Wettbewerb nur eine untergeordnete Rolle spielen. Um durch Einsatz innovativer Entwurfsmethoden attraktive Produkte entwickeln zu können, zielt das Projekt LEMOS demzufolge auf eine wesentliche Steigerung der Entwurfs effektivität und -produktivität verlustleistungskritischer, mobiler Systeme. Die erwarteten Vorteile in diesem Vorhaben sind:

- » Die Verringerung der Zahl der verlustleistungsbedingten Re-Designs,
- » die Verschiebung der Grenze des bislang aus Verlustleistungsgründen technisch nicht Machbaren und
- » die drastische Senkung des Energieverbrauchs.

In den konkreten Anwendungsdomänen ist das Ziel hier, die für die Fahrzeugsicherung relevanten Bordgeräte eines Kraftfahrzeugs aus der Batterie drei Monate operativ zu erhalten, sowie die Leistungsaufnahme von Mobiltelefonen um mehr als 50% zu senken. Der Hunger nach neuen Funktionen und die steigende Integrationsdichte seien die Herausforderungen, die mit klassischen Ansätzen nicht mehr zu lösen seien. In LEMOS sollen dabei Ansätze aus dem ganzen Spektrum vom Transistor bis zum Chip untersucht und prototypisch implementiert werden. Im Vortrag wurde besonders hervorgehoben, dass in diesem Projekt zwei deutsche EDA-Firmen mitarbeiten, die hierdurch ihre Marktposition als KMU festigen können. Den Ausblick bildete die Forderung nach Unterstützung im Bereich System-Planning insbesondere unter Einbeziehung von System-in-Package-(SiP-) Systemen. (VS)

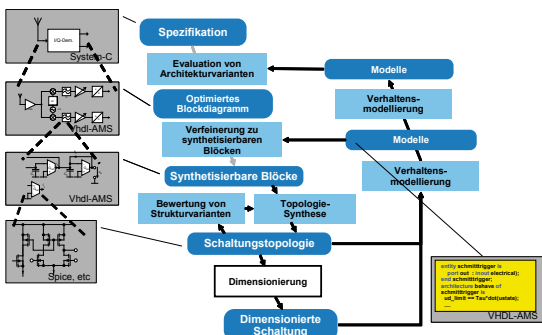


Abbildung E.07



SAMS – Struktursynthese von analogen Schaltungen

Dem Vortrag von Prof. Dr. Lars Hedrich von der Universität Frankfurt war eine positive Bilanz der ersten zweieinhalb Jahre SAMS zu entnehmen. In allen Bereichen der Projektforschung, die sich auf die verschiedenen Entwurfsschritte von der Systemebene bis zur elektrischen Ebene verteilen, konnten neue Erkenntnisse gesammelt werden, die eine durchgängige Synthese analoger Schaltungen unterstützen. Abbildung E.07 zeigt schematisch den neuen Entwurfsprozess von der Spezifikation zur dimensionierten Schaltung, der durch das Projekt erforscht wird.

Mit der Evaluierung von Architekturvarianten wird ein Ansatz mit Hilfe der Polymorphie auf Systemebene geprüft, der eine gemischte Simulation zwischen SystemC-AMS mit Spice-Netzlisten, Dolphin/SMASH und Matlab/Simulink ermöglicht. Mit dem Prototypen Polysignal wird gezeigt, wie diese neue Verfeinerungsmethodik auf Systemebene arbeitet. Sie ermöglicht eine automatisierte Umwandlung von unterschiedlichen Signalformen und unterschiedlichen Beschreibungsformen zwischen Schaltungsmodulen zur Systemsimulation und -analyse. Der nächste Schritt verfeinert die zu synthetisierenden Blöcke. Hierzu wurde eine neue Methodik, die auf Architekturebene Module verfeinert, erforscht und in Form eines Demonstrators vorgestellt. Hier erfolgt auch der kritische Übergang der Systembeschreibung durch Signalflussgraphen auf die Beschreibung durch elektrische Signale. Nachdem eine analoge Schaltung in kleine Module partitioniert wurde, erfolgen Topologieentwurf, Dimensionierung und Verdrahtung von Transistoren. Hierbei entsteht eine große Anzahl von Varianten, die auf ihre Eignung untersucht werden. Dazu werden schnelle Bewertungsverfahren eingesetzt, die eine Beschleunigung um den Faktor 60 im Vergleich zu klassischen Verfahren ermöglichen, um eine Vorauswahl aus mehreren Tausend Modulvarianten zu treffen. Um die gewonnenen Ergebnisse auf allen Abstraktionsebenen nutzen zu können, werden automatisierte Verfahren zur Modellierung der genauen elektrischen Eigenschaften eingesetzt. Somit zeigt das Projekt mit seinen Ergebnissen einen Weg auf, der zur Automatisierung des Entwurfs analoger Schaltungen genutzt werden kann (Siehe rechte Hälfte der Abbildung E.07). Die eingesetzten Demonstratoren aus der Industrie, mit zwei Mixed-Signal-Schaltungen von Bosch und Nokia, zeigen die Wirkungsweise der neuen Entwurfsmethodik. (VS)

Kont@kt SAMS:

Dr. Volker Schöber
fon: 0511-762-19688
schoeber@edacentrum.de

Kont@kt LEMOS:

Ralf Pferdmenges
Infineon Technologies AG
fon: 089 234-28644
ralf.pferdmenges@infineon.de

Abbildung E.07:

Schematische Darstellung des neuen Analog-Entwurfsprozesses von der Spezifikation zur dimensionierten Schaltung



FEST – Funktionale Verifikation von Systemen

Mit dem Vortrag über das Projekt FEST stellte Prof. Dr. Wolfgang Kunz von der Universität Kaiserslautern den Stand des zweiten Clusterforschungsprojektes vor, das im Juli 2004 gestartet ist. Ein kurzer Blick zurück: In der Verifikation auf Blockebene erfolgte der Durchbruch erst vor wenigen Jahren, wo insbesondere die Forschungsaktivitäten in Deutschland eine maßgebliche Rolle spielen. Demgegenüber steht man aber auf Architektur- und Systemebene erst am Anfang. Das Projekt hat sich diesen Herausforderungen auf unterschiedlichen Verifikationsebenen gestellt und schon nach der Hälfte der Projektlaufzeit viele hervorragende Ergebnisse erreicht. Abbildung E.08 zeigt schematisch die Herausforderungen in der Verifikation zwischen System- und Modulebene.

Zur Modellierung und Analyse von Systemrestriktionen und der Performanceanalyse wurde eine neue Sprache erforscht, die eine Grundlage zur Verfeinerung und Dekomposition bildet. Dem Ziel einer gemeinsamen Modellierung von Hard- und Software sowie der Weiterentwicklung der Beweismaschinerie zur formalen Verifikation hardwarenaher Software nähert man sich im Projekt in kleinen Schritten. Eine weitere Herausforderung ist die Erstellung von Simulationsmodellen aus Eigenschaftssätzen und die kompositionale Systemverifikation, die in diesem Projekt erfolgreich vorangetrieben werden. Auch werden Dekompositionstechniken für große sequenzielle Systeme zur formalen Verifikation der Systemintegration im Projekt erforscht. Auf Blockebene konzentriert sich die Forschung auf analoge und Mixed-Signal-Blöcke, Arithmetikverifikation sowie auf die Diagnose mit Hilfe von Black-box- und Grey-box-Techniken zur Vereinfachung und geschlossenen Lösungen von Verifikationsproblemen. So konnte auch der Durchbruch zur Verifikation arithmetischer Funktionen durch Bit-Level-Beschreibungsformen geschaffen werden. Das Forschungskonsortium hat seine vielfältigen Kooperationen mit der Industrie im Projekt dargestellt, die in der verbliebenen Laufzeit intensiviert werden sollen. (VS)

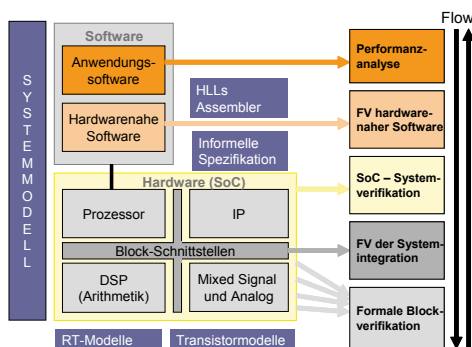


Abbildung E.08



Verwertungsaspekte der Clusterforschung

In einem weiteren Vortrag referierte Dr. Volker Schöber vom edacentrum über die Verwertungsziele und -aktivitäten der EDA-Clusterforschung. Ihre wesentliche Motivation ist eine nachhaltige Stärkung der industriellen Partner durch EDA-Innovationen. Dadurch soll die Möglichkeit verbessert werden, neue Produkte zu entwerfen und neue Märkte zu erschließen. Abbildung 03 zeigt eine Verwertungspyramide der EDA-Clusterforschung zur Schaffung neuer Produkte, die die Basis für eine gesunde Entwicklung einer Firma und der deutschen Wirtschaft sind.

Hierzu sind die Clusterforschungsprojekte ein erster Schritt. Die wissenschaftliche Verwertung ist in Form von Publikationen, SW-Prototypen, Demonstratoren und der Ausbau des Lehrangebots weit vorangeschritten. Die Ergebnisse bilden eine Vision für eine neue EDA-Methodik, die als „Proof of Concept“ die Diskussion mit der Industrie stimuliert. Danach ist es notwendig, die gewonnenen Erkenntnisse weiter in Richtung einer industriellen Anwendung voranzutreiben, um die neuen Entwurfsmethoden unter industriellen Randbedingungen stärker zu beleuchten. Es wurde dazu aufgefordert, weitere Forschungsaktivitäten auf Basis der hervorragenden Ergebnisse voranzutreiben, in denen die Forschungspartner bei der Entwicklung kommerzieller EDA-Tools und der Einführung neuer Entwurfsmethoden der Industrie beratend zur Seite stehen. Neben diesen Aspekten der industriellen Verwertung wurde auch ein Ausblick auf das nächste Clusterforschungsprojekt gegeben, das die Entwurfsmethodik für Autonome Integrierte Systeme erforschen wird. Der Projektstart ist zum Jahresende vorgesehen. (VS)

Wie können Industriepartner die Ergebnisse nutzen und verwerten

Clusterforschungsprojekte

Industrieprojekte

IC-Entwurf



Abbildung E.09

Abbildung E.08:

Schematische Darstellung der Herausforderungen in der Verifikation zwischen System- und Modulebene

Abbildung E.09:

Verwertungspyramide der EDA-Clusterforschung

DATE 2006 – Eine Rückschau

Dieser Artikel ist eine kurze Zusammenfassung des Trendberichtes zur DATE 2006, der für unsere Mitglieder in ausführlicher Form zur Verfügung steht.



„München versinkt im Schnee“ und „Bayern im Schneechaos“, so oder ähnlich lauteten die Schlagzeilen am Wochenende vor der DATE. Ein halber Meter Neuschnee allein am Samstag – an paradiesische Zustände mochte nach dem langen und harten Winter niemand mehr denken.

So entstand ein Verkehrschaos, das auch den Schienen- und Flugverkehr und damit auch die Anreisenden zur DATE beeinträchtigte. Und so war der auch noch am Montag in beeindruckender Menge gegenwärtige Schnee mit seinen Auswirkungen vom Wochenende das Top-Thema der ersten beiden DATE-Tage. Die Angereisten übertrumpften sich mit den durchlebten Verspätungsstunden und die Anwohner verglichen die geschippten Schneekubikmeter.

Allgemeines zur DATE

In diesem Jahr zählte die DATE in München insgesamt 4651 Teilnehmer, davon 1576 Konferenzbesucher, 1767 Ausstellungsbesucher und 1250 Firmenvertreter auf 83 Ausstellungsständen. Während die Zahl der Konferenzbesucher exakt um 100 Personen gegenüber dem Vorjahr anstieg, fiel die Zahl der Ausstellungsbesucher um 15 %. Von den Teilnehmern kamen 70 % aus Europa und 30 % aus dem Rest der Welt. Dass von den europäischen Besuchern nur 38 % aus Deutschland kamen, zeigt, dass die DATE europaweit eine starke Anziehungskraft besitzt.

Lediglich vier Panel-Diskussionsrunden wurden im Hauptprogramm organisiert – für den verwöhnten DAC Besucher sicherlich etwas wenig – denn gerade diese Diskussionen gelten als Indikator für zukünftige Themen. Dafür gab es im Exhibition Theatre mit 14 Podiumsdiskussionen ein umfassendes Angebot, welches von vielen Besuchern wahrgenommen wurde. Ein weiterer Teil der Ausstellung war das PCB-Symposium, dessen Fokus dieses Jahr auf der Integration von FPGAs/ICs mit PCBs im Systemdesign gelegt wurde.

Die Ausstellung wurde in diesem Jahr dichter an den Konferenzbereich gelegt, obwohl dadurch auch die Eingangshalle als Ausstellungsfläche erhalten musste, was Aussteller und Besucher zunächst mit gemischten Gefühlen betrachteten. Auf diese Weise wirkte die Ausstellung jedoch viel lebendiger, fast pulsierend, weil sehr viel mehr Konferenzteilnehmer in der Ausstellung anzutreffen waren, als in den vergangenen Jahren. Und dies nicht zuletzt, weil die Aussteller zwar an Ausstellungsfläche, nicht aber am Catering sparten. In diesem Zusammenhang sicher herausragend die auf den Gängen angekündigten „Fruitful Solutions“ von Mentor, hinter denen sich verschiedene, am Stand erhältliche Cocktails verbargen.

Auch die bereits im letzten Jahr am Abend des ersten Tages in der Ausstellung veranstaltete „Reception“ kam wieder gut an, ein sicheres Zeichen, dass nicht nur Liebe durch den Magen geht.

Technisches Programm

Die Keynotes, gehalten von Rene Penning de Vries (Philips) sowie Walden Rhines (Mentor Graphics) (siehe Abbildungen E.11 und E.12), befassten sich mit zukünftigen EDA-Herausforderungen bzw. der Soziologie von Design und EDA. Einhellig waren die Besucher der Meinung, dass die Vorschußlorbeeren nicht zu hoch hingen – denn die Keynotes wurden dieses Jahr von nahezu allen Teilnehmern in höchstem Maße gelobt.

Zur DATE 2006 wurden im Vorfeld fast 900 wissenschaftliche Beiträge eingereicht – ein neuer Rekord. Verglichen mit früheren Jahren wurde ein starker Anstieg bei den eingereichten Beiträgen für die Themen Design, Test und Embedded Software verzeichnet. Aus den Einreichungen wurde ein Programm mit insgesamt 78 technischen Sessions erstellt. Kernthemen darin waren Design-Automatisierung, Testabdeckung und Designqualität von der Systemebene (inklusive FPGA und PCB) bis hin zur IC-Ebene. Um die

Den vollständigen, zugangsgeschützten Trendbericht finden Sie unter http://www.edacentrum.de/download/DATE_Bericht-2006.pdf



Abbildung E.10:
Das Exhibition Theatre fesselte auch in diesem Jahr zahlreiche Ausstellungsbesucher

Kont@kt:

Informationen zu dem referenzierten und zu anderen Konferenz- und Trendberichten erhalten Sie bei:

Ralf Popp

Fon: 0511 762-19687
popp@edacentrum.de

Die Inhalte der meisten Podiumsdiskussionen können im Trendbericht zur DATE 2006 nachgelesen werden.

Weitere Informationen zur University Booth 2006 sind im edaAtlas und auf den Internetseiten des edacentrum unter folgendem Link verfügbar:
<http://www.edacentrum.de/universitybooth.html>.

Wichtigkeit von Software in eingebetteten Systemen zu unterstreichen, wurde dieses Jahr ein spezieller Track veranstaltet.

Vom Erfolg des Vorjahres angespornt wurde erneut ein Executive-Track durchgeführt, bei dem CEOs, CTOs, VPs und Senior-Executives von EDA- und IP-Anbietern, Halbleiter- und Systemhäusern zusammentrafen. Außerdem wurde dem Thema „4G Wireless & Sensor Networks“ ein ganzer Tag gewidmet. Dabei ging es um die zukünftigen Herausforderungen der Entwicklungen im Telekommunikationsbereich. Speziell für Systementwickler wurden sechs herausragende Einreichungen ausgewählt und zu einer Session „System Design Records“ zusammengefasst. Die Tutorials am Anfang und die Workshops am Ende der DATE befassten sich mit den Themen Organische Computer, Embedded-Software, Formale Verifikation, Sensor-Netzwerke, UML, VHDL-AMS, DFM-Tools, FPGA-Design, Leitungen bei NoCs, zukünftige Trends im Automotive Bereich sowie CAD für Biochips und deckten somit nahezu alle Entwicklungsgebiete der EDA ab.

Exhibition Theatre

Nicht nur die Konferenzteilnehmer konnten unter einer Vielzahl hochinteressanter Sessions wählen, auch den Ausstellungsbesuchern wurden im Exhibition Theatre zahlreiche Vorträge und vor allem Panels mit hochkarätiger Besetzung geboten (siehe Abbildung E.10). Hierbei ging es nicht nur um technische Lösungen, sondern vor allem auch um wirtschaftliche Aspekte. Im Rahmen des Exhibition Theatre, welches auch in diesem Jahr vom edacentrum organisiert wurde, fanden insgesamt 14 Podiumsdiskussionen und 2 Testimonials statt. Dabei wurden Themen wie DFM, System-Level-

Design, 3D-Integration, Fabless, EDA-Start-Ups, ESL (Electronic System Level), Software-Piraterie, FPGAs und Integrated-System-Design behandelt. Die Sessions waren meistens gut besucht und die offene Räumlichkeit zog viel „Laufkundschaft“ an, erforderte allerdings Kompromisse in Bezug auf die Akustik.

Besonders gut kam in diesem Jahr die University Booth an, die sich an Forschungseinrichtungen richtet, die EDA-Prototypen und Forschungsergebnisse einem interessierten Fachpublikum präsentieren möchten. Dort konnten Software- und auch Hardwaredemonstratoren vorgestellt werden.

Fazit

Wie immer nach einer bedeutenden EDA-Konferenz steht man als Besucher da und versucht, das Wichtigste zu erfassen; und immer wieder fällt es schwer. So ist es auch in diesem Jahr. Es lassen sich zahlreiche wichtige Themen wie ESL-Design, DfM, 4G Wireless & Sensor Networks, Plattformen und Standards ausmachen, ein besonders hervorzuhebendes Top-Thema gab es nicht. Wichtig ist, dass die DATE weiterhin für alle Besucher unverzichtbar zu sein scheint. Und herausragend ist, dass es inzwischen von allen Anbietern, Anwendern und der Forschung akzeptiert ist, dass eine partnerschaftliche Zusammenarbeit von Nöten ist, um die bestehenden Herausforderungen zu meistern. Dass dies auch im wirklichen Leben gilt, hat die Schneesituation in München kurz vor der DATE allen eindrucksvoll gezeigt. Bleibt zu hoffen, dass Schnee im nächsten Jahr in Nizza zur DATE 07 vom 16.-20. April 2007 kein Problem sein wird. Zumindest in diesem Punkt herrscht Zuversicht und alle freuen sich auf den neuen Veranstaltungsort. (KL, Pp)

Abbildung E.11:

René Penning de Vries, SVP & CTO, Philips Semiconductors

Abbildung E.12:

Walden C. Rhines, Chairman and CEO, Mentor Graphics, and Chairman EDA Consortium



Abbildung E.11

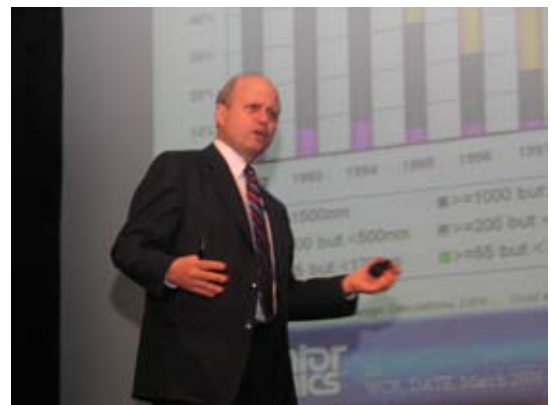


Abbildung E.12

University Booth auf der DATE 2006

www.edacentrum.de/universitybooth/



Das Interesse an der University Booth hat sich in diesem Jahr im Verhältnis zu 2005 deutlich gesteigert: Mehr Besucher als im Jahr 2005 informierten sich an nunmehr 8 (statt vorher 4) parallel aufgebauten Präsentationstischen. Auf diese Weise steigerte sich die Vielfalt des Angebots. Außerdem wurde die Anzahl der Demonstratoren vom letzten Jahr mit 36 Einreichungen übertroffen. Die Prototypen aus 16 Staaten ließen darüber hinaus eine stärkere Internationalisierung erkennen, wobei Deutschland auch in diesem Jahr mit 10 Beiträgen immer noch den Löwenanteil stellte. Eine weitere Verschiebung markierte die in diesem Jahr auf fünf gestiegene Anzahl von HW-Prototypen. Demgegenüber haben sich die Schwerpunkte des letzten Jahres mit den Themen System-Entwurf, System-Exploration, System-Analyse und Verifikation bestätigt. Während die Software-Prototypen von SystemC dominiert waren, wurden bei den HW-Demonstrationen häufig FPGA-basierte Lösungen gezeigt.

Die erstmals bei der Einreichung zur University Booth gegebene Möglichkeit, Projekte zu beschreiben, welche die Erforschung und Weiterentwicklung eines Prototyps unterstützt haben, führte zu einer Nennung von 22 Paaren von Prototypen und Projekten – ein deutliches Zeichen für die Wirksamkeit von Förderprojekten.

Kont@kt University Booth:
Dr. Volker Schöber
fon: 0511-762-19688
schoeber@edacentrum.de

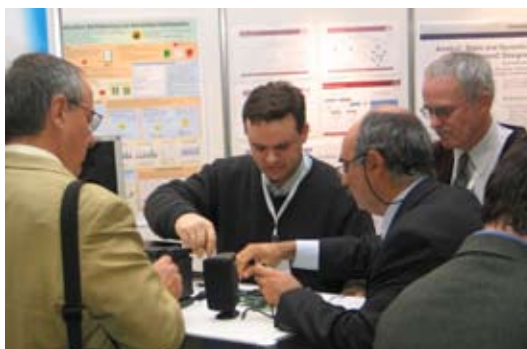


Abbildung E.13:
Bis zur letzten Minute wurde an den Hardware-Prototypen und Software-Applikationen auf der University Booth gefeilt.

- » **Democritus University of Thrace, Dept. Electrical and Computer Engineering** (www.ee.duth.gr/en)
DMMR-MATISSE - Cust. Dynamic Memory Allocation Tool
- » **Ecole Polytechnique de Montreal, Département de génie électrique** (www.polymtl.ca)
SPACE - Designing SoC/FPGA platforms at high level
- » **FHG, Fraunhofer Institut Integrierte Schaltungen EAS Dresden** (www.eas.iis.fraunhofer.de)
CHAMELEON
- » **Fukuoka Laboratory,** (www.fleets.jp)
Redefis - Using dynamically reconfigurable instruction set architecture processor for SoC
- » **Graz University of Technology, Institute for Applied Information Processing and Communications** (www.iaik.tugraz.at)
Leon2 crypto processor - A SPARC V8 Processor with Cryptography Extensions
- » **IMEC/KHBO, I)**
TEST CHIP - Test chip & dedicated data acquisition system for reliability study of high current 1st level interconnections
- » **KAIST, Korea, VLSI Systems Laboratory** (www.kaist.ac.kr)
ProBase - Versatile SoC Development Environment Supporting HW/SW Co-Design And Mixed Abstraction-level Simulation
- » **Leiden University, Embedded Research Center** (www.liacs.nl)
ESPAM - Embedded System-Level Platform Synthesis and Application Mapping tool
- » **National Tsing Hua University, EDA Lab, Department of Computer Science** (www.cs.nthu.edu.tw)
Video decoder demonstrator - A Hardwired H.264/AVC Main Profile Video Decoder Prototype
- » **Osaka University, Imai-lab, Dept. of Information Systems Engineering** (www.ist.osaka-u.ac.jp)
SoC Architecture Explorer
- » **Politecnico di Torino, Dipartimento di Automatica e Informatica** (www.testgroup.polito.it)
P1500 generator - An Integrated Environment for P1500 Compliance Checking
- » **Seoul National University, Codesign & Parallelprocessing Lab., School of Comp. Science and Engineering** (peace.snu.ac.kr/research/peace)
PeaCE - Ptolemy extension as Codesign Environment
- » **South Brittany University, LESTER** (web.univ-ubs.fr/lester)
GAUT, SoftExplorer
- » **Technical University of Denmark, System-on-Chip Group** (www.imm.dtu.dk/arts)
ARTS - A System-level MPSoC Simulation Framework
- » **Tokyo Institute of Technology, Integrated Research Institute** (www.pi.titech.ac.jp/index-e.html)
Takumi - Yield Estimation Tool Considering Via Failures
- » **TU Braunschweig, Institute of Computer and Communication Network Engineering** (www.symta.org/)
SymTA/S - System Robustness Optimization with SymTA/S
- » **TU München, Lehrstuhl für Entwurfsautom.** (www.tum.de)
Analog Performance Explorer
- » **Univ. Federal do Rio Grande do Sul, Departamento de Engenharia Elétrica, LaProT - Electrical Engineering Department** (www.ufrgs.br)
FIR Filter - Multiple simultaneous upset fault-tolerant FIR circuit design using delta-sigma modulation
- » **Univ. Federal do Rio Grande do Sul, Instituto de Informatica** (www.inf.ufrgs.br)
SASHIMI - A Configurable Platform for Embedded Systems
- » **Università di Bologna, Micrel Lab** (www.deis.unibo.it)
SunFloor - A NoC Synthesis and Floorplan Flow
- » **Universität Paderborn, Heinz Nixdorf Institute (I)**
PART-E
- » **Universität Tübingen, Formal Methods Group (I)**
SymC Parallelization - Fast Distributed Property Checking
- » **University of Bremen, Institute of Computer Science, Group for Computer Architecture** (www.informatik.uni-bremen.de)
AnaSyC - Static and Dynamic Analysis of SystemC Designs
- » **University of Cantabria, Electronics Technology, Systems and Automation Engineering** (www.teisa.unican.es)
PERFidIX
- » **University of Erlangen-Nuremberg, Dept. of Comp. Science 12** (www.cs.fau.de)
SystemCoDesigner - Automatic Design Space Exploration for SystemC Models
- » **University of Frankfurt/Main, Institut für Informatik, Professur für Entwurfsmethodik** (www.em.informatik.uni-frankfurt.de)
EAST - Analog Circuits: Explorative Synthesis of Topologies
- » **University of Frankfurt/Main, Professur Technische Informatik** (www.ti.cs.uni-frankfurt.de/)
POLYSIGNAL
- » **University of Massachusetts Amherst, Electrical & Computer Engineering Dept** (tango.ecs.umass.edu/TED/Doc/html)
TED Express - High Level Transformations using Taylor Expansion Diagrams
- » **University of Paderborn, C-Lab** (www.c-lab.de)
MHLS - MACT High-Level Synthesis
- » **University of Verona, Dipartimento di Informatica** (www.univr.it/default.jsp?lang=en)
FATE - Functional ATPG to Traverse Extended FSMs
- » **University of Verona, EDALab at Dept. of Computer Science** (www.scienze.univr.it/fol/main?lang=en)
HSN - Co-simulation tools for Networked Embed. Systems
- » **University Pierre et Marie Curie, LIP6 Laboratory** (www.asim.lip6.fr/recherche/analog/cairo/)
*CAIRO+
RTL2ASC - A SystemC model generator*

Auf der University Booth wurden in diesem Jahr 35 EDA-Prototypen an drei Tagen gezeigt und präsentiert sich als ein Highlight der Konferenz. Die Beiträge wurden von Forschungseinrichtungen aus 16 Staaten vorgestellt, wobei 22 Prototypen in aktuellen und abgeschlossenen Forschungsprojekten entwickelt oder erweitert wurden. Erfreulich war, dass mit 10 Beiträgen Deutschland wie im letzten Jahr die größte Forschergruppe mit SW- und HW-Prototypen darstellte. Auch konnten SAMS und FEST mit 5 Beiträgen die Clusterforschungsprojekte hervorragend positionieren. Als Schwerpunkte zeigten sich in diesem Jahr die Themen „System Entwurf und Exploration“ sowie den „Mixed Signal Entwurf und Synthese“.

Die beteiligten Forschungseinrichtungen aus Deutschland waren:

- » Uni Bremen
- » Uni Erlangen-Nürnberg
- » TU München
- » Universität Paderborn
- » TU Braunschweig
- » Uni Frankfurt am Main
- » Uni Tübingen
- » Uni Paderborn
- » FHG Dresden



ISCAS 2006 - Kurzbericht

(IEEE International Symposium on Circuits and Systems)
von Prof. Dr. Christoph Grimm und Darius Grabowski

<http://www.iscas06.org>

Die ISCAS 2006 fand vom 21. bis zum 24. Mai 2006 auf der Insel Kos in Griechenland statt.

Die ISCAS ist die größte Tagung auf dem Gebiet des Schaltungs- und Systementwurfs. Sie fand 2006 vom 21.-24. Mai auf der Insel Kos, Griechenland statt. Insgesamt wurden in 17 parallelen Sessions 1439 Beiträge in 288 Sessions vorgestellt, die aus 2429 eingereichten Beiträgen ausgewählt wurden. Angesichts dieser Masse von Beiträgen fällt es schwer, einzelne Beiträge oder Trends hervorzuheben. Sehr breites Interesse fanden die Keynote-Präsentationen.

Yannis Tsividis (Columbia University) – einer der Pioniere des Entwurfs von MOS-Schaltungen – berichtete über Mixed-Signal-Systeme. Der Vortrag war inhaltlich begeisternd und vorzüglich vorgetragen – ein Highlight der Konferenz. Neben den klassischen gemischt zeit- und wertkontinuierlichen analogen und den zeit- und wertdiskreten digitalen Schaltungen beleuchtete er die bislang wenig beachtete Klasse von wertdiskreten, zeitkontinuierlichen Systemen. Diese Systeme bieten einige neue Möglichkeiten zur Lösung von Problemen, die sich aus der klassischen Betrachtung von Mixed-Signal-Systemen ergeben. Beispielhaft wurde ein zeitkontinuierlicher/ wertdiskreter Signalprozessor erwähnt, welcher ohne Abtastung der Signale arbeitet, so dass Aliasing-Effekte nicht auftreten. Darüber hinaus widmete Tsividis einen Teil seines Vortrags der Klasse von Input-/Output-zeitinvarianten linearen und intern-zeitvarianten nichtlinearen Systemen. Diese bieten neue Möglichkeiten zur Lösung aktueller Probleme signalverarbeitender Systeme wie z.B. Leistungsaufnahme oder Signal-Rauschabstand.

Giovanni De Micheli (EPFL) gab einen Überblick zukünftiger Herausforderungen beim Entwurf von System-on-Chips. Hierbei würden insbesondere zuverlässige Netzwerke benötigt („NoC“, Network on Chip). Dabei werde es hilfreich sein, „Plug-and-Play“-Komponenten zu entwerfen, die über ein „Pipelined NoC“ vernetzbar sind, das an Applikationserfordernisse angepasst werden kann. Eine weitere Herausforderung sei die Zuverlässigkeit von Systemen, die einerseits sehr dicht am Rand der physikalischen Möglichkeiten liegen und außerdem durch die Integration sehr starken Prozessschwankungen unterliegen. Hier werde es darauf ankommen, Schaltungen autonom und dynamisch auf schwankende Latenzzeiten (z. B. durch dynamisches Voltage Scaling) reagieren zu lassen. Ebenfalls problematisch sei die Zuverlässigkeit – Soft-Errors und Crosstalk werden zunehmend auch als Ursachen für Timing-Errors in Schaltnetzen auftreten. Auch dies müssten Schaltungen selbst erkennen und selbständig hierauf reagieren.

David Guedj (EU) berichtete über das 7. EU-Förderprogramm (FP7). Im Bereich „Future and Emerging Technologies“ wurden bisher (im FP 6) 1100 Proposals eingereicht, wovon 7% gefördert wurden. Schwerpunkt des Vortrags war das FP7 und Möglichkeiten, daraus Drittmittel einzuwerben. Im Rahmen des FP7 stehen für den Zeitraum von 2007-2013 immerhin 54,8 Mrd. € zur Verfügung. Diese hohe Summe verteilt sich aber über 6 Jahre und auf zahlreiche Gebiete. Für die „FET“ (Future and Emerging Technologies) bleiben von dieser Summe dann pro Jahr immerhin noch ca. 180 Mio. €. Damit wird in der ersten Hälfte der Laufzeit in etwa auf dem Niveau des FP6 gefördert – bis 2013 soll diese Förderung dann aber deutlich ansteigen. Prinzipiell werden im FP7 die gleichen Förderinstrumente wie im FP6 zur Verfügung stehen (STREP, NoEs, IPs). Kriterien, die für einen erfolgreichen Antrag erfüllt sein müssen, sind Angaben über das korrekte Timing, die vorhandene kritische Masse sowie die Verwertung, ggf. auch eine mögliche Fokussierung und Abgrenzung zu anderen Projekten. Im Internet sind unter <http://cordis.europa.eu/fp7/> weitere Informationen verfügbar.

Neben den Anwendungen aus der Medizin- und Biotechnik – dies war offizieller Schwerpunkt der ISCAS – fielen sehr viele Beiträge auf, die sich mit dem Entwurf und der Systemintegration von RF-/Wireless-Schaltungen befassten. Sehr interessant waren insbesondere die „Special Sessions“, die sich fokussiert einzelnen Themen – z.B. UWB – widmeten. Erfreulich für das edacentrum: Die Special Session „Analog-Synthesis“ wurde komplett mit Beiträgen aus dem SAMS-Projekt bestritten. Hier konnte erstmals ein möglicher, rechnergestützter Weg von einer Systemspezifikation hin zu einer dimensionierten Schaltungstopologie aufgezeigt werden.

Insgesamt ist die ISCAS eine sehr lohnende Erfahrung für alle, die sich neben der Entwurfsautomatisierung auch noch mit dem Schaltungsentwurf befassen und hier einen ganz aktuellen Einblick in Probleme und Lösungen bekommen möchten. Zu Schaltungs- und Systementwurf gibt es sowohl in Breite als auch in der Tiefe keine vergleichbare Veranstaltung.

Kontakt:

Prof. Dr. Christoph Grimm
Vienna University of Technology
Institute of Computer Technology/Embedded Systems
grimm@ict.tuwien.ac.at

Bericht vom 18. ITG/GI/IMM Test-Workshop

Testmethoden und Zuverlässigkeit von Schaltungen und Systemen

Im idyllischen und tiefverschneiten Titisee/Schwarzwald lud die RSS-Fachgruppe „Testen und Zuverlässigkeit von Schaltungen und Systemen“ vom 12.-14. März 2006 zu ihrem diesjährigen Workshop ein. Auch in der 18. Auflage zeigte der Workshop, dass er sich als ein jährlicher Treffpunkt der Testexperten im deutschsprachigen Raum etabliert hat. So fanden - neben Teilnehmern aus Deutschland - einige Vertreter aus Österreich, der Schweiz und den Niederlanden den Weg zum Titisee. Mit 71 Experten aus Industrie und Forschung ist die Teilnehmerzahl auch dieses Jahr stabil bis tendenziell steigend. Neben den Vorträgen der angenommenen Publikationen (in diesem Jahr 16) und einem eingeladenen Vortrag wurden eine Paneldiskussion und eine Postersession (9 Poster) abgehalten. Schwerpunkt der Präsentationen war die Problembearbeitung des Testens, der Analyse und der Steigerung der Zuverlässigkeit im Systemkontext.

Der Workshop begann traditionell mit einer Paneldiskussion am Abend des ersten Tages. Das Thema war „Test, Diagnose und Zuverlässigkeit in zukünftigen Systemen“. Als aktuelle Herausforderungen wurden von den Teilnehmern der Diskussion mehrere Themen identifiziert:

- » Reliability: Move it up the design chain
- » Reliability: Design it - not burn it
- » Systeme müssen lernen, mit Fehlern umzugehen
- » Beherrschung von Elektromigration und Soft-Errors
- » Verbesserung des Ramp-Ups für neue Produkte und Technologien
- » Defekte in neuen Technologien beherrschen
- » Robuster Entwurf von Schaltungen und Systemen

Die Diskussionsteilnehmer aus Forschung und Industrie waren sich resümierend in einem Punkt einig: Die

Zukunft hat schon begonnen und es wird bereits intensiv an der Lösung oben genannter Probleme gearbeitet.

R. Galivanche von Intel beschrieb in seinem eingeladenen Vortrag zu Beginn des Workshops die Sicht seiner Firma auf die Herausforderungen.

- » Verkürzung von "Time-to-Volume"
- » Reduktion des Leistungsverbrauchs
- » Thermisches and Power-Management
- » Auswirkungen von Variationen auf die "Speed Failures"
- » Prozessvariationen in der Fertigung
- » MultiCore-Produkte

Er sieht auch weiterhin einen Weg Moore's Law zu folgen, allerdings müsse man mit wachsenden Kosten rechnen, die erforderlich seien, um diesen Weg zu beschreiten. Zum Ende seines Vortrags nannte er die aus seiner Sicht größten Lücken im Entwurfsprozess wie „scanbasierter Speed-Test“ und „kosteneffektive Methoden zur Diagnose, Reparatur und Rekonfiguration“.

In den sechs Vortragssessions tauchte wiederholt der Systemaspekt des Testens und der Zuverlässigkeitssteigerung auf und wurde so zu einem roten Faden durch das Workshopprogramm. So wurden beispielsweise die Systemanforderungen zur Erreichung einer hohen Zuverlässigkeit anhand eines unbemannten minensuchenden Unterseeboots diskutiert. Insgesamt wurden in vielen Diskussionen Probleme und Lösungsansätze zwischen der Industrie und der Forschung ausgetauscht, um danach mit neuen Ideen zur Arbeit zurückzukehren (VS).

Weitere Informationen zu dieser RSS-Fachgruppe und dem Workshop bei
Dr. Volker Schöber,
0511 762-19688,
schoeber@edacentrum.de



Abbildung E.14:
Teilnehmer des Test-Workshops

Abbildung E.14



Preview on the 43rd Design Automation Conference (DAC)

The world's premier event in electronic system design, July 24-28, 2006, at the Moscone Center in San Francisco /USA

The full program schedule will be available on the DAC Web site at <http://www.dac.com>.

Registration:

Advance conference registration is open since May 8. The advance conference registration discount deadline is June 26.

Contact:

To register for DAC visit <http://www.dac.com> or call 1-800-321-4573 in the U.S. to request registration materials.

"From the process technology level to the system-on-a-chip level, both Dr. Stork and Dr. Cremonesi offer great depth of experience in mobile communications and are working on important projects in this arena at two of our industry's most cutting-edge companies," said Ellen Sentovich, general chair of the 43rd annual DAC. "They are well-qualified to bring DAC attendees great insight into the challenges to tackle as the proliferation of multimedia devices brings more opportunities and demands to our industry."

This year's technical program was selected from the record number of 865 regular paper submissions, 78 panel submissions and 18 tutorial proposals DAC received. The result will be a full and varied program of timely technical and business-related sessions that will appeal to the interests of about 10,000 attendees of this annual event.

Special Theme

This year's DAC has adopted a special theme focusing on multimedia, games and entertainment, which will offer attendees and exhibitors an opportunity to participate in a series of technical sessions, DAC pavilion events and special activities on the exhibit floor. These sessions will highlight the design of the latest generation of multimedia, gaming and entertainment systems. Throughout the week, with a concentration on Wednesday, leading technology providers and consumer electronics manufacturers will be represented in the panel discussions and technical sessions. Highlights will include discussions of the issues faced by iPod and the Cell processor, and the technology requirements for 3-D graphics in feature films.

Keynotes

Dr. Hans Stork, Senior Vice President, Chief Technology Officer and Director of Silicon Technology Development for Texas Instruments, will deliver the keynote address on Tuesday, July 25. It is titled, "Structuring Process and Design for Future Mobile Communication Devices." Dr. Stork will demonstrate how such devices are a driving force for continued economies of scaling in design automation. He will discuss the density and speed of sub-50 nm CMOS technology that is enabling mobile communication device design, as well as the process variations, power issues and complexity that require improved modeling of systematic manufacturing variations and design sensitivities.

On Thursday, July 27, Dr. Alessandro Cremonesi, Strategy and System Technology Group Vice President and Advanced System Technology General Manager for STMicroelectronics, will present an additional keynote address entitled "The Challenges of Convergence". It centers on the challenges the semiconductor industry will have to face to address the new trends and opportunities in major application fields in this era of convergence. From the platform architecture perspective, where most of these applications will run, multiprocessing is already a reality and the industry will have to find new paradigms to handle the increased complexity at the system, embedded software, and at the silicon

implementation level. Dr. Cremonesi will conclude with future perspectives from the viewpoint of ST's advanced research organization.

Conference Topics

With 13 tutorials, four workshops, 18 DAC Pavilion presentations and more than 60 technical sessions, the 43rd DAC's technical program will offer more than 200 technical papers and presentations in the following ten tracks: Management; System-Level and Embedded Systems Design; Low Power and Thermal; Analog and Circuit; Interconnect, Reliability and DFM; Verification and Test; Synthesis and FPGA; Physical Design; "Beyond the Die"; and New and Emerging Technologies. The System-Level and Embedded track saw the largest growth in the number of submissions in 2006, with several papers exploring the increased use of processors in SoC designs, issues of on-chip interconnect and communications-centric/network-on-chip design.

Six full-day tutorials are planned, including two on Monday, July 24, and four on Friday, July 28. Topics presented range from ESL, SystemVerilog, DFM, variability, chip and package co-design, and techniques for design error diagnosis, silicon debug and defect diagnosis. Seven vendor-presented hands-on tutorials are scheduled throughout the conference, covering a variety of approaches to low-power design methods and tools.

Specials

For the third year in a row, DAC will offer the popular Management Day on Tuesday, July 25, featuring a series of business and technology sessions designed to offer mid- and senior-level managers a forum for sharing information on key decision-making processes as well as current technology trends. It will include a panel discussion on the fabless model, a session on the choice of flows and implementation technologies, and a second session on the design of graphics, entertainment and wireless products.

A full roster of panels and presentations is once again planned for the DAC Pavilion on the Exhibit Floor, open for all attendees. Gary Smith, chief analyst with Gartner Dataquest, will continue the tradition of opening the pavilion program on Monday, July 24, with his presentation on EDA trends and "What's Hot at DAC." The Pavilion Sessions will also include business focused discussions, an "Ask the CTO" panel, the annual presentation of the Women in EDA Achievement Award and this year's DAC Student Design Contest Winners. (Pp)

CeBIT 2006: Bundesministerin Schavan trifft edacentrum

BMBF-Broschüre „Von der Idee zum Chip – EDA – Electronic Design Automation“ auf CeBIT offiziell vorgestellt

Gemeinsam mit dem VDI-Technologiezentrum wurde auf der diesjährigen CeBIT in Hannover die Wertschöpfungskette der Mikroelektronik vorgestellt.

Unter dem Motto „Von Sand und Idee zum Superchip“ waren auf dem Messestand des BMBF einzelne Stationen auf dem Weg zu einem elektronischen Produkt in verschiedenen Vitrinen zu sehen. Die im Auftrag des BMBF erstellte Wanderausstellung des VDI-Technologiezentrums verdeutlicht die Wertschöpfungskette der Elektronik in mehreren Exponaten, wie z.B. Rohsilizium, Wafer und Chip.

Highlight des Eröffnungstages der CeBIT war der Besuch von Bundesministerin Frau Dr. Annette Schavan. Während ihrer eingeplanten fünf Minuten am Stand des BMBF verweilte sie immerhin zwei Minuten vor den Exponaten. Frau Dr. Carola Haumann vom VDI-Technologiezentrum erläuterte der Ministerin dabei insbesondere die Herausforderungen beim Chipent-

wurf. Anschließend stellte die Bundesministerin die in Zusammenarbeit mit dem edacentrum erarbeitete neue BMBF-Broschüre „Von der Idee zum Chip – EDA – Electronic Design Automation“ der Öffentlichkeit vor.

Im Anschluss an den Kurzbesuch des BMBF-Standes wurde seitens der Bundesministerin das Kommunikationsforum future talk eröffnet. Hier wurden Vorträge und Podiumsdiskussionen zu aktuellen Themen veranstaltet, sowie neue Entwicklungen und Exponate vorgestellt, die einen guten Einblick zu den technologischen Standards der Zukunft gaben. Selbstverständlich ließ sie es sich hier nicht nehmen, die „EDA-Broschüre“ auch der anwesenden Presse vorzustellen.

Wir hoffen, dass durch die Veröffentlichung der Broschüre das Thema „EDA“ nun auch in der allgemeinen Publikums- und Wirtschaftspresse aufgegriffen wird. (Tr)

Die Broschüre kann beim BMBF bestellt werden und ist online unter www.bmbf.de/publikationen/2697.php als PDF verfügbar.

Kontakt:

Ralf Popp
fon: 0511 762-19697
popp@edacentrum.de



Abbildungen E.15 und E.16



Abbildung E.15:

Niklas Möller vom edacentrum mit Bundesministerin Frau Dr. Annette Schavan

Abbildung E.16:

Die Ausstellung „Von Sand zum Superchip“ auf dem BMBF Stand in Halle 9



Abbildungen E.17 und E.18



Abbildung E.17:

Wafer mit darauf gefertigten physikalischen Strukturen von Prozessoren und Speicherchips

Abbildung E.18:

EDA – Die Idee und der Sand - Rohstoffe der Chips



Alex & Bill - Projektskizze

Von Dieter Treytnar und Cordula Hansen

Montag morgen, 10 Uhr.

Bill öffnete die Tür zu Alex' Büro und trat rasch einen Schritt zur Seite. Das Buch segelte an ihm vorbei und klatschte gegen die Wand. „Hoppla, so schlimm war meine letzte E-Mail doch auch nicht“, kommentierte Bill den Ausbruch. Alex sah Bill überrascht an und brachte nur ein „Oh, Mist ...“ heraus. Das war wieder typisch Bill: Gerade in solch' einem Moment vorbeizukommen, an dem er seinen Frust loswerden wollte. Dann stutzte er. Na klasse. Hinter Bill trat eine Frau ins Zimmer.

„Alex, darf ich Dir vorstellen. Das ist Gracia Torner von der Management-Firma. Du weißt schon, von denen ich Dir letzten Freitag erzählt habe.“ Bill zwinkerte ihm zu. Mist, dachte Alex – den Termin hatte er völlig vergessen ... – Alex stand auf, ging zu Frau Torner hinüber und reichte ihr die Hand. „Tut mir leid, diese Texte bringen mich immer zur Verzweiflung.“ Sie lächelte ihn an: „Temperament bei der Arbeit ist meistens von Vorteil!“ Alex nickte, wusste aber nicht so recht, wie er das jetzt auffassen sollte. Er betrachtete sie. Sie war fast so groß wie er, wirkte sehr drahtig und ihre Frisur war so unorthodox, dass sie einen automatisch ins Grübeln brachte. Was hatte sie eigentlich für eine Haarfarbe?

Frau Torner hatte die Musterung kurz über sich ergehen lassen und kam dann zielstrebig zur Sache. „Herr Rogner hat mir berichtet, dass Sie einen Antrag für ein Förderprojekt in Bearbeitung haben und dort Unterstützung gebrauchen könnten.“ – „Ja, diese Anträge sind ein einziger Graus. Sie kennen sich damit aus?“ Gracia Torner nickte. „Könnte ich die Papiere mal sehen? Dann weiß ich, ob und wie wir Ihnen helfen können.“ Während Bill den Raum verließ, räumte Alex hastig seine Notizzettel von seinem Schreibtisch, zog einen Stuhl dichter heran, bat Gracia Platz zu nehmen, und reichte ihr die Papiere. Sie blätterte sie aufmerksam durch, ab und an war ein „Hmm, hmm“ zu hören. Alex betrachtete unterdessen wieder interessiert ihre Haare. Diese Frisur, ob ihre Haare wohl braun oder eher blond waren? Zum Glück nicht rot. Rote Haare konnte er nicht ausstehen.

Doch bevor Alex sich diesbezüglich weitere Gedanken machen konnte, begann Gracia: „Ja, ich sehe ihr Problem. Ich bin sicher, wir können Ihnen helfen.“ Gracia legte die Unterlagen zur Seite. „Ich möchte Ihnen ein paar Fragen stellen. Für welche Art von Projekt halten sie das, was sie hier durchführen möchten?“ Alex sah Gracia irritiert an. „Das ist doch klar, ein F&E-Projekt.

Oder was meinen Sie?“ – „Nun, es gibt verschiedene Arten von Projekten und jedes hat seine eigenen Anforderungen. Wenn wir z.B. ein Standardprojekt durchführen, hat das eine niedrige Komplexität und die Aufgabenstellung ist bekannt. Bei Wiederholungsprojekten ist die...“ – „Ich wollte eigentlich keinen Kurs in Projektmanagement durchführen, sondern nur diesen Antrag möglichst schnell über die Bühne ziehen.“ – „Und wie wollen Sie den Antrag schnell über die Bühne bringen“, hier wurde Gracia Stimme leicht ironisch, „wenn Sie nicht wissen, mit was für einer Sorte von Projekt Sie zu tun haben?“ – „Aber das wissen wir doch. Wir haben mit einem F&E-Projekt zu tun. Die gehören nicht gerade zu den Standardprojekten, von denen Sie reden.“ Gracia lehnte sich zurück. „Genau das ist der Punkt. F&E-Projekte gehören zu den Pilotprojekten – hohe Komplexität, hohe Neuartigkeit. Mit was für Anforderungen haben Sie es da wohl zu tun?“

Alex seufzte. Wo das wohl hinführte, wenn er mit ihr erst noch klären musste, was ein F&E-Projekt ist. Er würde sich Bill später vornehmen, von wegen Hilfe. An Gracia gewandt sagte er: „Vor allem mit den Anforderungen dieses Antrags.“ Gracia nickte: „Ja, und die lassen sich ganz eindeutig den Anforderungen zu einem Pilotprojekt zuweisen. Sie haben es mit ungenauen Zielvereinbarungen zu tun. Die hohe Komplexität und die Neuartigkeit der Aufgabenstellung hatten wir bereits. Aber es geht noch weiter: Es besteht große Unsicherheit über den Ausgang des Projektes, sie haben es mit hohem Risiko und hoher Dynamik, interdisziplinärer Zusammenarbeit, zeitlicher Befristung, Einmaligkeit der Projektaufgabe und mit begrenzten Ressourcen zu tun. Dazu kommt noch die Zusammenarbeit über Firmengrenzen hinweg.“ Alex winkte mit den Händen ab. „Ist ja schon gut. Dass das Projekt kein Pappenstiel ist, ist mir auch klar.“

„Wundert es Sie dann, dass ihr Kunde genaue Informationen fordert, so dass er seinem Chef gegenüber den Auftrag rechtfertigen kann? Wer ist eigentlich ihr Kunde?“ – „Na, vor allem unsere Entwicklungsabteilungen. Die brauchen die Ergebnisse dringend.“ Gracia sah Alex an: „Ja, ihre Entwicklungsabteilungen sind sicher Ihre Kunden, aber Sie haben noch einen mindestens genau so wichtigen Kunden und das ist das BMBF. Denken Sie darüber nach.“

Das Gespräch setzte sich noch über eine Stunde fort. Gracia erläuterte Alex die politischen Standpunkte und Alex revanchierte sich mit fachlichen Fremdwörtern. Am Schluss sagte Gracia: „Ich bin mir sicher, dass wir

Ihren Antrag gut über die Bühne bringen und glauben sie mir, wenn sie Ihre Kunden und deren Anforderungen kennen, wird es einfacher sein Ihre Arbeiten zu verkaufen“.

Nachdem Gracia gegangen war, saß Alex noch eine Weile grübelnd im Büro. So hatte er sich das ganze nicht vorgestellt. Eigentlich war er davon ausgegangen, dass sie den ganzen Papierkram übernahm und er ab und an den einen oder anderen Satz einfließen ließ. Aber sie konnte natürlich keine politische Argumentation führen, wenn er nicht wusste, wobei seine Arbeiten dem Kunden nützen. Alex seufzte. Vielleicht hatte diese Frau Torner nicht so ganz unrecht. Aber ihre Frisur war wirklich unorthodox!

Zwei Stunden später saß Alex mit seinem Kollegen Linus beim Mittagessen. „Du“, sagte Alex „ich glaube tatsächlich, dass ich jemanden kennengelernt habe, der uns helfen könnte.“ Alex erzählte, was er vom ersten Gespräch mit Gracia behalten hatte. „So’n Quatsch!“ sagte Linus. „Warum sollen die das besser können als wir?“ – „Na ja – die machen das nicht zum ersten Mal. Die wissen, auf was man achten muss, wenn man erfolgreich ein Projekt beantragen möchte.“ Aber Linus war nicht so leicht zu überzeugen. „Ja und, das weiß ich auch.“ Und dann überschüttete er Alex mit einem Redeschwall in dem Fragmente wie „die kochen auch nur mit Wasser“, „wir haben doch viel mehr Ahnung“ und „die stecken doch gar nicht in der Materie drin“ vorkamen. „Außerdem sind die bestimmt sauteuer!“ endete Linus. Alex schob sein Besteck unruhig hin und her. Linus ging ihm mit seinem „wir können das alles selber Geblubber“ schon seit Monaten auf die Nerven. Schließlich hielt er es nicht mehr aus: „Okay Linus – ich habe schon mit unserem Chef gesprochen – ich habe freie Hand die Firma zu beauftragen. Ich schlage Dir folgende Wette vor: Du willst doch das Projekt „Makromania“ durchführen. Ich werde mein Projekt mit Frau Torner starten, und Du machst es so wie bisher – alleine. Die Projekte sind von der Komplexität und vom Umfang sehr ähnlich. Schauen wir mal, wer am Ende die Nase vorn hat! Und der Sieger zahlt dann die Karten für das Endspiel.“

Linus zögerte. Alex grinste. So, jetzt hatte er den Alleswisser gepackt. Doch dann schlug Linus ihm zu seiner Überraschung auf die Schulter. „Ok Alex, reserviere schon einmal die Karten.“

Montagabend, im kleinen Einfamilienhaus am Rande der Stadt. Es ist 21 Uhr und 27 Minuten ...

„Hallo mein Schatz“, empfing ihn seine Frau Ines, „Du kommst ja heute richtig früh aus dem Büro!“ Alex knallte den Schlüssel auf den Tisch. Er liebte seine Frau, aber diese ewige Ironie ging ihm auf die Nerven. „Ines – Du weißt doch wie es ist. Wir sind absolut unterbesetzt, die Deadline für unser Design rückt näher – und nun auch noch dieses neue Projekt!“ Alex schaute seine Frau verständnissuchend an – aber Ines holte ihm nur wortlos das inzwischen kalt gewordene Essen aus der Küche. Während Ines sich zu ihm setzte, sagte sie „Alex – Du machst Dich kaputt! So geht das nicht weiter!“ – „Ines, es wird besser, wenn das Design erst einmal fertig ist und wir hatten heute ein Gespräch mit einer Projektmanagement-Firma. Die können uns eine Menge Arbeit abnehmen?“ – „Ach wirklich?! Dann hast Du ja endlich mehr Zeit für die Kinder“. Alex nickte „Und die Fußball-WM verpasse ich auch nicht....“ Weiter kam Alex nicht. Ines war aufgestanden und verließ die Küche. Die Tür knallte hinter ihr ins Schloss.

Es geht los !

Zwei Tage später. Alex und Gracia sitzen im Konferenzraum zusammen. „Frau Torner, die Bedeutung der politischen Argumentation kann ich mittlerweile nachvollziehen. Aber wissen Sie, was das Gute an unserer Zusammenarbeit ist? Ich kann mich aufs Fachliche konzentrieren - und sie schreiben diesen ganzen Politikram.“ Gracia grinste. „So einfach kann es mit klaren Schnittstellen sein. Aber auch beim fachlichen Teil kann ich Ihnen – auch wenn ich von dieser Technologie nicht alles verstehe - bei Formulierungen behilflich sein.“ Alex kramte in seiner Tasche und holte ein einseitig bedrucktes A4-Blatt heraus. „Wunderbar, im Prinzip ist es auch schon fertig - steht alles hier drauf“. Skeptisch nahm Gracia das Blatt und überflog es kurz. „Ist das alles?“ – „Zu mehr haben die Projektpartner keine Zeit gehabt“, sagte Alex, „aber darum kümmern Sie sich ja jetzt auch.“ Alex schob Gracia das Papier rüber. Gracia lehnte sich zurück. „Sie meinen also, ich soll Ihnen Ihre Inhalte diktieren?“ – „Naja, ganz so ja nicht. Wir haben ein paar Stichworte geliefert – das müsste doch reichen, oder?“ – „Spezifikation bei der interaktiven Kommunikation, Sensorsysteme von intelligenten Verbundnetzwerken,“ Gracia hörte auf, die Stichwörter zu zitieren. „Das hört sich an, wie das letzte Projekt, das ich betreut habe. Dort ging es um Kommunikationstechniken und Rangstrukturen in Ameisenstaaten Dann sollten Sie aber auch noch Algorithmen zur Abschätzung der Trag- und Lastfähigkeit oder Makro-tunneling bei vollständigen Systemen untersuchen“. Gracia schaute Alex lächelnd an. Alex raufte sich die

Kont@kt:

Dr. Cordula Hansen
fon: 0711 2807 956
hansen@edacentrum.de

Haare. „Nein, so ist das natürlich nicht gemeint. Es ist doch ganz klar, dass ...“ – „Ach ja, und was genau macht dieser Projektpartner hier ...“ Alex sah auf die Stelle, auf die Gracia mit ihrem Finger wies. Richtig, mit dem Partner hatte er erst vor zwei Tagen weitreichende Missverständnisse ausgeräumt. Alex lehnte sich zurück. „Ok, was brauchen sie?“

Gracia zählte auf: „Das Wichtigste ist, dass die Projektpartner so konkrete Angaben wie möglich zu ihren Arbeitsinhalten liefern, damit wir das übergreifende Gerüst bauen können. Erst damit können wir die politische Argumentation motivieren und später im Projekt ist das die Klammer, die alle Arbeiten zusammenhält. Gibt es zum Beispiel die Möglichkeit einen gemeinsamen Designflow zu definieren? Alex sah Gracia entgeistert an. „Einen gemeinsamen Designflow? Das wäre ja so, als ob es nur noch ein und dasselbe Auto gäbe ...“ Gracia nickte. „Ja, oder – was ich in anderen Projekten bereits erlebt habe – Sie definieren zu Beginn die Modelle oder Sprachen, in denen Sie ihre Ergebnisse austauschen. Je enger Sie das Projekt zu Beginn zusammenbringen, umso einfacher wird es später. Dann müssen Sie sich natürlich noch klar werden, welche Unterauftragnehmer Sie mit ins Boot nehmen. Das sehe ich in Ihrer Planung noch gar nicht. Der Forschungsanteil in F&E-Projekten ist ein wichtiger Punkt. Und die Ressourcen, die Sie hier angegeben haben, liegen um ein Vielfaches zu hoch. Der Fördergeber wird zwar sowieso noch kürzen, aber mit der Summe laufen wir gegen eine Wand.“ – „Wissen Sie, was das für einen Aufstand im Projekt geben wird?“ – „Ja, habe ich schon oft genug erlebt. Aber mit Traumzahlen kommt man nicht zum Ziel. Ich schicke ihnen heute noch eine Vorlage. Die können Sie direkt an Ihre Projektpartner weiterleiten mit der Bitte, die Informationen so schnell wie möglich zuzuschicken“

Ran an die Arbeit

Drei Räume weiter. Linus saß an seinem Schreibtisch mit einem Projektmanagement-Handbuch für F&E-Projekte vor sich und las:

„Die Initiierung eines F&E-Projekts umfasst die Phase von der Projektidee bis zur Bewilligung der Förderung für das Projekt. Die Länge und der Aufwand für die Initiierungsphase sind je nach Projekt unterschiedlich und schwer abzuschätzen. Die Gründe dafür liegen z.B. im Engagement der Beteiligten, in möglicherweise notwendigen Iterationen (z.B. erneute Einreichung einer Vorhabenbeschreibung) und in den unterschiedlich detaillierten Vorstellungen, mit denen die Projektinitiierung begonnen wird. Um ein Projekt beim BMBF zu beantragen, ist die Einreichung einer Projektskizze nach den aktuellen Vorgaben des BMBF mit maximalem Umfang von 16 Seiten beim Steuerungsgremium zur Begutachtung der technischen Relevanz und Bedeutung für das Fördervorhaben erforderlich“:

„Mann, ist das ein Geblubber“, dachte Linus, „völlig überflüssig.“ Er legte das Buch zur Seite. 16 Seiten zu schreiben ist ja wohl kein Problem. Linus zog aus einem Stapel aus seinem Schreibtisch eines seiner letzten Artikel heraus und besah sich die Stichworte, die er von seinen Partnern bekommen hatte. So, da hätten wir doch schon die fachlichen Inhalte. Noch ein bisschen Erklärung drumherum, dann wird das schon klappen. Verstehe gar nicht, was Alex da für ein Theater macht. Konnte eh noch nie schreiben, der Typ.

Ende einer Arbeitswoche. Linus traf Alex auf dem Weg aus der Firma. „Du Alex – Du kannst schon mal die Karten kaufen gehen“, triumphtierte Linus. „Das Papier ist so gut wie fertig – nur noch ein paar Ressourcenabstimmungen und Rechtschreibfehler korrigieren – dann wird's weggeschickt.“ – „Haben denn Deine Projektpartner Inhalte geliefert?“ fragte Alex. „Na klar – alles easy: Verifikationsspezifische Leitungstechniken, Spezifikation bei der interaktiven Kommunikation, Sensorsysteme von intelligenten Verbundnetzwerken, ...“ Irgendwie kamen Alex diese Wörter ziemlich bekannt vor. „Vorsicht – Du wärst fast auf eine Ameise getreten“, warnte Alex Linus. „Seit wann interessierst Du Dich für Ameisen?“ fragte Linus. „Och – nur so“, erwiderte Alex – und konnte sich ein schelmisches Grinsen nicht verkneifen.

Neues vom edaAtlas

www.edacentrum.de/edaatlas/



edaAtlas neu im Newsletter positioniert

Mit regelmäßigen Neuigkeiten zum edaAtlas möchten wir auf das EDA-Informationsportal des edacentrum rund um Forschung und Entwicklung aufmerksam machen und Ihnen, den Benutzerinnen und Benutzern, die Anwendung erleichtern.

Ziel des edaAtlas ist es, EDA-Kompetenz und Forschungsergebnisse zu präsentieren und weitere Vernetzung zu stimulieren. Im Atlas werden neben Institutionen, die sich aktiv an der EDA-Forschung beteiligen, auch Informationen zu Publikationen, Prototypen und Projekten dargestellt. Der Industrie bietet sich durch Platzierung ihres Logos an herausgehobener Stelle die Möglichkeit eines Sponsorings für den edaAtlas und den edaKalender.

Die Unterstützung durch die Industrie verhilft der Initiative zu einer herausragenden Stellung und verschafft den Sponsoren gleichzeitig die Aufmerksamkeit im EDA-Netzwerk.

Was war ...

Zur DATE 2006 wurde die verbesserte Version des edaAtlas mit erweitertem Datenbestand und neuer Bedieneroberfläche vorgestellt. Mit diesen Erweiterungen wurde die Grundlage geschaffen, die Vernetzung der wissenschaftlichen EDA-Forschung an einer zentralen Stelle im Internet darzustellen.

Abbildung E.18 zeigt die Entwicklung der Datenbestände im edaAtlas in den vergangenen Quartalen. Dabei stellen die Publikationen zurzeit den Hauptbestandteil (> 50 %) der Daten dar. Bei diesem rasanten Wachstum der Datenbestände ist sicher noch die eine oder andere Korrektur und Erweiterung notwendig. Daher bitten wir, uns auf Fehler, Lücken und Verbesserungsmöglichkeiten hinzuweisen.

Was ist ...

Mit dem Ekompas-Workshop wurden im Mai auch alle bis dato angenommenen Publikationen der laufenden Ekompas-Projekte im edaAtlas erfasst. Dadurch kann

man sich einen Überblick verschaffen, welche Prototypen und Publikationen in den 21 Ekompas-Projekten von ANASTASIA bis VALSE in den vergangenen Jahren entstanden sind. Diese Rubrik ist allerdings nicht auf Ekompas-Projekte limitiert, sondern für alle Projekte mit EDA-Schwerpunkt offen.

Was wird ...

Das edacentrum wird kontinuierlich das Informationsangebot im edaAtlas verbessern. Dazu werden neue Informationen eingepflegt und der Bedienungskomfort des Systems verbessert. Ein wichtiger Schritt wird sein, dass auch Informationen zu einzelnen EDA-Experten und deren Publikationen und Mitarbeit in Projekten dargestellt werden kann. Dazu können sich Experten als Autoren registrieren, eigene Einträge einpflegen und diese mit den vorhandenen Daten vernetzen. Damit wird es den Autoren auch ermöglicht, eigene Publikationslisten darstellen zu lassen. Seien Sie gespannt auf die Entwicklung!

Der edaAtlas erfreut sich wachsender Beliebtheit

Ende 2004 ist der edaAtlas mit einem Überblick über deutsche Forschungseinrichtungen gestartet. Im Laufe des Jahres 2005 wurden die Informationen auf weltweite Forschungseinrichtungen ausgedehnt und im Vorfeld der DATE 2006 publik gemacht. Die im edaAtlas enthaltenen Informationen wurden einerseits vom edacentrum in Publikationsanalysen gewonnen und andererseits direkt von EDA-Experten übermittelt. Die Zugriffstatistik zeigt einen kontinuierlichen Aufwärtstrend (siehe Abb.E.19).

Obwohl die Entwicklung sehr erfreulich ist, werden wir uns nicht ausruhen, sondern den edaAtlas kontinuierlich verbessern. Es gibt noch viel zu tun, sowohl bei Pflege und Erweiterung der Informationen als auch für die vereinfachte Nutzung.

Kontakt:

Dr. Volker Schöber
fon: 0511 762 -19688
schoeber@edacentrum.de

Den edaKalender finden Sie unter
www.edacentrum.de/edaKalender.

Bei Fragen zum Sponsoring
wenden Sie sich bitte an
Dr. Volker Schöber.

Sollten Sie Fehler oder Lücken
entdecken, informieren Sie uns
bitte über
edaatlas@edacentrum.de.

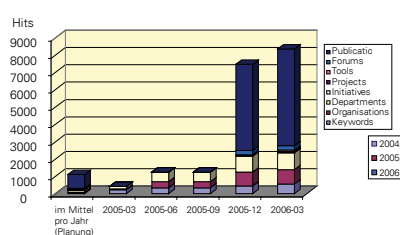


Abbildung E.18

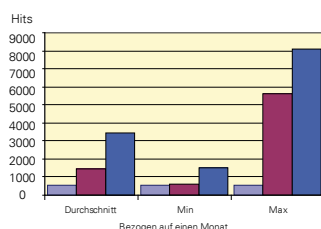


Abbildung E.19

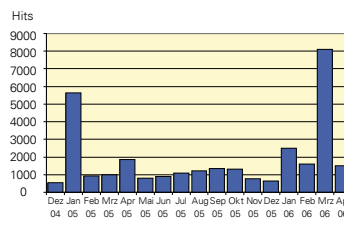


Abbildung E.20

Abbildung E.18:

Kategorisierte, quartalsweise
aufgeschlüsselte Entwicklung
der edaAtlas-Datenbestände seit
1. Quartal 2005

Abbildung E.19:

Gemittelte monatliche Zugriffe
auf den edaAtlas in den Jahren
2004 bis 2006

Abbildung E.20:

Monatliche Zugriffe auf den
edaAtlas von Dezember 2004
bis April 2006

3 Panorama

Meldungen

www.edacentrum.de/newsletter/

Wirtschaft: Wirtschaftswoche, vom 8.6.2006

Aufräumen unter den Chipherstellern

Die Chiphersteller stehen vor einer Trendwende. Bis 2009 werde das Marktwachstum zum Stillstand kommen und mittelfristig werden etwa ein Drittel der derzeitigen Hersteller vom Markt verschwinden, meldet eine aktuelle Studie. Absatzchancen gebe es noch bei Laptops.

Firmen: EE Times.de, vom 22.3.2006

X-Fab übernimmt 1st Silicon

X-Fab Semiconductor Foundries aus Erfurt übernimmt die malaysische Halbleiterfoundry 1st Silicon. Die Erfurter können damit ihre Fertigungskapazität praktisch verdoppeln.

Firmen: Financial Times, vom 3.4.2006

Conti übernimmt Auto-Elektronik von Motorola

Der Automobilzulieferer Continental hat das weltweite Auto-Elektronikgeschäft von Motorola gekauft. Der Kaufpreis beträgt rund 1 Mrd. \$. Conti hatte erst vor kurzem Zukäufe angekündigt, um sich zu stärken.

Firmen: channel-e, vom 6.4.2006

Linear eröffnet Designzentrum in München

Analoganbieter Linear Technology hat in München ein europäisches Designzentrum eingerichtet. Bereits existierende Entwurfszentren unterhält das Unternehmen in den USA und in Singapur.

Firmen: Financial Times, vom 29.5.2006

AMD putzt Standort Dresden heraus

Der US-Chiphersteller AMD baut seine Mikroprozessoren-Produktion in der Stadt aus. Der älteste Teil des Werks soll modernisiert, ein neues Forschungsgelände soll errichtet werden. Ab Ende 2008 sollen mehr und vor allem leistungsfähigere Chips gefertigt werden.

Forschung: Computerwoche, vom 15.2.2006

Neuer Chip: Magnetismus statt Transistoren

Forscher an der US-amerikanischen University of Notre Dame haben erstmal einen funktionsfähigen Prozessor hergestellt, der mit „magnetischen Inseln“ anstelle der herkömmlichen Transistoren arbeitet.

Forschung: Heise Newsticker, vom 20.2.2006

UV-Lithografie für Chipstrukturen mit 29,9 nm

IBM-Wissenschaftler am Almaden-Forschungslabor im kalifornischen San José zeigten, dass mit konventioneller Technik Halbleiterstrukturen mit einem Abstand von 29,9 Nanometer möglich sind.

Forschung: BMBF Pressemitteilung, vom 23.2.2006

6-Milliarden-Initiative stimuliert die Forschung in der Wirtschaft

Die Bundesregierung investiert so viel Geld in Forschung und Entwicklung wie keine Regierung zuvor. Insgesamt zusätzliche 6 Milliarden Euro hat das Kabinett dafür bis zum Jahr 2009 vorgesehen. Das Bundesministerium für Bildung und Forschung (BMBF) wird seinen Anteil von 4 Milliarden Euro in exzellente Forschung und zukunftssträchtige Spitzentechnologien investieren.

Forschung: Berliner Zeitung, vom 22.3.2006

Plastiktransistor zum Ausdrucken

Schnelle elektronische Schaltkreise können demnächst aus einem speziellen Kunststoff hergestellt werden. Das von britischen und US-amerikanischen Forschern entwickelte Polymer leitet Strom ähnlich gut wie amorphes Silizium, aus dem einfache Transistoren bislang gefertigt werden. Die Kunststofftransistoren sollen daher genauso schnell schalten können wie die herkömmlichen Pendants.

Forschung: FAZ.net, vom 29.3.2006

Elektronik: Kühlere Chips

Britische Materialwissenschaftler haben einen Werkstoff entdeckt, der sich stark abkühlt, wenn man eine daran angelegte elektrische Spannung entsprechend variiert. Das Material könnte die lauten und klobigen Ventilatoren ersetzen, die bislang Mikroprozessoren in einem PC kühlen und vor Überhitzung schützen.

Forschung: presstext deutschland, vom 24.4.2006

Flüssig-Laser zum Aufmalen für schnellere Chips

Forscher der Universität von Toronto haben einen neuartigen Laser entwickelt, der als Flüssigkeit auf eine Oberfläche aufgemalt werden kann.

Forschung: presstext austria, vom 28.4.2006

Wissenschaft entwickelt integrierbare Mini-Pumpen

Forscher der Purdue Universität haben eine Mikro Kühllösung entwickelt, die Computer-Chips auf innovative Weise vor dem Überhitzen schützen könnte.

Forschung: wissenschaft.de, vom 6.5.2006

Wie Chips dem Hitzetod entgehen können

Amerikanische Forscher haben eine clevere Methode zur effizienten Kühlung von Computerchips aus Silizium entwickelt.

Forschung: Heise Newsticker, vom 23.5.2006

Analogtechnik für Handys

Ein radikaler neuer Herstellungsansatz könnte den Stromverbrauch von Mobiltelefonen künftig um das 10 bis 100fache reduzieren - und dabei auch noch deutlich Kosten einsparen helfen und die Miniaturisierung vorantreiben.

Markt: Heise Newsticker, vom 28.2.2006

Im Jahr 2005 wurden 816 Millionen Handys verkauft

2005 wurden weltweit 816,6 Millionen Mobiltelefone verkauft – 21 Prozent mehr als im Jahr davor. Dies geht aus der Markterhebung von Gartner hervor.

Markt: In-Stat, vom 8.3.2006

Nearly 3 Billion RFID Tags to be Shipped in China by 2009

RFID technology has arrived in China in an unprecedented manner, with over 100 million tags shipped in 2005, and more than 2.9 billion tags forecast to be shipped by 2009.

Markt: elektroniknet, vom 29.3.2006

Der Markt für analoge ICs: plus 17 Prozent in 2006

2006 wird der Markt für analoge ICs laut Databeans um 17 Prozent auf 37,5 Mrd. Dollar wachsen. Verschiedene Endmärkte von portablen Consumer-Geräten über 3G-Handys und Netzwerk-Upgrades bis hin zu PCs tragen dazu bei.

Markt: channel-e, vom 7.4.2006

iSuppli korrigiert Halbleiter-Prognose 2006 nach oben

Die Situation auf dem Speicher-Markt veranlasst den Marktinformaten iSuppli seine Prognose 2006 für die Halbleiter-Branche nach oben zu korrigieren. iSuppli geht davon aus, dass der weltweite Halbleiter-Umsatz im Jahre 2006 auf 254,7 Mrd. US\$ steigen wird.

Markt: presstext deutschland, vom 11.4.2006

Mobiler WiMAX-Standard soll europäischen Markt ankurbeln

In einer neuen Studie der Unternehmensberatung Frost&Sullivan zum europäischen WiMAX-Markt empfehlen die Analysten interessierten Unternehmen jetzt die schnelle Markteinführung von Netzwerken, um WiMAX als zukunftsweisende Wireless-Technologie zu etablieren.

Markt: EE Times, vom 11.5.2006

Gartner sieht Chipindustrie vor massiver Konsolidierung

Geht es nach dem Marktforschungsinstitut Gartner, so sieht die Zukunft der Halbleiterindustrie rabenschwarz aus. In den nächsten zehn Jahren kommt ein rabiater Ausleseprozess auf die Branche zu.

Markt: channel-e, vom 26.5.2006

Halbleitermarkt in Deutschland im April 2006

Der Umsatz mit Halbleitern in Deutschland lag im April 2006 laut ZVEI – Zentralverband Elektrotechnik- und Elektronikindustrie gleichauf mit dem Vormonat, bei deutlich schwächeren Auftragseingängen. Gegenüber April 2005 betrug das Wachstum 3%.

Markt: presstext.austria, vom 7.6.2006

UMTS-Handys läuten rasanten Chipaufschwung ein

Die anhaltend starke Nachfrage nach Elektronikartikeln wie Handys, MP3-Playern, PCs und Digitalkameras treibt den weltweiten Chipmarkt auf ungeahnte Höhen. Dabei erfreuen sich die Halbleiter eines derart reichenden Absatzes, dass sich nun sogar der Branchenverband SIA <http://www.sia-online.org> gezwungen sieht, seine Prognosen aus dem Spätherbst nach oben zu korrigieren. Nach den neuesten Berechnungen soll der Chipumsatz im laufenden Jahr um 9,8 Prozent auf 249,6 Mrd. Dollar steigen.

Wirtschaft: presstext.austria, vom 25.2.2006

Chipaufschwung nach Plan: China jongliert mit Mrd.

Mit einem umfangreichen Maßnahmeplan will sich China in den kommenden Jahren im Chipbereich zunehmend aus der Abhängigkeit von Technologie-Importen lösen und seine Eigengewächse stärker fördern.

Von unseren Partnern im Ausland

www.edacentrum.de/newsletter/

MEDEA+ Leading Edge Innovations for Europe

Latest innovations in micro/nanoelectronic technologies as well as their exploitation by means of intelligent solutions in applications and systems have proved that EUREKA's cluster MEDEA+ is one of Europe's most powerful programmes in R&D, in keeping the region ahead of competition. The close collaboration of chip manufacturers, their customers as well as equipment suppliers, supported by research institutes and academia, ensures that Europe maintains its global position in a cornerstone industry.

In a series of projects to develop basic fabrication processes for integrated circuits meeting the demands for ever smaller and more highly performing electronic systems, MEDEA+ partners substantially contributed to the 90 nm node (now in mass production), thus paving the way for successful prototyping of 65 nm technology. The 65 nm process has been established with significant yield improvement and reliability meeting specifications and is now ready for the manufacture of prototype customer chips. The chipmaking partners will be sharing their 65 nm cell libraries and IP blocks



Details zu diesem Thema sowie online-Registrierung finden Sie auf der MEDEA+ Webseite www.medeaplus.org

In order to continue innovative projects and successful achievements in R&D, MEDEA+ will launch a new call for submitting project proposals in the last quarter of 2006. The next call will be announced in due course on our website www.medeaplus.org

and are confident about the successful start of the process in full production copying customer's demand. But in order to maintain Europe's lead in CMOS integrated circuit manufacture, MEDEA+ partners are already looking ahead to develop advanced process modules and transistor architectures for the 45 nm node technology in industrial 300 mm wafer fabrication plants. Europe is keen to be able to propose the most advanced logic technologies ahead of the globally predicted roadmap, boosting the position of Europe's chipmakers and their equipment and material suppliers in the world market.

Focused research in the EUREKA MEDEA+ cluster has also ensured a world lead for Europe in next-generation photolithography, a key enabling technology for integrated circuit fabrication. MEDEA+ EUV (Extreme UltraViolet) Lithography projects covered four main elements of the litho process: tools, masks, illumination sources and processing. The recently ended projects have achieved remarkable technological results, showing that Europe's EUV Lithography is now solid number one worldwide, impressing US and Asian competitors and potential customers alike.

A typical success story in the domain of applications are the recent achievements made in Smartcard technology. Smartcards are so-called because of the microprocessor chips embedded in them that can hold and process data. Eleven partner companies from 3 different countries succeeded to deliver the hardware and software to form a basis for open platforms permitting the development of secure value-added services in telecommunications, banking, pay-TV, health and other sectors. Basic technological building blocks to high-speed wireless and contactless protocols were defined as well. The project breakthrough allows the consortium to exploit the card-based e-commerce market, currently estimated at 20 billion euros in Europe. With its wide vertical partnership and global reach, this project has become the flagship for all EUREKA Smartcard projects. (Laaf)



Cont@ct:
Barry Sullivan, Director,
International Engineering Consortium,
fon: 001 312 559 3302,
bsullivan@iec.org



Weitere Informationen über
das EDA Consortium finden Sie
unter www.edac.org.

**Ansprechpartner
zu dieser Rubrik:**

Ralf Popp
fon: 0511 762-19697
popp@edacentrum.de

EDA Consortium Elects New Officers and Board

SAN JOSE, California, June 1, 2006 —The Electronic Design Automation (EDA) Consortium announced that it has elected a nine-member Board of Directors and officers to serve the organization through spring 2008. Aart de Geus, Ph.D., chairman and CEO of Synopsys, Inc., was elected as chairman by the new board. Kathryn Kranen, president and CEO of Jasper Design Automation, and past chairman Walden C. Rhines, chairman and CEO of Mentor Graphics, were elected as vice-chairmen.

In addition to the officers, the elected EDA Consortium Board members include: John Bourgoin, president and CEO, MIPS Technologies; Michael J. Fister, president

and CEO, Cadence Design Systems; John Kibarian, CEO, president and co-founder, PDF Solutions; Alan Naumann, president and CEO, CoWare; Scott Sandler, president and CEO, Novas Software and Sanjay Srivastava, president and CEO, Denali Software.

"I am looking forward to working with my Board colleagues to set the upcoming agenda for the EDAC based on the challenges and opportunities our industry faces in the coming years," stated de Geus. "EDA plays a critical role in the semiconductor value chain, and our customers recognize the importance of EDA to their successful technology development and, ultimately, the bottom line. Collectively, we can advance the industry and make certain we address the growing yield and productivity challenges faced by our customers as they move to meet their own customers' demands."

The new board was elected by the EDA Consortium's general membership at their biannual election meeting on Wednesday, May 31. The new board chairman was elected at a special board meeting held following the election meeting. At the same meeting, the Board also reappointed Robert M. Gardner CFO and Treasurer and Mark White, Partner, White & Lee, LLP, Corporate Secretary. Pamela Parrish continues in her role as Executive Director.

Absage: EuroDesignCon 2006

In the latest issue, we announced that Barry Sullivan, Director at the International Engineering Consortium (IEC), would give an interview concerning Euro DesignCon 2006. Recently, he regretfully announced that the IEC will not produce a Euro DesignCon program in 2006. Therefore, the interview has been cancelled.

The IEC has staged Euro DesignCon in Munich for the past two years as a sister event of the very successful Santa-Clara based DesignCon program. This effort has been an outgrowth of the Consortium's commitment to broaden the access to the DesignCon program for the semiconductor and electronics industry.

While the initiative has succeeded in some ways, in other ways the event fell short of overall industry objectives. Consequently, the IEC will not conduct Euro DesignCon in 2006. Nonetheless, the IEC intends to continue to explore ways to meet their objective of broader access for electronic design engineers and executives to education and professional development provided by the IEC. (Pp)

EDA Industry reports 5 % Revenue Growth in 4th Quarter and 3 % Growth for full Year

Source: EDA Consortium, Market Statistics Service Press Release

The EDA Consortium's Market Statistics Service (MSS) announced that the electronic design automation (EDA) industry revenue for Q4 of 2004 was \$1,253 million, a 5 % increase over Q4 2004. For the full year 2005, revenue totaled a record \$4,575 million, which was 3 % more than \$4,437 million in 2004. "The EDA industry continued to strengthen in the fourth quarter," said Walden C. Rhines, chairman of the EDA Consortium and chairman and CEO of Mentor Graphics Corporation. "Revenues were up in all regions and most product lines."

Highlights

Product and Maintenance revenue (excluding services) increased 5 % over Q4 2004 and posted a record high quarter of \$1,185 million revenue in Q4 2005.

Employment Data

Reporting companies employed 22,832 professionals in Q4 2005, 2 % more than Q4 2004.

Revenue by Product Category

EDA's largest tool category, Computer-Aided Engineering (CAE), generated revenue of \$542 million in Q4 2005, 4 % more than the same period in 2004. CAE revenue at, \$1,925 million for all of 2005, was flat compared to 2004. IC Physical Design & Verification increased 6 % to \$346 million in Q4 2005 over the same quarter in 2004. For the full year 2005, IC Physical Design & Verification revenue totaled \$1,209 million, a 4 % increase over 2004. Revenue for Printed Circuit Board (PCB) and Multi-Chip Module (MCM) Layout totaled \$87 million in Q4 2005, a 4 % decrease over

Q4 2004. PCB and MCM Layout revenue totaled \$342 million for all of 2005, flat compared to 2004. The EDA industry's Semiconductor Intellectual Property (SIP) revenue totaled \$209 million in Q4 2005, 13 % greater than Q4 2004. For 2005, SIP revenue increased by 12 % to \$816 million (vs. \$731 million in 2004). To more completely represent SIP, the market statistics service was expanded beginning in 2005 to include SIP revenue data from publicly available sources. Past quarters were updated in the report so that annual and quarterly comparisons include the publicly available data. EDA Services revenue was \$69 million in Q4 2005, up 2 % from Q4 2004. Services revenue totaled \$282 million in 2005, nearly the same as in 2004.

Revenue by Consuming Region

North America, EDA's largest customer base with 45 % global share, purchased \$569 million of EDA and SIP products and services in Q4 2005, a 5 % increase over Q4 2004. For all of 2005, North American revenue was \$2129, flat compared to 2004. Western Europe in Q4 2005 decreased by 3 % from Q4 2004 to \$272 million. For the full year 2005, revenue from Western Europe was \$872 million, a slight 1 % increase over 2004. Western Europe had a 22 % share of global revenue in 2005. In Q4, revenue from Japan grew 12 % to \$256 million. Japan continued to extend previous years of revenue growth by increasing 10 % to \$1,023 million in 2005 – a new record for the region. EDA sales in Japan constituted 20 % of the global total in 2005. Rest-of-World (ROW) growth increased 12 % in Q4 2005, to \$552 million. Revenue from ROW grew at a rate second only to Japan in 2005, increasing 7 % for the year to \$552 million (13 % of global 2005 revenue).

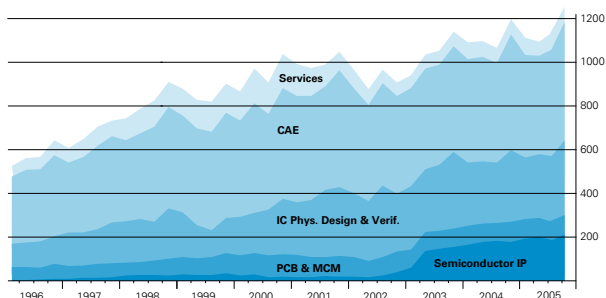


Chart 4.01

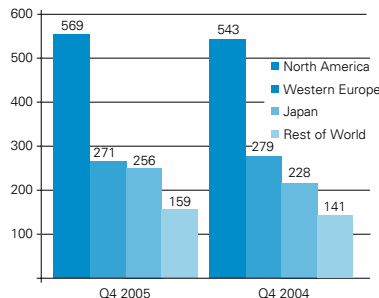


Chart 4.02

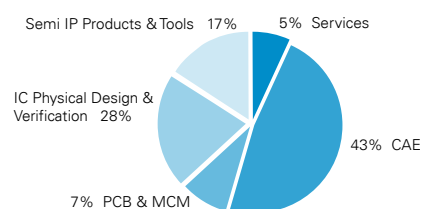


Chart 4.03

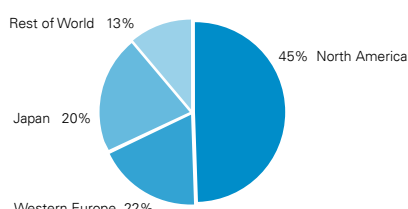


Chart 4.04

Cont@ct:

EDA Consortium
111 West Saint John Street,
Suite 220
San Jose, Calif. 95113, USA
Phone: +1 408-287-3322
Fax: +1 408-283-5283
www.edac.org

Chart 4.01:

EDA and SIP Revenue,
Q1 1996 to Q4 2005
[in Million US-\$]

Chart 4.02:

Total EDA & SIP Revenue
by Geographic Region
[in Million US-\$]

Chart 4.03:

Total EDA & SIP Revenue

Chart 4.04:

Total EDA & SIP
Revenue by Region

5 Mitglieder

Buchankündigung

Buch zu Algorithmen der Layoutsynthese erschienen
Von Jens Lienig

Während der IC-Entwurf mittels moderner Entwurfswerkzeuge Gegenstand jeder Ausbildung auf dem Gebiet der Mikroelektronik ist, wird der Entwicklung bzw. der Modifikation dieser Entwurfsprogramme nur an wenigen Hochschulen Aufmerksamkeit geschenkt. Als Argument führt man oft an, dass die meisten Entwurfswerkzeuge US-amerikanischen Ursprungs sind, deutsche Absolventen an deren Entwicklung also kaum Anteil nehmen. Dabei wird aber vergessen, dass die käuflich zu erwerbenden Entwurfswerkzeuge für den allgemeinen Markt entwickelt werden, sie also oft den konkreten Anforderungen des Käufers – insbesondere in Europa – nicht genügen. Damit sind zur Erfüllung einer bestimmten Entwurfsaufgabe in der Regel noch Veränderungen an den Programmen vorzunehmen, indem z.B. Ergänzungs- und Schnittstellenmodule hinzuzufügen sind. Entwicklungsingenieure elektronischer Baugruppen benötigen damit in der Praxis nicht nur Kenntnisse über die Nutzung von Entwurfsprogrammen; sie müssen auch in der Lage sein, die sich dahinter verbergenden Strukturen und Algorithmen zu erkennen und zu modifizieren. Somit ist es auch für einen IC-Entwerfer sehr hilfreich, das Innenleben, also die zugrunde liegenden Algorithmen, der eingesetzten Entwurfswerkzeuge zu kennen.

Zur Vermittlung derartiger Kenntnisse ist kürzlich ein Lehrbuch erschienen, welches sich detailliert den Strukturen und Vorgehensweisen widmet, die bei Programmen für die Layoutsynthese eingesetzt werden. Ziel dieses Buches ist es, das bereits angesprochene Innenleben von Entwurfssystemen, also die Algorithmen und deren Anwendung, leicht verständlich darzustellen. Zu jedem der wesentlichen Schritte bei der Layoutsynthese (Partitionierung, Floorplanning, Platzierung, Global-, Fein- und Flächenverdrahtung, Kompaktierung) erfolgen in abgeschlossenen, übersichtlichen Kapiteln zuerst eine Problembeschreibung sowie die Vorstellung von Begriffen und Optimierungszielen. Danach wird auf die grundlegenden bzw. bedeutsamsten Algorithmen eingegangen, auf denen Entwurfswerkzeuge für diese Layoutschritte basieren. Neben historisch bekannten Basisalgorithmen, wie den Kernighan-Lin (KL) bzw. Fiduccia-Mattheyses (FM)-Algorithmen bei der Partitionierung oder dem Simulated Annealing bei der Platzierung, werden auch moderne Entwicklungen, wie z.B. oktilineare Steinerbaumgenerierungen zur X-Verdrahtung, angesprochen. Eine große Anzahl von graphischen Darstellungen, Beispielen und Aufgaben dient dabei zur Illustration der algorithmischen Vorgehensweise. Jedes Kapitel schließt zudem mit erprobten Aufgabenstellungen,

die eine Verständnisüberprüfung der wesentlichen Schwerpunkte ermöglichen. Die Lösungen sind dem Buch beigelegt.

Dieses Lehrbuch entstand aus den vielseitigen Erfahrungen des Autors als (Software-) Entwickler von Entwurfsprogrammen in einer kalifornischen EDA-Firma, als Programmanwender in einer großen deutschen Halbleiterfirma und jetzt bei der Vermittlung von Entwurfsalgorithmen in der universitären Ausbildung. Es richtet sich damit gleichermaßen an Studierende der Elektrotechnik/Elektronik und Informatik wie an Entwicklungsingenieure in der industriellen Praxis. Es soll Hochschullehrern als Basismaterial dienen, um die zugegebenermaßen schwierig durchzuführende Ausbildung auf diesem Gebiet zu unterstützen. Die einzelnen Kapitel sind dazu sauber voneinander getrennt und ermöglichen eine punktuelle Einbeziehung in unterschiedliche Ausbildungskonzepte. Zu jedem Kapitel steht ein umfangreicher Foliensatz im Internet bereit (www.ifte.de/lienig/layout), der insbesondere Hochschullehrer bei der Vermittlung derartiger Algorithmen unterstützen soll.

Es bleibt zu hoffen, dass dieses gegenwärtig einzige deutschsprachige Lehrbuch auf dem so wichtigen Gebiet der Algorithmen zur Layout-Entwurfsautomatisierung viele Leser findet.

Abbildung 5.01:

Layoutsynthese elektronischer
Schaltungen –
Grundlegende Algorithmen für
die Entwurfsautomatisierung
Lienig, Jens
2006, 275 S., Springer Verlag
Berlin Heidelberg New York
ISBN: 3-540-29627-1
29,95 EUR

Folien zu den Lehrinhalten,
Inhaltsverzeichnis usw. finden
Sie unter: www.ifte.de/lienig/layout bzw. www.springer.com/3-540-29627-1



Abbildung 5.01

5 Mitglieder

Mitglieder stellen sich vor

www.edacentrum.de/newsletter/



Fraunhofer Verbund
Mikroelektronik



Fraunhofer Institut
Integrierte Schaltungen

Fraunhofer-Institut für Integrierte Schaltungen IIS, Abteilung: IC-Entwicklung – Digitale Systeme

Mitglied seit 12.9.2002

Die Fraunhofer-Gesellschaft zählt mit ihren 58 Instituten an über 40 Standorten in ganz Deutschland zu den führenden Organisationen für anwendungsorientierte Forschung in Europa. Mit seinen mittlerweile 450 Mitarbeiterinnen und Mitarbeitern ist das Fraunhofer-Institut für Integrierte Schaltungen IIS in Erlangen die größte Forschungseinrichtung der Gesellschaft. Für seine Vertragspartner und Auftraggeber entwickelt das Institut mikro- und nanoelektronische Systeme und Geräte sowie die dazu notwendigen integrierten Schaltungen und die Software.

Im Mittelpunkt der Entwicklungsaktivitäten der Abteilung IC-Entwicklung – Digitale Systeme des Fraunhofer-Instituts für Integrierte Schaltungen IIS stehen der Entwurf von »deep sub-micron« Standardzellen-ICs mit Hardware-Beschreibungssprachen (VHDL, SystemVerilog, SystemC) und High-Level-Synthese, IPs (Intellectual Property) und Embedded Software. Ebenso werden Arbeiten für Mixed-Signal-Design und Layout durchgeführt. Hierfür bilden sowohl eine konsequente Anwendungsorientierung als auch der Einsatz modernster Entwurfswerkzeuge und -methoden die Basis für alle Entwicklungsphasen: von der Spezifikation über den Systementwurf bis zu den Daten für die Herstellungsmaske.

Dabei setzt das Fraunhofer IIS auf kommerzielle Werkzeuge für Simulation, Synthese und Layout, arbeitet kontinuierlich an der Verbesserung der Entwurfsab-

läufe und forciert den Einsatz neuer Methoden. Durch die effiziente Zusammenarbeit seiner IC-Designer mit Kollegen aus anderen Abteilungen kann das Fraunhofer IIS eine umfassende System-Modellierung, »Design-for-Reuse« und Real-Time-Prototyping anbieten. Als Forschungs- und Entwicklungspartner verfügt das Fraunhofer IIS über eine langjährige Erfahrung im IC-Entwurf, anwendungsbezogenes Spezialwissen und die Möglichkeit auf eigene IPs zurückzugreifen.

Aufgrund dessen bietet das Fraunhofer IIS seinen Kunden auf dem Markt für Forschungs- und Entwicklungsdienstleistungen nicht nur fundierte Lösungen, sondern auch wissenschaftliche und technische Kompetenzen, die den gesamten Entwicklungsprozess komplexer digitaler Systeme abdecken. Abhängig von den jeweiligen Anforderungen wird das Turnkey Design - von der Spezifikation bis zum fertigen Chip - oder auch nur eine Unterstützung in einzelnen Teilbereichen bzw. Arbeitspaketen angeboten.

Aber auch in den praxisorientierten Trainingskursen des Fraunhofer IIS stecken das Wissen und die Erfahrungen, die aus der täglichen Entwicklungspraxis gewonnen wurden. Die Kurse können auf spezielle Bedürfnisse der Teilnehmer angepasst und sowohl bei Firmen als auch beim Fraunhofer IIS durchgeführt werden. Derzeit stehen die Kurse »Hardwaremodellierung mit SystemC/C++«, »VHDL Sprachtraining« und »SystemVerilog Assertions for Verification« im Trainingsprogramm.

Weitere Informationen finden Sie unter www.iis.fraunhofer.de

Kontakt:

Fraunhofer Institut für
Integrierte Schaltungen IIS
Abteilung IC-Entwicklung -
Digitale Systeme
Claudia Wutz
fon: 09131-776-400
claudia.wutz@iis.fraunhofer.de

Nachrichten von unseren Mitgliedern

www.edacentrum.de/newsletter/



Cadence GmbH

New Initiative Aims to Enable Architectural Innovation and Exploration Leading to More Power-efficient Electronic Devices

Cadence announced the formation of the Power Forward Initiative to address obstacles to lower power IC design facing the electronics industry. Members of the initiative include Advanced Micro Devices; Applied Materials, Inc.; ARM; ATI Technologies Inc.; Cadence Design Systems, Inc.; Freescale Semiconductor; Fujitsu Limited; NEC Electronics Corp.; and Taiwan Semiconductor Manufacturing Company. The Initiative will draw on the expertise of leading technology companies, with the goal of enabling the design and production of more power-efficient electronic devices.

The Power Forward Initiative will link design, verification and implementation to reduce risk and increase predictability in chip power reduction. Members will work to adopt a new automated design infrastructure aimed at reducing chip power consumption. To achieve its goal, the Power Forward Initiative charter calls for, among other things, the refinement and promotion of a new open specification that captures essential design intent for power and links the design, implementation and verification domains. The group aims to begin the industry open standardization process starting in 2007.

Recognizing the need for a broad-based method of specifying power-management design intent across the entire design chain and for ensuring smooth collaboration and high-yield manufacturability, the Initiative members will have access to the first version of the Common Power Format (CPF). This new specification language addresses the limitation in the design automation tool flow by capturing the designer's intent for power management. The Common Power Format enables all design- and technology-related power constraints to be captured in a single file and applies that file across the design flow, providing a consistent reference point for design development and production.

Further information is available
at www.cadence.com

Weitere Informationen bzw.
komplette Presseerklärungen
finden Sie unter:
<http://www.concept.de>



Concept Engineering GmbH

Concept Engineering lizenziert Schaltkreisvisualisierungssoftware an JEDAT

Freiburg, Deutschland / Tokio, Japan, 7. März 2006 – Concept Engineering und JEDAT, die frühere EDA Systems Division von Seiko Instruments Inc. (SII), geben die Unterzeichnung eines weltweiten OEM-Lizenz-Abkommens bekannt. Die visuellen Schaltkreis- und Debugging-Software-Engines NlviewQT Widget und T-engine von Concept Engineering wurden in JEDATs Produktreihe Alpha-SX integriert. Die Nlview Widget Suite stellt eine automatische Schaltkreiserstellungs-, Viewing- und Debugging-Software-Lösung für Entwickler von EDA-Werkzeugen bereit.

Die Integration zusammen mit T-engine ermöglicht, dass die automatisch erstellten Schaltbilder auf Transistorebene an den Alpha-SX Schaltkreis-Editor weitergeleitet werden, wo Entwickler diese in ihrer vertrauten Alpha-SX-Umgebung modifizieren und optimieren können.

Die Kombination von NlviewQT und T-engine in der Alpha-SX Umgebung bietet den Kunden von JEDAT Zugriff auf eine einfach anzuwendende grafische Benutzeroberfläche (GUI), die Bauteile und deren Anbindung sowie kritische Pfade intuitiv darstellt und Entwicklern eine schnelle Visualisierung und Problembeseitigung ermöglicht.

Concept Engineering GmbH

Hierarchischer Schematic Viewer SpiceVision® PRO in Simulator Nascim integriert

Austin, Texas / München, 6. März 2006 – Nascentric gibt bekannt, Nascim™, die nächste Generation von SPICE-genauen hoch-leistungsfähigen Fast-SPICE-Simulatoren, an SpiceVision® PRO von Concept Engineering anzupassen. SpiceVision® ist ein leistungsfähiger, hierarchischer, kundenspezifisierbarer Debugger und Schaltkreis-Browser auf Transistorebene, der einen übersichtlichen und einfachen Einblick in die SPICE-Netzlisten der Schaltungsentwickler ermöglicht. Durch seine Verwendung verkürzt sich neben der Debugging- auch die Entwicklungsdauer. Nascim™, ermöglicht nach Angabe von Nascentric den Designteams die Analyse größerer und komplexerer Schaltkreise bis zu 10-mal schneller als dies vorher möglich war.



Mentor Graphics

Mentor Graphics: Design-Labor an russischer Uni eröffnet

Moskau, April 2006 - Mentor Graphics eröffnet ein Entwicklungslabor am Moscow Institute of Electronic Technology (MIET) in Zelenograd, Russland. Die Universität wird es zur EDA-Ausbildung ihrer Studenten nutzen. Mentor liefert die Soft- und Hardware, das Schulungsmaterial und sorgt für Stipendien. Im September 2006 beginnen dort Seminare zum Thema Leiterplattendesign, HDL-Design und -Verifikation. Geplant sind auch Kurse zum Entwurf von Mixed-Signal-Bausteinen. Mentor Graphics betreibt seit 1985 ein Programm zur Ausbildungsunterstützung an Universitäten und Instituten.



OFFIS – Institut für Informatik

Neues EU-Projekt widmet sich Entwurfsmethoden für heterogene Systeme

Die wachsende Komplexität beim Entwurf eingebetteter Systeme – nicht zuletzt wegen der verschiedenen zu integrierenden Teilsysteme – stellt neue Herausforderungen an Entwickler und Entwurfswerkzeuge. Mit dem Ziel, diesen Anforderungen durch effiziente Entwurfsmethoden begegnen zu können, startet zum 1. Juni das von der EU geförderte Projekt ANDRES - „ANalysis and Design of run-time Reconfigurable, heterogeneous Embedded Systems“. Die technische Herausforderung in ANDRES liegt zum einen in der Entwicklung eines geeigneten Modellierungs- und Analyse-Frameworks für heterogene, dynamisch veränderliche Systeme. Eine weitere Aufgabe ist zum anderen die Erforschung und Implementierung von Konzepten zur Entwurfsautomation für dynamisch rekonfigurierbare Hardware-Komponenten.

In dem europäischen Konsortium agiert OFFIS als Forschungspartner und Projektkoordinator. Zwei internationale Industriepartner, Thales Communication (Frankreich) und DS2 (Spanien), definieren die Anforderungen und bewerten die Ergebnisse mit Blick auf unterschiedliche industrielle Anwendungsgebiete. Neben OFFIS sind die TU Wien, die KTH in Stockholm und die Universität von Cantabria (Spanien) für die Forschungs- und Entwicklungsarbeiten verantwortlich. Das Projekt mit einem Gesamtbudget von 2.9 Mio. Euro wird von der Europäischen Union über 3 Jahre gefördert.



OFFIS – Institut für Informatik

Forschung und Innovation im Bereich Low-Power Chip-Entwurf

„Forschung & Innovation“ ist das Leitmotiv des von der EU initiierten Förderinstruments CRAFT für die Kooperationsforschung von Forschungseinrichtungen mit kleinen und mittelständischen Unternehmen. Seit Anfang der 90er Jahre erforscht das OFFIS Methoden für die immer dringender werdende Notwendigkeit der Senkung des Energieverbrauchs von elektronischen Geräten. Ganz im Sinne von Innovation wurde auf Basis der Forschungsergebnisse das Werkzeug ORINOCO® für den Chip-Entwurf geschaffen, welches zu einem OFFIS-Spin-Off, der ChipVision Design Systems AG, führte.

In dem gerade anlaufenden und von OFFIS koordinierten EU-CRAFT-Projekt MAP2 wird OFFIS nun zusammen mit der ChipVision AG Methoden und Algorithmen für ein Power Management auf Micro-Architektur-Ebene im Chip-Entwurf entwickeln. Gemeinsam mit den weiteren Partnern, Politecnico di Torino und BullDAST s.r.l. aus Italien, sowie CSEM aus der Schweiz, werden in MAP2 geeignete Methoden zur automatischen Integration von Power-Management-Mechanismen untersucht und in den Low-Power Entwurfsprozess integriert.



OneSpin Solutions GmbH

OneSpin Solutions Enters EDA Market with Breakthrough Formal Verification Solution

MUNICH, Germany – May 8, 2006 - OneSpin Solutions GmbH entered the Electronic Design Automation (EDA) market with a verification solution that has been proven in the field to detect all functional errors in complex digital modules and intellectual property (IP), enabling true functional sign-off.

Based on more than 250 engineer-years of formal verification technology development at Infineon and Siemens, this new automated, static formal verification solution – OneSpin 360™ Module Verifier (360 MV) – delivers the highest quality of results (QoR) that today's functional verification can achieve, while dramatically reducing time to results (TtR) and cost of results (CoR). Verifying peripherals, processors, and processor-based subsystems of up to a few hundred thousand lines of code, 360 MV can save millions of dollars in respin costs and increase revenues by speeding time-to-market.

Weitere Informationen finden Sie unter http://www.mentor.com/company/news/moscow_university_lab.cfm.

Kont@kt (OFFIS):
Dr. Jens-E. Appell
fon: 0441-9722-235
jens.appell@offis.de

For further information please visit <http://www.onespin-solutions.com/> or email info@onespin-solutions.com

Weitere Informationen finden
Sie unter:
<http://www.silicon-saxony.de>

Kontakt:
Dr. Wolfgang Herrmann
Silicon Saxony e.V.
fon: 0351-8925-887
herrmann@silicon-saxony.net

According to Alexander Haggenmiller, Director Intellectual Property and Re-Use at the Communication Solutions business group at Infineon Technologies, "Using OneSpin technology, we fully verified the PPv2 protocol processor, including its advanced context switching, which is a central IP component of our communication applications. This verification approach assured that the complete functionality of the PPv2 was covered and bug escape routes blocked. Moreover, the total verification effort was about 40% less than that in a previous, simulation-based project."

The 360 MV solution enables verification engineers to verify functional compliance between the transaction and register transfer (RT) levels to produce the extreme quality needed for risk-free reuse of IP components, especially processor cores. Its rigorous, automatically checked termination criterion eliminates the time-consuming and expensive regression testing that merely estimates achieved quality levels. The combined QoR, TtR and CoR advantages of 360 MV make it ideal for in-house and third-party IP providers for System-on-Chip (SoC) designs. Using IP verified with OneSpin's "true functional sign-off" methodology, SoC design teams can proceed to chip integration and chip-level functional simulation knowing that the individual modules operate free of functional errors.

The 360 MV solution uses proprietary algorithms to detect errors that even the most advanced simulation-based approaches miss – unstimulated, overlooked or falsely accepted errors. It systematically blocks all these error escape routes inherent in simulation. The 360 MV methodology leapfrogs coverage-based bug-hunting approaches – used by both simulation and other formal tools – in which design teams never can be certain what quality level has been achieved. It determines beyond doubt that verification is completed.

OneSpin's technology has achieved verification productivity ranging from 2,000 to 4,000 lines of fully verified RTL code per engineer-month in hundreds of successful module verification projects. The lean, highly portable 360 MV infrastructure requires no expensive simulation environments with their plethora of interacting verification tools, and no costly hardware such as compute farms, accelerators or emulators.

Further, it requires no change to established design flows, and smoothly integrates into chip-level functional simulation.



Silicon Saxony e.V

Workshop „Materialien der Mikroelektronik“

Am 14.6.2006 findet im Westin Bellevue in Dresden ein halbtägiger, kostenloser Workshop zum Thema „Materialien der Mikroelektronik“ statt. Der Workshop wird mit Unterstützung der BASF Electronic Materials GmbH durchgeführt. Die Veranstaltung dient der Information über wichtige Materialfragen im Bereich Elektronik und Mikroelektronik. Die Themen konzentrieren sich insbesondere auf

- » Neue Trends und Forschungsergebnisse
- » Anforderungen an Materialien
- » Qualitätssicherung und Prüfung
- » Kosteneffizienz in der Fertigung

Dieser Workshop soll Auftakt einer neuen Veranstaltungsreihe werden, die dem breiten Interesse der Mitgliedsunternehmen an dem Thema Material gerecht wird.

Silicon Saxony bietet allen Unternehmen an, bei der Veranstaltung auch Ihre Produkte und Leistungen in einer kleinen Ausstellung zu präsentieren. Dafür wird jeweils ein Ausstellungstisch zur Verfügung gestellt. Die Kosten für die Ausstellung betragen 100 € - die Teilnahme an der Veranstaltung ist kostenlos.



Silicon Saxony e.V

edacentrum Aussteller auf dem 1. Silicon Saxony Tag

Seit einem knappen halben Jahr ist das edacentrum Kooperationspartner im Silicon Saxony e.V. Am 2. März 2006 trafen sich in Dresden zum ersten Silicon Saxony Tag 230 Teilnehmer aus 115 Unternehmen der Halbleiter-Branche. In einer Ausstellung, in der sich fast 100 Firmen präsentierten, wurde die konzentrierte Mikroelektronik-Kompetenz im Netzwerk des Silicon Saxony deutlich. In 60 Fachvorträgen stellten die Experten neue Produkte und technologische Trends auf den Gebieten Design, Fotomasken, Waferprozess, Test und Packaging sowie Mikrosystemtechnik vor. Stark vertreten waren auch die Zulieferer für Material, Equipment, Software und Engineering.

Mit dem Silicon Saxony Tag wurde den Mitgliedsunternehmen von Silicon Saxony die Gelegenheit gegeben, sich gegenseitig zu präsentieren und so besser kennen zu lernen. Immerhin sind im Netzwerk bereits über 205 Firmen vertreten. Ziel der Veranstaltung war es, von den technischen Leistungen der Partner mehr zu erfahren und dadurch die Zusammenarbeit zwischen den Firmen weiter zu entwickeln. Diese Form einer Mitgliederveranstaltung wird zukünftig auch helfen, das europäische Netz der Mikroelektronik-Industrie enger zu knüpfen.

Während des Tages kam öfter die These auf: „Das Schwierigste bei der gesamten Chipentwicklung ist die Erstellung der Maske“ – das sehen die Entwickler von EDA-Software natürlich ganz anders. So präsentierte das edacentrum das EDA-Netzwerk im Rahmen der Ausstellung und wies auf die Schwierigkeiten beim Chipentwurf hin. Das Dilemma ist, dass meist die EDA-Entwickler zu wenig von der Technologie, und die Technologen zu wenig von EDA verstehen. So wurde mit dem Silicon Saxony e.V. vereinbart, einen Arbeitskreis zu bilden oder einen Workshop abzuhalten, bei dem die Chipdesigner mit den Herstellern diskutieren können. Ziel soll es sein, sich gegenseitig besser zu verstehen. Das soll durch die Zusammenarbeit des edacentrum-Netzwerkes mit dem von Silicon Saxony erreicht werden. (Tr)



Synopsys GmbH

Synopsys hilft Halbleiterherstellern bei der Bewältigung von Design und Prüfproblemen

25. April 2006 - Die im Rahmen der Arbeitsgruppe FAT-AK30 des Verbands der deutschen Automobilindustrie (VDA) verfügbaren VHDL-AMS-Modelle für den Betrieb im Saber®-Simulator wurden von Synopsys qualifiziert, um von OEMs und Zulieferern der Automobilbranche eingesetzt zu werden. Design-Teams erhalten dadurch die Möglichkeit, mit der VHDL-AMS-Sprache weiter zu arbeiten und gleichzeitig ihre bisherigen Investitionen in Modelle auf Basis der MAST®-Sprache zu schützen. MAST ist gegenwärtig der De-facto-Modellierungsstandard der Branche.

19. April 2006 - Agere setzt künftig die Galaxy™ Design und Discovery™ Verifikationsplattformen von Synopsys für die Implementierung und Verifikation standardmäßig in seinen digitalen Design-Flows ein, unter anderem auf der Basis hoch entwickelter Prozesse mit 65 nm und darunter.

29. März 2006 - Die NVIDIA Corporation hat die DFT MAX Testsynthese von Synopsys mit Adaptive-Scan-Technologie für seine neue Grafikprozessor-Generation ausgewählt. Eine Senkung der Testkosten bei gleichzeitiger Steigerung der Testqualität war ein Haupt-Beweggrund für die Entscheidung zugunsten von DFT MAX. Das bereits in mehreren Designprojekten mit 130, 90 und 65 nm bewährte DFT MAX führt zu einer vorher-sagbaren Einsparung der Testkosten in einer einfach anzuwendenden Synthese-Lösung.

Synopsys GmbH

Synopsys untermauert seine Führungsstellung bei SystemVerilog

20. März 2006 – In den Design und Verifikationsprodukten von Synopsys wird künftig die SystemVerilog-Sprache unterstützt. Dadurch wird der Vorsprung des Unternehmens auf dem SystemVerilog-Sektor weiter ausgebaut. Ebenso hat Synopsys bekannt gegeben, seine VCS® Verification Library, die DesignWare® Verifikations-Intellectual Property (VIP) enthält, biete als erste Lösung ihrer Art Unterstützung für mit IEEE System-Verilog erstellte Testbenches und die im Verification Methodology Manual (VMM) for System-Verilog beschriebene Coverage-getriebene Methodik. Design- und Verifikations-Ingenieure können jetzt von der höheren Geschwindigkeit und Produktivität und der verbesserten Vorhersagbarkeit von SystemVerilog, der einzigen Elektronik-Design und Verifikationssprache der Branche, profitieren.

Weitere Informationen finden Sie unter www.synopsys.com



TRIAS Mikroelektronik GmbH

QuestaSim von Mentor Graphics mit AVM Verifikationsmethodik optimiert die Verifikation

Krefeld, Mai 2006 - Die Verifikation von SoC-Designs wird mit kleiner werdenden Strukturgrößen der ASIC- und FPGA-Technologien immer aufwändiger. Heutige Verifikationsmethoden, die sich im Wesentlichen darauf konzentrieren, für jede implementierte Funktionalität ein Testszenario zu erstellen, sind schon heute zur Verifikation solcher Komplexitäten nicht mehr geeignet. Der Grund liegt darin, dass die Anzahl der Testcases mit der Funktionalität zunimmt und für deren Erstellung und Debugging immer mehr Zeit und Ressourcen benötigt werden. Zudem ist die Aufteilung der Testcases mit steigender Anzahl immer schwieriger, so dass viele Testcases teilweise die Verifikation derselben Funktionalität abdecken.

Daher liegt die Lösung des heutigen Verifikationsproblems nicht allein in der Steigerung der Simulationsperformance. Es haben sich in den letzten Jahren neue Ansätze gezeigt, die diese Problematik adressieren: Constraint-Random-Data-Generation, Coverage-Driven-Verification, Assertion-Based-Verification und Transaction-Level-Modeling sind Methoden, die von

Standardsprachen wie SystemVerilog, PSL oder SystemC unterstützt werden.

Diese Mechanismen erlauben es, Testbenches zu erstellen, die Stimuli mit Zufallsgeneratoren und eingeschränktem Wertebereich erzeugen. Mit Hilfe solcher Stimuli lassen sich auch Corner-Cases finden, die vom Verifikationsexperten wegen der Komplexität nicht vorhergesehen werden können. Im Design eingebettete Assertions helfen bei der Fehlerlokalisierung, so dass die Zeit zum Finden eines Designfehlers erheblich sinkt. Funktionale Coverage-Metriken erlauben es, eine Gesamt-Coverage-Rate des Designs zu messen, so dass jederzeit nachprüfbar ist, welche Funktionalität wie verifiziert ist und wie groß der Fortschritt der Gesamtverifikation ist. So erhält man erstmals ein messbares Kriterium für die Vollständigkeit der Verifikation. Eine weitere Steigerung der Effizienz und der Wiederverwertbarkeit ergibt sich, wenn Testbenches auf Transaction-Level erstellt werden. Hierbei ist das Interface zu dem Device-under-Test (DUT) nicht mehr auf Pin-Level, sondern auf abstraktem Transaction-Level formuliert. Ein komplexer Buszugriff zum Beispiel wird dann durch ein Kommando initiiert, welches durch Treibermodule in den eigentlichen Pin-Stimulus umgesetzt

Kontakt (TRIAS):
Klaus Steinheuer
klaus.steinheuer@trias-mikro.de
www.trias-mikro.de



AMD
www.amd.de



Cadence Design Systems
www.cadence-europe.com



Doulos Ltd.
www.doulos.com



Ansoft GmbH und Co. KG
www.ansoft.com



Catena Software GmbH
www.catena-ffo.de



FHG Verbund Mikroelektronik
www.vue.fhg.de



Apax Partners Beteiligungsberatung
www.apax.com/de



ChipVision Design Systems AG
www.chipvision.com



FZI - Forschungszentrum Informatik
www.fzi.de



Atmel Germany GmbH
www.atmel.com



Concept Engineering GmbH
www.concept.de



IBM Deutschland Entwicklung GmbH
www.ibm.com/de/entwicklung



Robert Bosch GmbH
www.bosch.de



CST - Computer Simulation Technology
www.cst.com



IMMS gGmbH
www.imms.de

wird. Ebenso werden die Antworten des DUT durch einen Monitor in den Transaction-Level umgesetzt und die Transaktionen zur Testbench weitergeleitet, die diese Transaktionen dann auswertet.

Mentor Graphics stellt mit der Verifikationsumgebung QuestaSim ein Werkzeug zur Verfügung, das die Standardsprachen SystemVerilog, SystemC und PSL neben VHDL und Verilog unterstützt und somit die Voraussetzung erfüllt, diese genannten Verifikationsmethoden anzuwenden. Gleichzeitig wird mit der Open Source-Verifikationsbibliothek AVM 2.0 eine Testbenchumgebung zur Verfügung gestellt, die es dem Benutzer erlaubt, aus einer Menge von Grundkomponenten in kurzer Zeit eine wieder verwertbare SystemVerilog-Testbench zu erstellen. Gleichzeitig verbessert die Verwendung von Transaktionen die Kommunikation innerhalb eines Projektes zwischen den verschiedenen Disziplinen wie Software-Entwickler, SoC-Architekten, Verifikations-Ingenieuren und Hardware-Designern. Somit steht eine auf den Standardsprachen SystemC und SystemVerilog basierende Methodik zur Verfügung, die maximale Wiederverwendbarkeit, Produktivität und Zusammenarbeit der verschiedenen in einem SoC-Projekt zusammenarbeitenden Disziplinen ermöglicht.

Universität Hannover 

Universität Hannover

Das Institut für Mikroelektronische Systeme der Universität Hannover unterstützt Schüler als Chip-designer

5. Mai 2006 – Weltweit einmalig, extrem spannend und wirklich knifflig – beim Schülerwettbewerb INVENT a CHIP sind Wissen, Können und Kreativität gefragt. Die Aktion wird in diesem Jahr erstmals vom VDE gemeinsam mit dem Bundesministerium für Bildung und Forschung (BMBF) durchgeführt und geht jetzt in die entscheidende Praxisphase. Mehr als 1.200 Schülerinnen und Schüler haben in diesem Jahr teilgenommen, 200 von ihnen sandten neben der Beantwortung eines umfangreichen Fragebogens zur Mikro- und Nanoelektronik ihre Ideen für eigene Mikrochips ein.

3.000 weiterführende und berufsbildende Schulen waren aufgerufen, am Wettbewerb teilzunehmen. Die Resonanz der Jugendlichen aus den Jahrgangsstufen 9 bis 13 zeigt die große Faszination, die die Zukunftstechnologien ausüben. „Die Elektronik ist der zentrale Innovationsmotor für Deutschland. Wir möchten mit dieser Aktion ein deutliches Zeichen für den Fortschritt setzen und junge Menschen für Technologien und die damit verbundenen beruflichen Möglichkeiten begeistern.“



IMST GmbH
www.imst.de



Magma Design Automation GmbH
www.magma-da.com



Nokia GmbH
www.nokia.de



Infineon Technologies AG
www.infineon.com



MatrixOne GmbH
www.matrixone.com



OFFIS
www.offis.de



Institut für angew. Funksystemtechnik
www.iaf-bs.de



Melexis GmbH
www.melexis.com



OneSpin Solutions GmbH
www.onespin-solutions.com



ITIS e.V. - Universität der Bundeswehr
www.itis-ev.de



Mentor Graphics GmbH
www.mentor.com/german



Philips Semiconductors GmbH
www.philips.de



Lucent Technologies Network Systems
www.lucent.de



MunEDA GmbH
www.muneda.com



Pro Design Electronic&CAD-Layout GmbH
www.prodesigncad.com

Weitere Informationen zu Invent a chip finden Sie unter www.invent-a-chip.de

Kont@kt:

Prof. Dr. Erich Barke
Universität Hannover
IMS
barke@ims.uni-hannover.de

tern“, erklärte Ministerialdirigent Dr. Wolf-Dieter Lukas vom BMBF.

Zehn Teams hatten die erste Hürde genommen und wurden vom 5. bis 7. Mai in einem Workshop am Institut für Mikroelektronische Systeme der Universität Hannover in allen Fragen des modernen Chipdesigns fit gemacht. Dort standen ihnen Profis zur Seite, die in den Wettbewerben der vergangenen fünf Jahre interessante Chipentwürfe begleiteten: Ein Warnsystem gegen den tückischen Sekundenschlaf am Steuer beispielsweise, eine aufwändige Passwortverschlüsselung oder intelligente Heizungs- und Haussteuerungen. Prof. Dr.-Ing. Erich Barke, Leiter des Institutes und Präsident der Universität Hannover: „Wir sind begeistert vom Erfindergeist der Jugendlichen, die uns immer wieder aufs neue überraschen. Es ist erstaunlich, wie aktiv sie ihre Ideen schließlich umsetzen, um am Ende einen eigenen Mikrochip in Händen zu halten.“

In Hardware realisiert und mit moderner Silizium-Technologie produziert werden im Herbst die drei besten Entwürfe des Workshops der Öffentlichkeit präsentiert. Vom 23. bis 25. Oktober stellen die Sieger ihre

Mikrochips in Aachen während des VDE-Kongresses „Innovations for Europe“ 1.500 Experten aus dem In- und Ausland vor. Bis dahin wartet noch viel Arbeit auf die jungen Erfinder. Sie werden programmieren und an ihren Entwürfen tüfteln. Mit ihren Betreuern und Mitstreitern können sie sich in den nächsten Monaten nach dem Workshop weiterhin in einem Internetforum austauschen.

Im fünften Jahr der Aktion hat INVENT a CHIP ein großes Feld aktiver Förderer gefunden, die daran interessiert sind, junge Menschen fit für die technologische Zukunft zu machen. Zum großen Kreis der Sponsoren gehören AMD, Atmel, Bosch, Cadence, IBM, Infineon, Mentor Graphics, Nokia, Philips, Siemens, Viscom, Synopsys, X-Fab, Xilinx und das VDE-Institut.



RWTH Aachen
www.rwth-aachen.de



TU Kaiserslautern
www.tu-kaiserslautern.de



Universität Freiburg
www.uni-freiburg.de



Synopsys GmbH
www.synopsys.com



TU München
www.lis.ei.tum.de



Universität Hannover
www.uni-hannover.de



TU Darmstadt - FB Informatik
www.iss.tu-darmstadt.de



TRIAS Mikroelektronik GmbH
www.trias-mikro.de



Universität Hildesheim
www.dwm.uni-hildesheim.de



TU Dresden
www.tu-dresden.de



Universität Bremen
www.uni-bremen.de



Universität Tübingen
www.informatik.uni-tuebingen.de



TU Ilmenau
www.tu-ilmenau.de



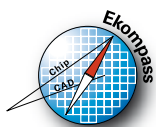
Universität Frankfurt
www.uni-frankfurt.de

Ausblick auf die kommende Ausgabe 03 2006,
die voraussichtlich am 21. September 2006 erscheinen wird:



Projektbericht

Das EDA-Clusterforschung-Projekt FEST (Funktionale Verifikation von Systemen) wird ausführlich über seinen derzeitigen Status berichten.



Nachlese Ekompass-Workshop 2006, Teil 2

Zusammenfassungen der eingeladenen Vorträge auf dem Ekompass-Workshop von Reinhard Ploss, Paolo Lugli und Christoph Grimm.
Ausführliche Informationen zum Ekompass-Workshop Nachfolger „edaWorkshop 2007“.



edaAtlas

Der edaAtlas ist kein Buch mit sieben Siegeln – eine Bedienungsanleitung.



Projektmanagement

Die Geschichte von Bill und Alex und ihrem Projekt wird fortgesetzt.



eDesign 2006

Neues vom Forschungsthemenpapier



Rückschau auf die Erfolgsgeschichte

Das edacentrum feiert sein fünfjähriges Bestehen.



EDA Consortium
www.edac.org



PRismaPR
www.prismapr.de



Silicon Intergration Initiative Si2
www.si2.org



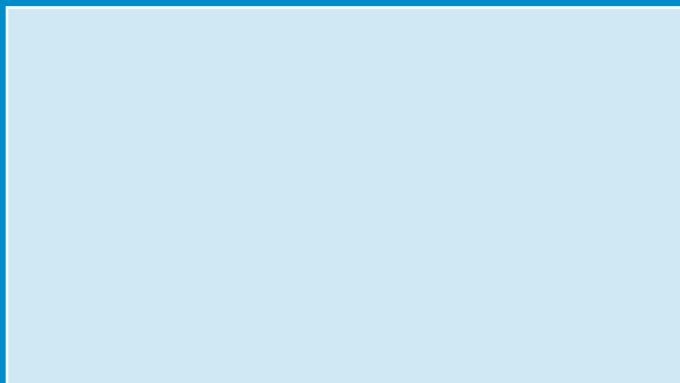
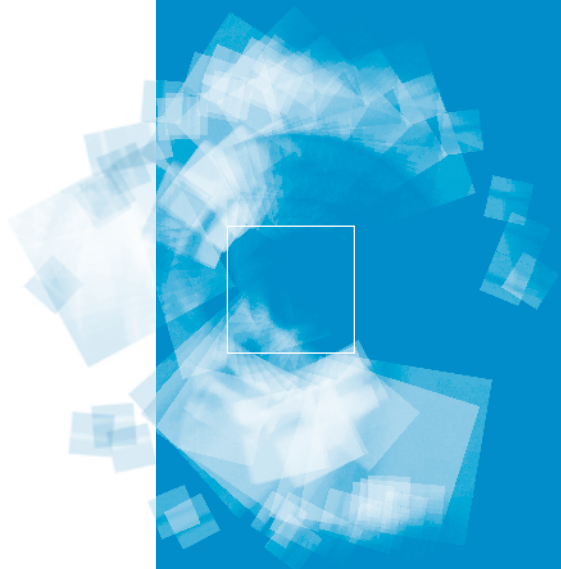
Silicon Saxony e.V.
www.silicon-saxony.net

Kooperationspartner

Sie sind noch nicht Mitglied im edacentrum, ?

... möchten aber nicht auf den „newsletter edacentrum“ verzichten ? Dann können Sie den „newsletter edacentrum“ für 40 € jährlich (4 Ausgaben) inkl. Porto beim edacentrum bestellen. Oder werden Sie Mitglied im edacentrum e.V. und profitieren Sie zusätzlich von den exklusiven Vorteilen, die eine Mitgliedschaft bietet: Erweitertes Informationsangebot im Internet, EDA-Atlas, technische Analysen und Marktanalysen, Roadmaps (inkl. Erstellung), Unterstützung bei der Standardisierung, Öffentlichkeitsarbeit im Bereich EDA für Firmen und Forschungseinrichtungen, Einbringen eigener Anforderungen in die EDA-Forschung, Kontakte zu Kompetenzzentren für EDA-Clusterforschung, Vergünstigungen bei Veranstaltungen des edacentrum (edaForum, Workshops, EDA-Kolloquium...), Erfahrungsaustausch mit anderen EDA-Anwendern, uvm.

www.edacentrum.de/mitgliedschaft.html



Ansprechpartner im edacentrum



Prof. Dr. Wolfgang **Rosenstiel** | Vorstand
fon 07071 297 54 82, (Ro)
rosenstiel@edacentrum.de



Prof. Dr. Erich **Barke** | Vorstand
fon 0511 762-19698, (Ba)
barke@edacentrum.de



Dr. Jürgen **Haase** | Vorstand
fon 0511 762-19698, (Haa)
haase@edacentrum.de



Dr. Cordula **Hansen** | Koordination (Leitung)
fon 0711 2807956, (CH)
hansen@edacentrum.de



Dipl.-Inf. Kurt **Liebermann** | Consulting
fon 0511 762-19688, (KL)
liebermann@edacentrum.de



Dipl.-Des. Niklas **Möller** | Öffentlichkeitsarbeit
fon 0511 762-19687, (NM)
moeller@edacentrum.de



Dipl.-Ing. Ralf **Popp** | Öffentlichkeitsarbeit (Leitung)
fon 0511 762-19697, (Pp)
popp@edacentrum.de



Dr. Volker **Schöber** | EDA-Clusterforschung (Leitung)
fon 0511 762-19688, (VS)
schoeber@edacentrum.de



Maren **Sperber** | Sekretariat
fon 0511 762-19699, (Sp)
sperber@edacentrum.de



Dr. Dieter **Treytnar** | Öffentlichkeitsarbeit
fon 0511 762-19687, (Tr)
treytnar@edacentrum.de



Dr. Andreas **Vörg** | Koordination, Consulting
fon 0511 762-19686, (AV)
voerg@edacentrum.de

Impressum

Herausgeber

edacentrum e.V.
Schneiderberg 32
30167 Hannover
fon 0511 762-19699
fax 0511 762-19695
www.edacentrum.de
info@edacentrum.de

Redaktion

Ralf Popp (V.i.S.d.P.)
newsletter@edacentrum.de

Autoren

Appell, Grabinski, Grabowski, Grimm, Laaf, Lienig, Olbrich, edacentrum, Cadence, EDA Consortium, FhG IIS, Mentor, OFFIS, OneSpin Solutions, Silicon Saxony, Synopsys, Trias, Universität Hannover.

Wir bedanken uns herzlich bei allen Autoren und denen, die bei der Erstellung des Newsletters geholfen haben.

Satz, Grafik und Druck

N. Möller, M. Hoinkis & D. Paul
Druckhaus Köthen GmbH, Köthen S.-A.

Fotos

N. Möller (Titelseite), R. Popp, V. Schöber

Ausgabe

Der newsletter **edacentrum 02 2006**
ist erschienen am 21. Juni 2006, Auflage: 800 Exemplare

Redaktionsschluß

Der nächste Newsletter erscheint im September 2006,
Redaktionsschluss ist am 21. August 2006.

Alle im „newsletter edacentrum“ abgedruckten Beiträge sind urheberrechtlich geschützt. Alle Rechte, auch Übersetzungen, sind vorbehalten. Reproduktionen, gleich welcher Art (Mikrofilm, Fotokopie oder Erfassung in Datenverarbeitungsanlagen), nur mit schriftlicher Genehmigung des Herausgebers.
Für den Fall, dass im „newsletter edacentrum“ unzutreffende Informationen enthalten sein sollten, kommt eine Haftung nur bei grober Fahrlässigkeit in Betracht.