



urn:nbn:de:hepnet:1-10000-10000-1

Projektspiegel

VALSE - Hochautomatisierte, zertifizierende und skalierende Validierung von „System-on-Chip“ Entwürfen

Panorama

Sechstes Forschungsrahmenprogramm der EU

Marktbeobachtung

EDA Industrie meldet Umsätze von 962 Millionen Dollar im ersten Quartal 2002

Geleitwort

Liebe Leser,
 in Ihren Händen halten Sie das erste Exemplar des edacentrum-Newsletters, der Sie ab sofort regelmäßig über Neuigkeiten im Bereich EDA informieren wird und Ihnen eine Plattform zum Informationsaustausch mit anderen Mitgliedern bietet. Sie bekommen Informationen über das EkompasS-Programm und seine Projekte, Marktübersichten, Veranstaltungshinweise und Berichte über das edacentrum und seine Aktivitäten.

Die Automatisierung des Entwurfs wird zukünftig der Schlüssel zur Mikroelektronik und damit zu den Systemen der Zukunft sein. Keine Firma wird allerdings in der Lage sein, die erforderlichen Methoden und Werkzeuge allein zu entwickeln. Ein wesentliches Merkmal bei allen EDA-Projekten ist deshalb sowohl die wirkungsvolle Zusammenarbeit von Mikroelektronik-industrie, EDA-Firmen und Forschungsinstituten, als auch ein verbesserter Ergebnistransfer mit einem klaren Verwertungskonzept. Hierzu wurde vor ca. einem Jahr das edacentrum e.V. auf Initiative der Firmen Atmel, Bosch, Infineon, Nokia und Philips gegründet, in diesem Jahr hat es seinen aktiven Betrieb aufgenommen.

Inzwischen hat der Verein bereits 26 Mitglieder; dies und die Zahl von 9 laufenden EDA-Förderprojekten nach so kurzer Zeit sprechen für den Erfolg des edacentrum. Schon heute umfassen diese Projekte Problemfelder von der Spezifikation über den Entwurf bis hin zur Verifikation und dem Test höchstintegrierter analoger und digitaler Schaltungen. Weitere wichtige Projekte sind in Vorbereitung.

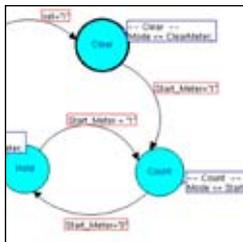
Von den angelaufenen Aktivitäten des edacentrum sollen neben der Beratung von Projektkonsortien und der Koordination der laufenden Projekte hier nur einige stellvertretend genannt werden. Im März 2002 stellte sich das edacentrum auf der DATE in Paris erstmals der breiten Öffentlichkeit vor, bereits im April wurde der erste EkompasS-Workshop für den intensiven fachlichen Austausch mit mehr als 100 Teilnehmern in Bonn veranstaltet. Die Standardisierungsaktivitäten und die Vorbereitung des ersten Basisforschungsprojekts haben begonnen, am 05./06.12.2002 wird in Hannover das erste EDA-Forum die Entscheider der Firmen über EDA informieren.

Getragen von der gesamten Mikroelektronik-industrie in Deutschland und in der Anfangsphase unterstützt durch das BMBF soll das edacentrum die Forschung und Entwicklung von EDA-Werkzeugen und -Verfahren in Deutschland forcieren und damit einen aktiven Beitrag zur Stärkung dieses Industriezweiges leisten. Mit dieser Initiative werden durch den Fokus EDA nicht nur die Arbeitsplätze in diesen Bereichen gesichert, sondern auch neue geschaffen.

Ich wünsche dem edacentrum bei allen seinen Aktivitäten zur Erreichung dieser Ziele im Namen des Aufsichtsrats weiterhin viel Erfolg!



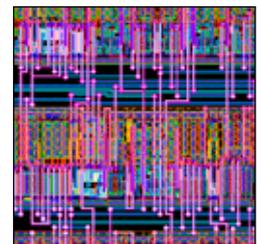
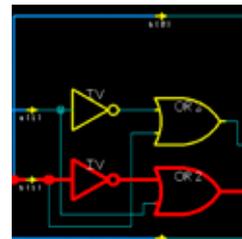
Dr. rer. nat. Franz Neppi
 Sprecher des Aufsichtsrats des edacentrum



```

when visual_clear_current is
when Clear =>
if (mode = StartMeter) then
RunCount := 1;
MeterData.Sec <= 1;
visual_clear_current <= Run;
else
visual_clear_current <= Clear;
end if;

when Hold =>
if (mode = StartMeter) then
RunCount := (RunCount+1) mod 11;
MeterData.Sec <= RunCount;
visual_clear_current <= Run;
else
RunCount := (RunCount+1) mod 11;
visual_clear_current <= Hold;
end if;
    
```

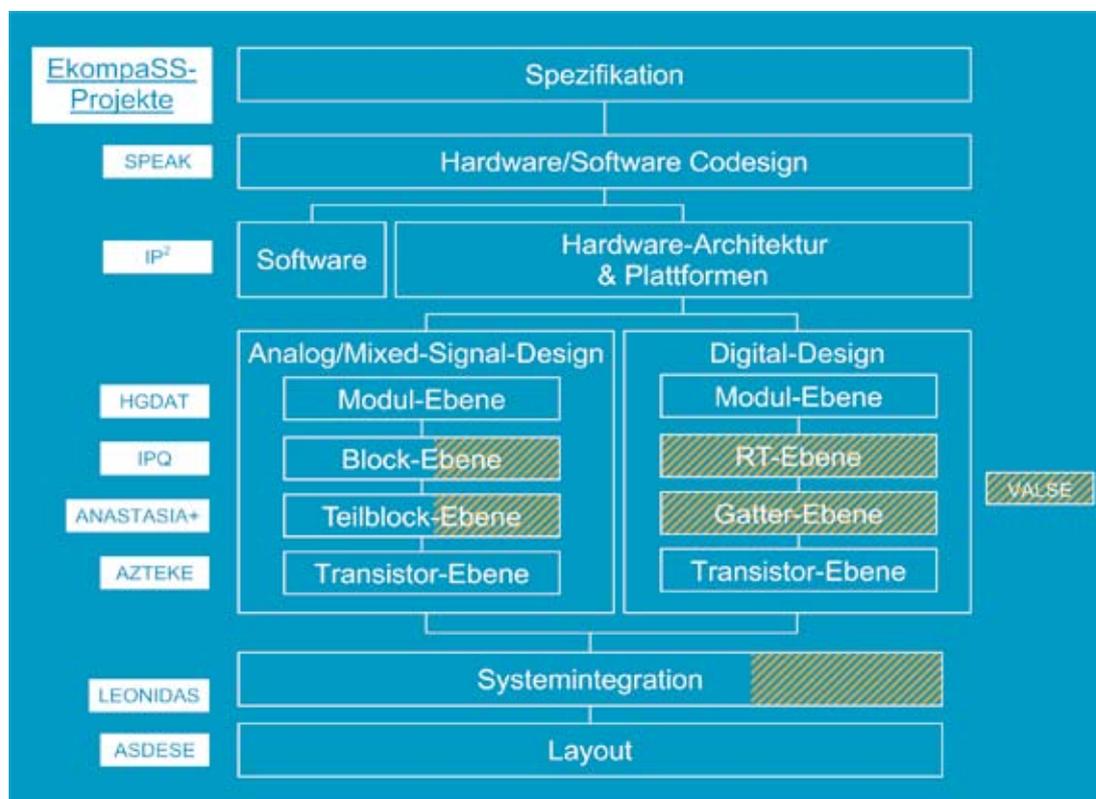


Vertiefende Inhalte, Ergänzungen und weiterführende Links finden Sie auf unserer mitgliederinternen Newsletterseite unter: www.edacentrum.de/Newsletter.html

1

Projektspiegel

Das BMBF hat den Förderschwerpunkt „Entwurfsplattformen für komplexe angewandte Systeme und Schaltungen“ (EkompaSS) eingerichtet, um Deutschlands führende Rolle in diesem Gebiet zu festigen. Ziel ist es, durch ein gemeinsames Vorgehen von Industrie, Forschung und öffentlicher Hand, in den für Deutschland (und für Europa) wichtigen Bereichen neue Entwurfsmethoden und –verfahren zu entwickeln, um die Komplexität zukünftiger Chipsysteme qualitätsgerecht und effektiv beherrschen zu können. Dabei wird der Fokus auf solche Themen gelegt, denen für die Wettbewerbsfähigkeit der deutschen Industrie die größte Bedeutung zukommt.



Überblick über die Projekte des Förderschwerpunktes EkompaSS

Das Bild zeigt die verschiedenen Vorgänge beim Schaltungsentwurf und die Ebenen in denen die jeweiligen EkompaSS-Projekte ihren Schwerpunkt haben. Das Projekt VALSE ist dabei deswegen hervorgehoben, weil der Newsletter des edacentrum in loser Folge über die betreuten Projekte berichten wird und das Projekt VALSE dabei den Anfang macht.

VALSE – Hochautomatisierte, zertifizierende und skalierende Validierung von „System-on-Chip“-Entwürfen

VALSE ist ein Verifikationsprojekt, das die Validierung von „System-on-Chip“-Entwürfen revolutionieren will. Das Vorhaben ist auf zwei Jahre angelegt (1.3.01 – 28.2.03) und ausgestattet mit einer Forschungskapazität von rund 50 Personenjahren. Bosch, Infineon, Melexis und Siemens haben VALSE im März 2001 gestartet – mit wissenschaftlicher Unterstützung durch das Fraunhofer-Institut IIS/EAS Dresden, das Institut für Mikroelektronik und Mechatronik-Systeme in Erfurt sowie die Universitäten Hannover, Kaiserslautern und Tübingen. Siemens hat kürzlich seine gesamten Aktivitäten auf dem Gebiet der formalen Verifikation an Infineon übertragen und scheidet damit aus VALSE aus – bleibt aber Anwender der in VALSE entwickelten Technik. Die entsprechenden Projektanteile sind von Infineon übernommen worden.

Die Realisierung kompletter Systeme auf einem Chip ist die große Herausforderung für EDA. Kritisch für die Bewältigung dieser Aufgabe ist die Verfügbarkeit qualitativ hochwertiger Schaltungsblöcke. Denn diese Qualität kann, wie das folgende Beispiel zeigt, wirtschaftlich nicht erst im Rahmen der Systemverifikation erreicht, sondern muss bereits bei der Entwicklung der Blöcke erzeugt werden.

Nehmen wir an, ein Entwurf bestehe aus sechs Blöcken. Gemäß gängiger Praxis wurden diese Blöcke rudimentär validiert und weisen danach jeweils mit einer Wahrscheinlichkeit von 90 % ein korrektes Verhalten auf. Folglich ist das aus diesen Blöcken zusammengesetzte gesamte Design mit einer Wahrscheinlichkeit von höchstens $(0,9)^6 \approx 0,5$ (50 %) korrekt. Dieses mögliche Fehlverhalten muss nach Integration der Blöcke die Systemverifikation ausräumen – neben ihrer eigentlichen Aufgabe, der Überprüfung von Systemaspekten.

Für die Simulation eines Blocks ist das umgebende System weitgehend Ballast – daher dauern die Simulationsläufe im Systemtest zu lange und testen zu wenig Funktionalität. Die Lokalisierung von Fehlern im Block aus der Systemebene wird oft zur Suche der Nadel im Heuhaufen, und das Beheben von Fehlern, lange nachdem sie entstanden sind, ist bekanntlich teuer. So kommt es, dass die Verifikation mit 70 - 80 % Anteil am gesamten Entwurfsaufwand zum Hauptschuldigen für das vielbeklagte „Design Gap“ geworden ist.

Will man zukünftig Systeme mit 50 oder 100 Blöcken entwerfen, ohne – wie eben beschrieben – die

Systemverifikation zu überfrachten, dann braucht man Blöcke mit einer durchschnittlichen Fehlerwahrscheinlichkeit unterhalb des Promillebereichs. Ein solches Qualitätsniveau kann nur noch mit formalen Methoden, das sind ausgeklügelte, hochautomatisierte mathematische Beweisverfahren, garantiert werden. Diese Analyse bestimmt die Vision von VALSE:

» Das Verhalten digitaler Blöcke soll durch Eigenschaften vollständig erfasst werden. Dadurch kann das korrekte Verhalten der Blöcke durch Eigenschaftsprüfung garantiert werden, so dass ein bisher unvorstellbares Qualitätsniveau erreicht und die Systemsimulation massiv entlastet wird.

» Für spezielle Blöcke, insbesondere für Mixed-Signal-Blöcke, soll durch Kombination formaler und simulativer Verfahren eine deutlich erhöhte Automatisierung der Verifikation erreicht werden.

» Systemsimulation wird immer eine Kombination unterschiedlicher Verifikationstechniken erfordern. VALSE konzentriert sich auf Systemaspekte, die per Emulation überprüft werden müssen. Beispielhaft soll der in der KFZ-Elektronik, aber auch in anderen sicherheitskritischen Systemen, wichtige Aspekt der Robustheit gegenüber Betriebsfehlern emulativ behandelt werden (s. [Abbildung](#)).

» Durch Weiterentwicklung des Äquivalenzvergleichs soll sichergestellt werden, dass die durch o.g. Verfahren auf RT-Ebene gewonnene Qualität in den Arbeitsschritten unterhalb dieser Ebene erhalten bleibt.

Technisch/ wissenschaftlich hat VALSE in den vergangenen Monaten die folgenden herausragenden Ergebnisse erzielt:

» Entscheidend für die Fähigkeit, die Eigenschaften komplexer Blöcke einer Größenordnung bis zu 100k Gattern mit durchschnittlichen Antwortzeiten von wenigen Minuten formal zu verifizieren, ist die Leistungsfähigkeit der Beweismaschinerie des Eigenschaftsprüfers. Durch Beschleunigung der einzelnen Beweiser sowie ein verbessertes zeitliches und funktionales Ineinandergreifen ihrer Kooperation wurde eine Steigerung der Leistungsfähigkeit um etwa den Faktor 10, bei einzelnen Designs auch bis zum Faktor 100 erreicht. Weiteres Potential liegt in der Entlastung der Beweiser durch Vorverarbeitung auf RT-Ebene. Ganz neue Konzepte zur Bitbreitenreduktion

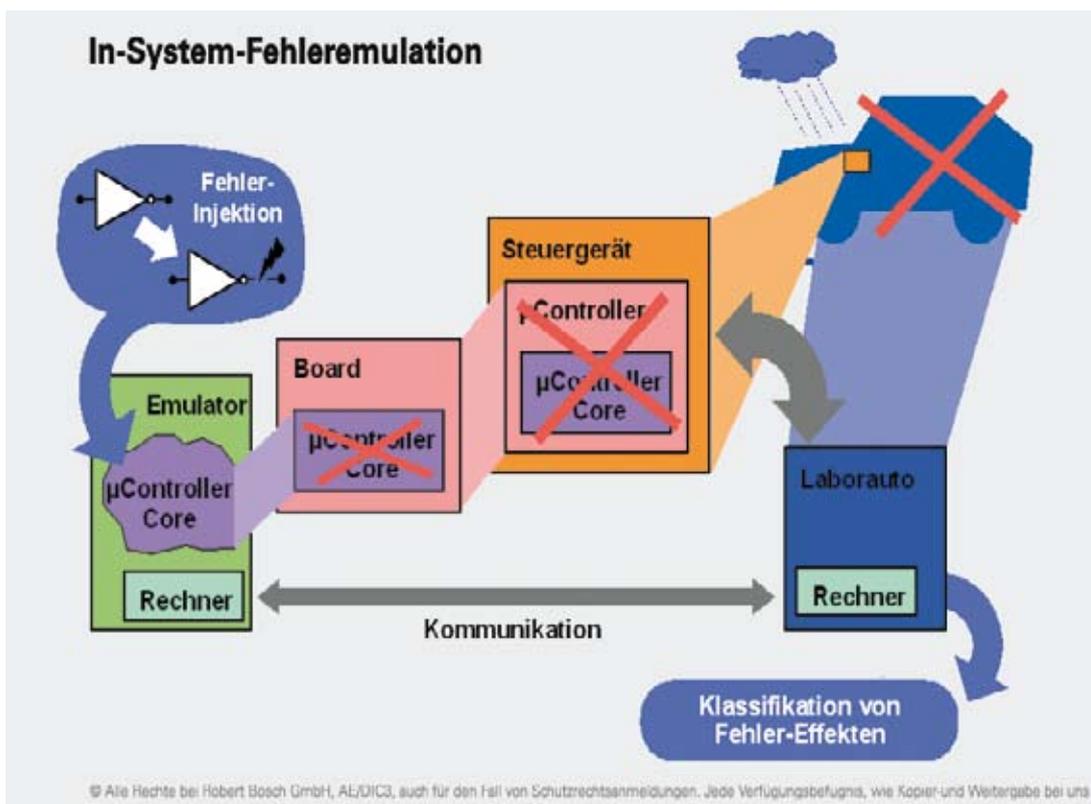


sowie zur Ausnutzung von Symmetrien in regulären Schaltungen zeigen, was hier „noch zu holen ist“.

» Entscheidend für die Eigenschaftsprüfung ist das in VALSE weiterentwickelte Konzept des Verifikationsplans, das sind 20 – 60 Eigenschaften, die das Verhalten eines Blocks vollständig, gut verständlich und kompakt beschreiben. Der Prozess des Erstellens, Überprüfens und Abarbeitens eines Verifikationsplans wurde weiter verfeinert und in Schulungsmaterialien umgesetzt. Auch die Brücke zu konventioneller Qualitätssicherung wurde geschlagen. So wurde ein Beweis dafür skizziert, dass

Der Prozess der Fehlerinjektion und -aktivierung wurde automatisiert. Dieser Stand wurde auf FPGAs übertragen und Reviewern und Fördergeber auf dem VALSE-Statusseminar vorgestellt.

» Beim Äquivalenzvergleich schließt VALSE Lücken in der Behandlung von Arithmetik und bei Aspekten des sequentiellen Vergleichs. Das bisher offene Problem des Vergleichs – etwa von Multiplizierern – auf Gatterebene wurde konzeptionell dadurch gelöst, dass aus Gatterbeschreibungen von Arithmetik höhere Darstellungen extrahiert werden, auf denen effizient



Das Bild zeigt eine In-System-Fehleremulation, Ausgangspunkt ist ein Auto im realen Betrieb (Fahrsituation, Umwelteinflüsse, etc.). In diesem befinden sich verschiedene sicherheitskritische μ C-basierte Steuergeräte (ABS, Airbag, ESP, etc.). Für derartige Systeme soll die Betriebssicherheit durch Einsatz von In-System-Fehleremulation erhöht werden. Hierzu wird der μ C-Core auf einem Logik-Emulator implementiert. Auto und Umgebung werden durch ein Laborauto ersetzt, welches reale Fahrsituationen simuliert und die Protokollierung aller wichtigen Kenngrößen (Bremsverzögerung, Geschwindigkeit, Achskräfte, etc.) erlaubt. Innerhalb des Logik-Emulators werden Fehler in den μ C-Core eingestreut und deren Auswirkung auf das Fahrverhalten am Laborauto analysiert. Auf diese Weise können Fehler bezüglich ihrer Auswirkung auf die Fahrsicherheit klassifiziert und für kritische Fehler geeignete Gegenmaßnahmen (etwa eine Erweiterung der μ C-Selbsttestprogramme) eingeleitet werden.

der Code eines gemäß Verifikationsplan verifizierten Blocks bei nachfolgender Coverageüberprüfung 100 % Abdeckung bezüglich aller z.Zt. verwendeten Metriken aufweist.

» Mit einem Konzept zur Validierung von Mixed-Signal-Schaltungen durch Kombination formaler und simulierender Verfahren bewegt sich VALSE noch weit im Vorfeld. Erfolgreiche Erprobungen an einem A/D-Wandler sowie an zwei digital steuerbaren Analogverstärkern zeigen die Chancen und den FuE-Bedarf bei der Automatisierung der Kette Analogmodell, Digitalisierung, Eigenschaftsüberprüfung und dem Schließen von Genauigkeitslücken durch Analojsimulation.

» Bezüglich der Automatisierung der Fehleremulation und einer für die Verbreitung der Technik wichtigen Low-Cost-Realisierung wurden gute Fortschritte gemacht.

verglichen werden kann. Durch maßgeschneiderte sequentielle Vergleichstechniken – z.B. für Retiming – sorgt VALSE dafür, dass Optimierungen der Synthese auch dann genutzt werden können, wenn diese Zustandskodierungen erheblich verändern.

Während die Mixed-Signal-Verifikation entsprechend ihrer Platzierung im frühen Vorfeld sich noch beweisen muss, die Fehleremulation nach Abschluss des FuE-Vorlaufs erst gegen Ende des Jahres in die breite Erprobung geht, liegt für die formale Verifikation digitaler Schaltungen bereits jetzt aus Anwendungsprojekten außerhalb von VALSE Evidenz für die Schlüsselrolle dieser Technik für den zukünftigen SoC-Entwurf vor.

Im Rahmen der Weiterentwicklung eines Kommunikationssystems bei Siemens war durch die

Kontakt

Prof. Dr. Wolfram Büttner,
Infineon Technologies AG,
089 234 463 10,
wolfram.buettner@infineon.com
weitere Informationen
unter [www.edacentrum.de/
Newsletter.html](http://www.edacentrum.de/Newsletter.html)

Entwicklung zweier ASICs von je ca. 4 Mio. Gattern eine Durchsatzsteigerung des Systems um den Faktor 5 sicherzustellen. Aufgrund der Qualitäts- und Terminanforderungen wurde beschlossen, die Gesamtsimulation durch formale Blockverifikation zu entlasten. 80 % aller Blöcke wurden so verifiziert, und ca. 60 % der spezifizierten Systemtests wurden so vorverlagert. Dabei wurden mehr als 40 Fehler gefunden, die allein mit Simulationen kaum gefunden worden wären. Die Re-Design-Wahrscheinlichkeit wurde halbiert. Dennoch war der Aufwand für die formale Analyse ca. 40 % günstiger als die Schätzungen für konventionelles simulationsbasiertes Vorgehen. Besonders wichtig: Die Termine wurden exakt eingehalten und bereits die ersten Muster waren von sehr hoher Qualität.

Auch bei Infineon wurde kürzlich wieder deutlich, dass die formale Verifikation der als kritisch bekannten

Blöcke viel Zeit und Geld spart. In einem Entwurf zeigte die Qualitätssicherung der Engineering Samples Fehler auf, deren Behebung durch Maskenänderungen 250.000 Euro kosteten. Nicht enthalten in diesen Kosten sind die entgangenen Gewinne durch verspätete Markteinführung und die Verzögerung anderer Projekte durch Reallokation von Ressourcen zur Fehlerbehebung. Dem steht ein verhältnismäßig geringer Aufwand für das garantierte Auffinden o.g. Fehler durch die formale Blockverifikation gegenüber.

Aus Erfahrungen wie diesen sollen in VALSE verlässliche Prognosen zum Wirkungsgrad der VALSE-Techniken in der Breite und zur Schätzung ihres Beitrags zur Reduzierung des 'Design Gaps' abgeleitet werden.

2

Neues vom edacentrum

☀ **Mitarbeiteraufbau**

Herr Dr. Volker Schöber ist seit dem 1. Juli 2002 als verantwortlicher Mitarbeiter im Bereich Basisforschung am edacentrum angestellt. Damit ist die Einstellungsphase bis auf Weiteres abgeschlossen und die geplanten Aktivitäten zum Start eines Basisforschungsprojektes können begonnen werden. Mit den bereits Anfang Mai eingestellten Mitarbeitern Frau Katrin Meßmer und Herrn Tim Wallmeyer hat das edacentrum derzeit acht Angestellte.

☀ **Publikationen**

www.edacentrum.de/Newsletter.html

Im Mai 2002 wurde in der Markt&Technik ein Artikel publiziert, der einen Überblick über die Arbeit des edacentrum und die aktuellen EkompasS-Projekte gibt. Für die Fachzeitschrift Elektronik wurde ein mehrseitiger Fachartikel geschrieben, der im September 2002 erscheinen wird und die fachlichen Schwerpunkte der EkompasS-Projekte beschreibt.

Ansprechpartner zu diesen Veröffentlichungen ist Herr Dipl.-Ing. Dieter Treytnar, 0511/762-19687, treytnar@edacentrum.de.

☀ **Standardisierung**

www.edacentrum.de/Newsletter.html

Im Mai diesen Jahres hat das edacentrum begonnen, Firmen in ihren Standardisierungsbemühungen zu unterstützen. Mit Hilfe eines speziell dazu entworfenen Fragebogens wurde über einen Zeitraum von zwei Monaten eine Befragung durchgeführt, um die Aktivitäten und Bedürfnisse der Firmen festzustellen. Die große Zahl von Antworten bestätigte den vermuteten Bedarf nach Unterstützung auf diesem Themengebiet. Die daraus resultierenden Ergebnisse werden in Kürze den Mitgliedern auf unseren Internetseiten zur Verfügung gestellt. Aufbauend auf dieser Umfrage wird im nächsten Jahr ein Workshop speziell zu Standardisierung und seinen wichtigsten Aspekten durchgeführt werden.

Ansprechpartner zum Thema ist Frau Dipl.-Ing. Katrin Meßmer, 0511/762-19686, messmer@edacentrum.de.

Melexis findet sporadischen Fehler in Automotive-Mixed-Signal-Schaltung mit formaler Verifikation

In Anwendung seines in VALSE entwickelten Konzepts zur Eigenschaftsprüfung von Mixed-Signal-Schaltungen für die Kfz-Elektronik hat der Erfurter Elektronikhersteller Melexis mithilfe des Infineon-Werkzeugs *gateprop* nun einen wichtigen Schritt geschafft. In Nachbereitung eines abgeschlossenen Projekts wurde ein algorithmischer Fehler gefunden, der zu bisher unerklärbarem, sporadisch auftretendem Fehlverhalten führte, dem nur durch einen Software-Workaround beizukommen war.

Das Beispiel ist repräsentativ für das hochkomplexe, simulativ kaum beherrschbare Zusammenspiel analoger und digitaler Komponenten. Ähnliche Erfolgsmeldungen aus der Entwicklung von Mobilfunkkomponenten bei Infineon lassen erwarten, daß auch Mixed-Signal-Designer bald auf Unterstützung durch formale Verifikation hoffen dürfen.



Basisforschungsprojekte

www.edacentrum.de/Newsletter.html

Eine Schlüsselkomponente zur Förderung von EDA Themen in Deutschland werden Projekte zur Basisforschung sein. Ziel ist es, in ausgewählten Gebieten Spitzenforschung zu ermöglichen, die langfristig die Basis für Werkzeuge und Methoden in der industriellen Nutzung bilden soll. Das edacentrum wird die Koordination dieser Basisforschungsprojekte übernehmen. Die Themenauswahl erfolgt dabei in enger Zusammenarbeit des Projektträgers (BMBF) mit dem edacentrum auf der Basis von Vorschlägen, die von EDA Experten aus den Bereichen der Forschung, Entwicklung und Anwendung kommen.

Die Planung sieht vor, dass jedes Jahr ein Basisforschungsprojekt in Deutschland gestartet wird, wobei das erste noch in diesem Jahr beginnen soll. Hierzu erfolgt eine Ausschreibung, mit der auch das Schwerpunktthema festgelegt wird. Zur Vorbereitung der nachfolgenden Projekte werden parallel zum ersten Basisforschungsprojekt weitere EDA Themen diskutiert, die in Zukunft Berücksichtigung finden können. Alle Forschungseinrichtungen sind somit aufgefordert, sich aktiv an der Ermittlung des Bedarfs und der Diskussion an möglichen Forschungsthemen zu

beteiligen. Ansprechpartner hierfür ist Dr.-Ing. Volker Schöber, 0511/762-19688, schoeber@edacentrum.de.



Internetauftritt

www.edacentrum.de

Der Internetauftritt des edacentrum wurde fertiggestellt und enthält neben den Informationen für die Öffentlichkeit auch interne Seiten für den effizienten Informationsaustausch innerhalb des edacentrum. Neben dem neuen Design mit mehr Übersicht und einer besseren Menüführung sind einige Inhalte überarbeitet und ergänzt worden. Dazu gehören zum Beispiel die Projektübersicht mit Kurzvorstellung der laufenden Projekte, eine Auflistung der Mitglieder mit Logo, der Pressespiegel, die Veranstaltungsseite, die Links und Dokumente, aber auch die Daten zur Anfahrt. Außerdem gibt es unter www.edacentrum.de/Newsletter.html eine Internetseite exklusiv für Mitglieder, wo vertiefende Inhalte zu jedem Newsletter referenziert sind.

Ansprechpartner zum Internet ist Herr Dipl.-Des. Tim Wallmeyer, 0511/762-19687, wallmeyer@edacentrum.de.

SystemC zur Modellierung von Mixed-Signal Komponenten

Im Projekt ANASTASIA+ wurden Erweiterungen für SystemC zur Modellierung von Mixed-Signal-Komponenten entwickelt. Als Vorbereitung zur Standardisierung wurde die SystemC-AMS Study Group gegründet, die bereits tagte. Im Projekt ANASTASIA+ wurden beispielhaft parametrierbare Verhaltensmodelle für häufig verwendete Mixed-Signal-Schaltungen, wie z.B. einer PLL entwickelt, die - bei ausreichend guter Genauigkeit - eine Erhöhung der Simulationsgeschwindigkeit um den Faktor 450 erwarten lassen. Damit wird die implementierungsnahe Gesamtsimulation dieser im Mixed-Signal-Bereich wesentlichen Schaltungsklasse überhaupt erst durchführbar.

Integration von SystemC in eine plattformbasierte Entwurfsmethodik für Automotive- und Telekommunikations-Anwendungen

In einer umfangreichen Bewertungsphase haben sich im SPEAK-Projekt SystemC und Matlab/Simulink als sehr geeignete Sprachen zur Spezifikation von Automotive- und Telekommunikations-Anwendungen auf Systemebene herausgestellt. Die spezifischen Anforderungen dieser Applikationsbereiche wurden im weiteren Projektverlauf charakterisiert und sind anschließend direkt in die Entwicklung der neuesten Entwurfswerkzeuge auf Systemebene (VCC von Cadence und *CoCentric System Studio* von Synopsys) eingeflossen.

Infineon hat mit dem Telematics Communication Gateway (TCG) eine Referenz-Plattform auf Basis des 32-Bit-Telematik-Controllers "TriCore TC1920" eingeführt, die drahtlose Kommunikationstechnologien (GSM/GPRS, Bluetooth und GPS) mit der Fahrzeugelektronik verbindet. Die hochintegrierte Lösung verringert die Entwicklungskosten der Systemhersteller für Telematiksysteme erheblich und kann die Verbreitung solcher Systeme im Markt beschleunigen.

ANASTASIA+ und HGDAT berichten auf der Analog 02 in Bremen

Die diesjährigen Statusseminare von ANASTASIA+ und HGDAT fanden im Mai auf der Analog `02 zusammen mit den durch das edacentrum organisierten Reviews statt. Im regulären Einreichungsprozeß wurden insgesamt 27 Beiträge (Tutorien, Paper, Poster, Demos) beider Projekte sowie ein eingeladener Vortrag mit dem Thema „Methoden zur Wiederverwendung von Analog/Mixed-Signal-Schaltungen - Anforderungen und Lösungsansätze aus Industriesicht“ in das Tagungsprogramm aufgenommen. Das hohe Interesse der Besucher auf der ANALOG `02 unterstreicht die Bedeutung der behandelten Themen und der vorgestellten Ergebnisse für den Standort Deutschland.

„Analog 2002:

[Bereichsübergreifende](#)

[Konzepte markieren den](#)

[Kommunikations Highway“ GMM](#)

[Mitgliederinformation, Nr.13, S. 6,](#)

[Juni 02, VDE Verlag](#)

Wireless Design Flow mit eingebetteter 5 GHz WLAN Systemtestbench fertiggestellt

Der im Projekt HGDAT erarbeitete Wireless Design-Flow wurde auf der DATE in Paris und auf der ANALOG `02 dieses Jahr vorgestellt. Ferner waren die Arbeiten Bestandteil einer ‚Technology Roadshow‘ seitens Cadence in Deutschland. Für die HGDAT-Partner wurde aus den gemeinsam erarbeiteten Ergebnissen von Cadence ein RF-System-Workshop zusammengestellt. Nach der erfolgreichen ersten projektinternen Durchführung im Juli 02 ist nun geplant, diesen Workshop in das kommerzielle Trainingsprogramm mit aufzunehmen.

Bewilligung von Projekten

Das BMBF hat auf der Sitzung des Steuerungsgremiums bekannt gegeben, dass die EkompasS-Fördervorhaben AZTEKE, IP2 und LEONIDAS bewilligt worden sind.

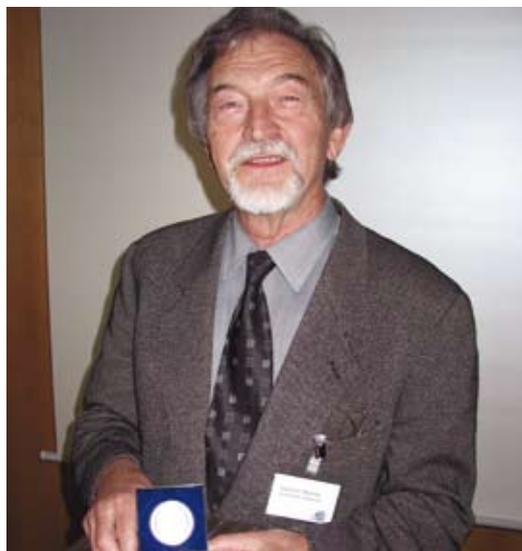
Statusseminare von Asdese und IPQ

In Kürze werden zwei weitere Statusseminare angekoppelt an eine wissenschaftliche Konferenz abgehalten werden. Das Projekt ASDESE hält sein Statusseminar nach der ESDERC am 27.9.2002 in Florenz ab und das Projekt IPQ stellt sich im Anschluss an die FDL am 24. September 2002 in Marseille vor.

Lebenswerk gewürdigt

EDA-Medaille 2002 an Professor Mucha

Am 18. April wurde Herrn Prof. Dr.-Ing. Joachim Mucha die EDA-Medaille 2002 im Rahmen des Mikroelektronik-Workshops „Entwurfsplattformen komplexer angewandter Systeme und Schaltungen“ in der Bonner Beethovenhalle vom edacentrum e.V. verliehen. Diese erstmalig vergebene Auszeichnung erhielt Herr Prof. Mucha für sein Lebenswerk in Forschung und Lehre auf dem Gebiet der Entwurfsautomatisierung aus den Händen des Vorstandsvorsitzenden des edacentrum, Herrn Prof.-Dr. Ing. Erich Barke. Damit werden die herausragenden Leistungen Prof. Muchas zur Entwicklung von EDA in Deutschland während seiner langjährigen Tätigkeit an der RWTH Aachen und der Universität Hannover gewürdigt. In visionärer Weise hat Prof. Mucha bereits zu Beginn der siebziger Jahre die herausragende Bedeutung des Tests für die Entwicklung und Produktion hochkomplexer integrierter Schaltungen



Prof. Dr.-Ing. Joachim Mucha
Träger der EDA-Medaille 2002



Der Vorstand des edacentrum e.V. bei der Preisverleihung
(v.l.n.r. die Professoren G. Elst, W. Rosenstiel,
E. Barke, J. Mucha)

und Systeme in der Mikroelektronik erkannt. Mit zahlreichen maßgeblichen Veröffentlichungen zur Testmethodik, zur Testmustererzeugung und vor allem zum Selbsttest hat er in Forschung und Anwendung wesentliche Impulse gegeben. Sein 1980 zusammen mit B. Könemann und G. Zwiehoff entwickeltes BILBO-Testkonzept bildet heute die Grundlage für nahezu alle Selbsttests in integrierten Schaltungen. Stets waren seine Arbeiten gleichermaßen von hohem mathematischen Anspruch und praktischen Realisierungsaspekten geprägt. Dies machte ihn zu einem weltweit außerordentlich geschätzten Gesprächspartner sowohl in akademischen als auch in industriellen Kreisen. Prof. Mucha hat es darüber hinaus verstanden, die komplexe Thematik auch in der Lehre zu etablieren und zahlreiche Studierende zu einer Tätigkeit auf diesem Gebiet anzuregen. Eine große Zahl exzellenter Doktoranden legt davon Zeugnis ab. Die EDA-Medaille 2002 wurde einer Persönlichkeit verliehen, die die EDA-Entwicklung in Deutschland über mehrere Jahrzehnte nachhaltig geprägt hat.

Panorama

Meldungen

www.edacentrum.de/Newsletter.html

6. Forschungsrahmenprogramm der EU

Die Europäische Kommission bereitet derzeit das sechste Forschungsrahmenprogramm der EU für die Jahre 2002 bis 2006 vor. Die wesentlichen Fördermodelle werden sogenannte „Integrated Projects“ und „Networks of Excellence“ sein, die erste Ausschreibung ist für Dezember 2002 vorgesehen.

Das edacentrum hat sich am Vorbereitungsworkshop der Europäischen Kommission beteiligt und Proposals eingereicht, um die Aufnahme von EDA-Themen in das Rahmenprogramm zu erreichen und wird auch weiterhin die Interessen seiner Mitglieder gegenüber der EU vertreten. Weiter steht das edacentrum seinen Mitgliedern als Berater für die Vorbereitung von EU-Projekten zur Verfügung. Ansprechpartner hierfür ist Dr.-Ing. Jürgen Haase, 0511/762-19698, oder haase@edacentrum.de.

[Heise-Newsticker 14.8.2002](#)

Grundstein für Brandenburger Chipfabrik gelegt

Für eine 1,5 Milliarden Euro teure Chipfabrik ist in Frankfurt (Oder) der Grundstein gelegt worden. Damit kommt eines der wichtigsten Investitionsvorhaben in den neuen Bundesländern in Schwung. Das Werk soll 1.300 Arbeitsplätze bieten. Die ersten Chips werden voraussichtlich Anfang 2004 hergestellt, ein Jahr später als ursprünglich geplant.

[Heise-Newsticker 2.8.2002](#)

Chip-Absatz weiter auf der Erholspur

Der Chip-Absatz ist in den vergangenen drei Monaten um 5,8 Prozent auf 11,35 Milliarden US-Dollar gestiegen. In den ersten drei Monaten dieses Jahres waren es noch 10,73 Milliarden Dollar. Für das gesamte Jahr 2002 erwartet die SIA 3,1 Prozent Wachstum und sieht eine anhaltende Markterholung, unter anderem zunächst getragen vom Wireless-Markt. In den kommenden beiden Jahren soll der Halbleitermarkt dann wesentlich stärker wachsen: 2003 um 23,2 Prozent und 2004 um 20,9 Prozent.

[Heise-Newsticker 2.8.2002](#)

IBM eröffnet neues 300-mm-Chipwerk

Am Standort East Fishkill im US-Bundesstaat New York feierte IBM die Eröffnung eines neuen, vor zwei Jahren begonnenen Chipwerks, das 300-mm-Wafer verarbeitet. Außer den Fertigungsanlagen findet in dem Gebäude mit über 13.000 Quadratmetern Nutzfläche auch eine Entwicklungsabteilung Platz. IBM will nicht nur Entwicklung und Produktion eng verzahnen, sondern auch die Kooperation mit Universitäten stärken.

www.elektroniknet.de 30.7.2002

AMD, Infineon und UMC planen

Entwicklungspartnerschaft

Die Partner wollen Logik-Chips mit Strukturgrößen von 65 nm und 45 nm auf 300-mm-Wafern fertigen. Dabei beabsichtigen AMD, Infineon und UMC eine einheitliche Plattform-Technologie zu entwickeln, die den speziellen Fertigungs- und Produkt-Anforderungen ihrer Unternehmen entspricht. Das Entwicklungsprogramm startet in einem UMC-Werk in Hsinchu, Taiwan. Voraussichtlich im Januar 2003 soll dann UMCi, ein Joint-Venture zwischen Infineon und UMC, für die Installation der Ausrüstung vorbereitet sein. Die Massenproduktion ist für das vierte Quartal geplant.

www.elektroniknet.de 26.7.2002

Top-10 der Flash-Speicherchip-Hersteller 2001

Die Umsätze der Top-10-Unternehmen mit Flash-Speicher-ICs 2001 und 2000

Rang	Umsätze		Veränderung			
	2000	2001	Prozent	Total		
1	1	Intel	2.005	2.511	-20,2%	26,6%
2	2	Advanced Micro Devices (AMD)	1.120	1.531	-26,8%	14,8%
3	3	Fujitsu	881	1.079	-18,4%	11,7%
7	4	STMicroelectronics NV	682	552	4,6%	9,0%
4	5	Toshiba	547	879	-37,8%	7,2%
6	6	Mitsubishi	488	728	-33,0%	6,5%
5	7	Sharp	465	857	-45,7%	6,2%
8	8	Atmel	340	599	-43,2%	4,5%
9	9	Silicon Storage Technology	294	489	-39,9%	3,9%
10	10	Hitachi	267	413	-35,4%	3,5%
		Andere	462	869	-46,8%	6,1%
		Gesamt	7.551	10.607	-28,8%	100%

Weitere Informationen sind unter <http://www.cordis.lu/rtd2002/home.html> verfügbar

Von unseren Partnern im Ausland

Motiviert durch die intensive Zusammenarbeit mit dem EDA Consortium in der ersten Jahreshälfte 2002 stellen wir unseren wichtigsten Partner aus den USA kurz vor und geben einen Einblick in die Zusammenarbeit, die mit der Realisierung der deutschen Sprachversion der DVD „EDA-Where Electronics Begins“ auch schon einen großen Erfolg fand.



„EDA - Where Electronics Begins“ ist ein Slogan, mit dem sich die EDA-Industrie optimal beschreiben lässt.

Erst EDA ermöglicht die Beherrschung von fortschrittlichen Technologien, die eine Entwicklung von elektronischen Produkten erlauben, wie sie im heutigen Informationszeitalter gefordert sind. Dazu gehören zum Beispiel Computer, Kommunikationssysteme, Raumfahrttechnologie, medizinische und industrielle Geräte, Unterhaltungselektronik und vieles mehr.

Das EDA Consortium

Das EDA Consortium ist ein internationaler Verein, der diese weltweit wichtige Branche repräsentiert. Mitglieder des EDA Consortium sind die Firmen, die sich mit der Entwicklung von der Software und den Diensten beschäftigen, die Ingenieuren die Anwendung von EDA ermöglichen und sie so erst dazu in die Lage versetzen, elektronische Produkte herzustellen. Derzeit gehören fast alle EDA-Firmen dem Verein an.

Die Motivation für die Zusammenarbeit von EDA Consortium und edacentrum besteht in dem gemeinsamen Ziel, die Bedeutung von EDA einer breiten Öffentlichkeit deutlich zu machen und alle direkt und indirekt Beteiligten bezüglich der vor uns liegenden Probleme zu sensibilisieren. Dabei sind beide Organisationen übereingekommen sich gegenseitig im jeweils anderen Kontinent zu repräsentieren und sich als Ansprechpartner für die jeweils ansässigen Firmen zur Verfügung zu stellen, Informations- und Werbematerial auszutauschen sowie sich gegenseitig bei der Planung und Durchführung von Aktivitäten zu unterstützen. Daneben erstreckt sich die Zusammenarbeit auch auf die gemeinsame Produktion von Veröffentlichungen und Informationsmaterial, wie zum Beispiel der DVD.



EDA Consortium

111 West Saint John Street
Suite 220, San Jose
Calif. 95113 USA
fon 001-408-287-3322
fax 001-408-283-5283
www.edac.org

www.elektroniknet.de 26.7.2002

Top-10 der Halbleiter- Hersteller

Top-10 der Halbleiterbranche im ersten Halbjahr 2002:
Ab Platz 2 wurden die Karten neu gemischt

1H02 Rank	2001 Rank	Company	Head-Quarters	1H02 Sales (\$M)	2001 Sales (\$M)	1H01 Sales (\$M)	1H02/1H01 %Change
1	1	Intel	U.S.	11.800	23.700	11.710	1 %
2	5	Samsung	South Korea	3.885	6.320	3.637	7 %
3	3	Texas Instruments	U.S.	3.282	6.450	3.833	-14 %
4	4	STMicro-electronics	Europe	2.885	6.360	3.508	-18 %
5	2	Toshiba	Japan	2.875	6.780	4.030	-29 %
6	9	Infineon	Europe	2.503	4.560	2.627	-5 %
7	6	NEC	Japan	2.435	5.500	3.265	-25 %
8	7	Motorola	U.S.	2.309	4.940	2.733	-16 %
9	15	TSMC	Taiwan	2.303	3.705	1.995	15 %
10	10	Philips	Europe	2.153	4.410	2.557	-16 %
—	—	Total	—	36.430	72.725	39.895	-9 %

[Heise-Newsticker 19.7.2002](#)

Altium kauft Hoschar

Mit der Übernahme des größten deutschen EDA-Tool-Distributors Hoschar konzentriert der PCB- und Embedded-Tool-Anbieter Altium seine Aktivitäten jetzt auch auf Deutschland.

[Heise-Newsticker 18.7.2002](#)

STMicroelectronics und UMC kooperieren

UMC stellt ST Fertigungskapazitäten auf flexibler Basis zur Verfügung. Außerdem wollen beide Unternehmen Erfahrungen bei der Herstellung von Halbleitern austauschen, um zum Beispiel die Ausschussquote zu verringern.

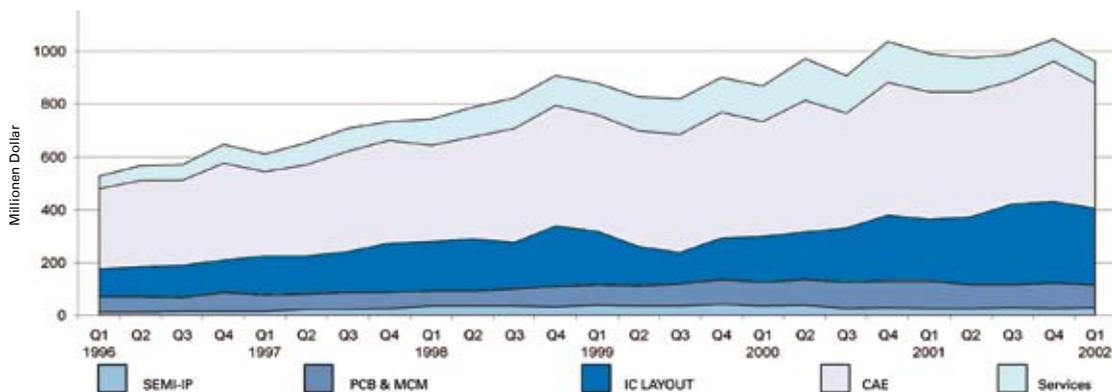
[VDI 19.6.2002](#)

VDI: Fachausschuss Software-Engineering gegründet

Ziel ist der Erfahrungsaustausch über Methoden und Werkzeuge des Software-Engineering bei technischen, industriellen Anwendungen.

EDA Industrie meldet Umsätze von 962 Millionen Dollar im ersten Quartal 2002

Umsatz EDA-Industrie 01/96 - 01/02



Nach der vom EDA Consortium am 8. Juli herausgegebenem Marktstatistik beträgt der Gesamtumsatz der EDA-Industrie für das erste Quartal 2002 962 Millionen Dollar. Damit wurde zum achten Mal ein Quartalsumsatz von mehr als 900 Millionen Dollar erreicht.

In diesem Zusammenhang bemerkte Walden C. Rhines, Vorsitzender Direktor des EDA Consortium, sowie CEO der Mentor Graphics Corporation, dass Investitionen in EDA trotz der schwierigen Situation der Kommunikations- und Halbleiterindustrie im ersten Quartal 2002 gestiegen seien. Er fügte hinzu, dass die hohen Zuwachsraten in bestimmten Bereichen - wie z.B. IC/ASIC Design-Planning- & Floorplanning Tools (80% Wachstum verglichen mit Q1 2001), Analyse Tools für IC/ASICs (58% Wachstum), und andere IC Layout Tools und Reticle Enhancement Technology (RET, 34% Wachstum) - anzeigten, dass zur Zeit bereits großer Bedarf an solchen Tools bestehe, die die sich schnell verkleinernden Strukturweiten begleiten können.

Die Umsatzsteigerung im Bereich IC Layout von 22% auf 290 Millionen Dollar in Q1 02 führte nicht nur zu einem Rekordumsatz für das erste Jahresquartal in diesem Bereich, sondern überschritt damit auch zum sechsten Mal in Folge eine 20%ige Steigerungsrate.

Der Gesamtumsatz im Bereich CAE lag mit 473 Millionen Dollar um 1% niedriger als im Vorjahr.

Er lässt sich in folgende Bereiche aufteilen:

Bereich	Wachstum zum Vorjahr	Umsatz in Mio. \$
Analyse Tools	29%	72
Ereignisgesteuerte Simulatoren	8%	91
AMS-Simulatoren	7%	52
Synthese-Tools	3%	77
Formale / funktionale Verifikation	2%	36
Design for Test / Test Automation	6%	23

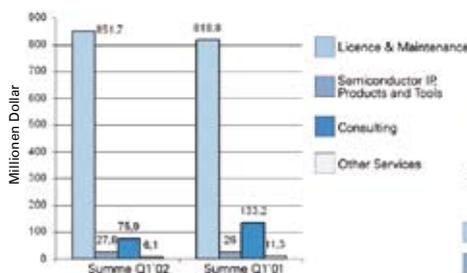
bei allen anderen Bereichen gingen die Umsätze zurück.

In der Kategorie PCB/MCM Layout lag der Gesamtumsatz mit 88 Millionen Dollar um 13% niedriger als im Vorjahr, während in dem Bereich SEMI-IP immerhin ein Zuwachs von 7% auf 28 Millionen Dollar erzielt werden konnte. Die deutlichsten Einbußen von 43% im Vergleich zum Vorjahr verbuchte die Kategorie EDA Services, deren Gesamtumsatz damit auf 82 Millionen Dollar fiel.

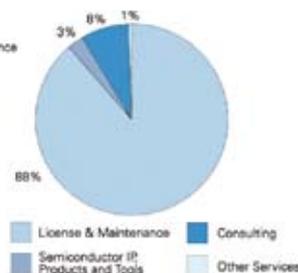
Die vollständigen Marktstatistik-Berichte können gegen eine jährlich anfallende Gebühr bezogen werden. Sie werden in jedem Quartal vom EDA Consortium erstellt, und enthalten jeweils die Zahlen des vorausgegangenen Quartals. Die Statistiken sind aufgeschlüsselt nach Umsatzarten (Produkt- und Lizenzumsatz, Umsatz in Consulting und Design, Umsatz in Dienstleistungen und weitere Umsätze), Anwendungsarten (CAE, PCB/MCM Layout, IC Layout, SIP), Betriebssystemen (UNIX, Windows), und Regionen (Nordamerika, Westeuropa, Japan und andere Länder), wobei zahlreiche Unterkategorien aufgeschlüsselt werden.

Weitere Informationen finden Sie im Internet unter www.edacentrum.de/Newsletter.html

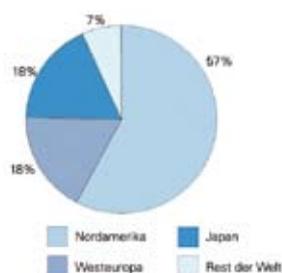
Quartalsumsatz nach Kategorien



Umsatz Q1 2002 nach Kategorien



Umsatz Q1 2002 nach Regionen



Mitglieder für Mitglieder

Mitglieder stellen sich vor

In dieser Ausgabe stellen sich einige unserer Mitglieder vor. In den folgenden Ausgaben werden andere folgen.



Ansoft GmbH & Co KG

Ansoft ist Entwickler und Anbieter leistungsfähiger EDA-Software (Electronic Design Automation), die von Ingenieuren für den Entwurf und die Entwicklung modernster Produkte eingesetzt wird. Dazu zählen integrierte Schaltungen (ICs), Leiterplatten, Geräte und Systeme aus fast allen Industriesegmente. Schwerpunkte bilden die Telekommunikationsindustrie (drahtgebundene u. drahtlose Kommunikation, Internetzugangsbauweise, breitbandige Netzwerkkomponenten, etc.), die Automotive- u. Transportindustrie, sowie das gesamte Umfeld der Leistungselektronik. Ansoft vermarktet seine Produkte über eine eigene Direktvertriebs-Organisation und verfügt über Kundensupport- und Schulungs-Niederlassungen weltweit. In Deutschland ist Ansoft mit zwei Niederlassungen (München und Chemnitz) vertreten.



Atmel Germany GmbH

Die Atmel Germany GmbH ist als Teil des Atmel-Konzerns aktiv in der Entwicklung und Fertigung von angepassten Lösungen für Anwendungen in den Bereichen Kommunikation und Automotive&Control. Für die Integration von Schaltungen stehen die Technologien CMOS, Bipolar-Si, BiCMOS, BCDMOS, BCDSOI und SiGe zur Verfügung.

Ein Schwerpunkt liegt im Gebiet hochfrequenter Schaltungen, in dem Atmel Germany Frontend-Schaltungen für die digitalen Systeme GSM, DECT, ISM und DAB und auch für die analogen Systeme wie AM/FM, TV, und CT0/1/2 anbietet.

Ein zweiter Entwicklungsschwerpunkt liegt bei Mixed-Signal Schaltungen mit zulässigen Betriebsspannungen bis zu 80 V und direkt verarbeitbaren Lastströmen bis zu 1 A und darüber. Stellvertretend stehen hier Steuerschaltungen für den Body-Control-Bereich im Auto wie auch für ABS- und Airbag-Systeme, aber auch Zugangskontrolle, Wegfahrsperrung und IR- wie RF-Datacontrol, sowie Sensorik-Anwendungen.

Aufgrund seiner Ausrichtung auf Systemlösungen ist Atmel Germany stark an Verbesserungen und

Erweiterungen der Designmethoden und -werkzeuge interessiert. Die Firma ist deshalb schon seit langem in Programmen wie ESPRIT, Jessi, SSE und Medea engagiert. Sie trägt zu den laufenden EDA-Projekten Anastasia+, HG-DAT, Asdese, Azteke und Leonidas sowohl mit Spezialisten aus dem Bereich der Schaltungsentwicklung als auch mit erfahrenen EDA-Entwicklern bei. Durch enge Zusammenarbeit mit diversen Forschungseinrichtungen (z.B. als Unterauftragnehmer) wird externes Know-how eingebracht und industrierelevante akademische Arbeit stimuliert. Diese Strategie hat Atmel in vielen Bereichen entscheidende Fortschritte ermöglicht und gemeinschaftlich mit den Verbundprojekt-Partnern bei der erfolgreichen Bewältigung der immer größer werdenden Herausforderungen im EDA-Bereich geholfen.



IMST GmbH

Die IMST GmbH – gegründet 1992 – hat sich zum Ziel gesetzt, innovative Lösungen für die drahtlose Funkkommunikation zu entwickeln. Mit seinen vier technischen Abteilungen Kommunikations- und Informationssysteme, Integrierte Schaltungen und Systeme, Hochfrequenzschaltungen und Systemintegration sowie Antennen und EMV werden neuartige Lösungen im Auftrag der Industrie und der öffentlichen Hand entwickelt.

Ca. 110 Ingenieure und Wissenschaftler erarbeiten Verfahren und Lösungen, beginnend bei der Charakterisierung von Bauteilen über den Schaltungsentwurf bis zum Systementwurf. Bestandteil dieser Arbeiten ist u.a. auch die Entwicklung neuer EDA-Werkzeuge für den Schaltungsentwurf sowie die Entwicklung von neuen Messverfahren. Die Firma beteiligt sich an Neu- und Weiterentwicklung im Rahmen nationaler und internationaler Forschungsprojekte und engagiert sich auch im Bereich Standardisierung.



Mentor Graphics GmbH

Mentor Graphics, einer der Technologieführer der EDA-Industrie, liefert Software und Hardware-Designlösungen, die es den Kunden ermöglichen, ihre Produkte schneller und kosteneffizienter auf den Markt zu bringen. Die Firma offeriert innovative Produkte und Lösungen, die den Designingenieuren

Ansoft GmbH & Co KG

Aidenbachstr. 52
81379 München
Tel 089 680 862-0
Fax 089 680 862-26
info@ansoft.de,
www.ansoft.com

Atmel Germany GmbH

Theresienstr. 2
74025 Heilbronn
Frau Dr. van Clewe
Tel 07131 67 20 81
Fax 07131 67 24 23
Susanne.van-Clewe@atmel.com
www.atmel.com

IMST GmbH

Carl-Friedrich-Gauss-Straße 2
47475 Kamp-Lintfort
Tel 02842 981-100
Fax 02842 981-199
contact@imst.de
www.imst.com

Mentor Graphics GmbH

Deutschland
Arnulfstrasse 201
80634 München
Tel 089 570 96-0
Fax 089 570 96-400
info_germany@mentor.com
www.mentor.com/germany

Nassda GmbH

Stefan-George-Ring 29
81929 München
Tel 089 930 86-116
Fax 089 930 86-119
www.nassda.com

Robert Bosch GmbH

Postfach 1342
72073 Reutlingen
Tel 0711 811-0
Fax 0711 6195
www.bosch.de

Synchronicity Inc.

Herterich Str. 174
81476 München
Herr Thomas Pupeter
Tel 089 745 45618
Fax 089 745 45619
tpupeter@synchronicity.com
www.synchronicity.com

Verisity Design GmbH

Humboldstr. 12
85609 Dornach/München
Herr Dieter J. Rudolf
Tel 089 944 90218
Fax 089 944 90405
dieter@verisity.com
www.verisity.com

helfen, die Herausforderungen der immer komplexeren Problemstellungen in den Bereichen Board-, FPGA- und Chipdesign zu meistern. Bereiche, in denen DSM (Deep Sub Micron)-Technologie und SoC (System on Chip)-Design es immer schwieriger machen, geniale Ideen zur Marktreife zu bringen. Mentor Graphics wurde 1981 mit dem Headquarter in Wilsonville, Oregon, USA gegründet. Die weltweit etwa 3500 Mitarbeiter erwirtschafteten in den letzten 12 Monaten einen Umsatz von über 600 Millionen Dollar. Mentor Graphics unterhält strategische Partnerschaften mit führenden Elektronikherstellern sowie Halbleiter und Elektronik-Design-Zulieferern für die Entwicklung von neuen Lösungen und Methoden. Fokusbereiche von Mentor Graphics sind Board System Design, HDL und FPGA Design, Physical Design und Analyse, System-on-Chip Verifikation. Consulting, Services und Support.

**Nassda GmbH**

NASSDA ist ein führender Anbieter von Software zur Simulation und Analyse von komplexen, integrierten Schaltungen, die sowohl in der Entwicklungsphase (Pre-Layout) als auch in der Verifikationsphase (Post-Layout) verwendet wird. NASSDAs Software zielt darauf ab, fehlerfreies Silizium beim ersten Versuch, eine bessere Produktqualität sowie geringeren Ausschuss in der Fertigung zu erreichen. Die Produkte basieren auf einem, für ein Patent angemeldeten, hierarchischen Simulations-Kern für analoge, gemischt analog-digitale, Speicher und SoC-Schaltungen, der auch Crosstalk, IR Drop und Ground-Bounce-Analysen beherrscht

BOSCH**Robert Bosch GmbH**

Bosch ist eines der größten Industrieunternehmen Deutschlands mit einem Umsatz von rund 34 Milliarden Euro im Jahr 2001. Anfang 2002 beschäftigte Bosch in seinen drei Unternehmensbereichen - Kraftfahrzeugtechnik, Industriegüter sowie Gebrauchsgüter und Gebäudetechnik - insgesamt 221000 Mitarbeiter. Die Bosch-Gruppe ist weltweit der zweitgrößte Anbieter von kraftfahrzeugtechnischen Erzeugnissen, auf die in 2001 68% des Gesamtumsatzes entfielen.

Im Technischen Zentrum Mikroelektronik in Reutlingen werden anwendungsspezifische integrierte Schaltkreise, Leistungshalbleiter, mikromechanische Sensoren und Steuergeräte in Hybridtechnik entwickelt und gefertigt. Die Palette der anwendungsspezifischen Halbleiterschaltungen reicht von IC's für die Spannungsregelung oder Sensorsignalaufbereitung über Peripherieschaltungen in Mischtechnik mit Analog- und Logikfunktionen bis zur Integration von hochkomplexen Signalprozessoren in CMOS-Technik.

Die Verfügbarkeit vollständiger, auf die Besonderheiten der Anwendungen optimal zugeschnittener, rechnergestützter Designumgebungen spielt eine Schlüsselrolle bei der Entwicklung hochkomplexer Halbleiterschaltkreise und mikromechanischer Sensoren als Basis für die Innovationsführerschaft bei Automobilsystemen mit den Zielsetzungen des Bosch 3-S-Programms „sicher, sauber, sparsam“.

**AMD**

Dr. Hans-Jürgen Brand
0351 277 60 16
hans-juergen.brand@amd.com

**Ansoft GmbH und Co. KG**

Dietmar Lautwein
089 680 862 40
lautwein@ansoft.de

**Aptix GmbH**

Miguel Koch
089 451 048-11
miguel@aptix.com

**Atmel Germany GmbH**

Dr. Volker Meyer zu Bexten
07131 509 42 09
vmzb@atmel-wm.com

**Robert Bosch GmbH**

Dr. Peter van Staa
07121 352 954
peter.vanstaa@de.bosch.com

**Cadence**

Andreas Scheffer
089 456 318 14
scheffer@cadence.com

**EDA Consortium***

Pamela Parrish
001 408 579 24 99
Parrish@edac.org

**Concept engineering GmbH**

Gerhard Angst
0761 470 94-15
gerhard@concept.de

**Hoschar AG**

Frank Hoschar
0721 626 13 30
frank.hoschar@hoschar.com

**IMST GmbH**

Johannes Borkes
02842 981-0
borkes@imst.de

**Infineon Technologies AG**

Klaus Köppel
089 234 282 22
klaus.koepfel@infineon.com

**Melexis GmbH**

Prof. Franz Rößler
0361 427 66 39
franz@thesys.de

**Synchronicity**

Synchronicity ist Marktführer von Lösungen für Design Reuse, Projektkommunikation und Statuskontrolle sowie das Management aller Designdaten, um die Entwicklung von elektronischen Produkten zu beschleunigen. Synchronicitys Softwareprodukte werden in den Entwicklungsabteilungen von mehr als 120 verschiedenen Firmen eingesetzt, unter Ihnen 13 der TOP 15 Halbleiterfirmen.

**Verisity**

Verisity ist ein führender Anbieter proprietärer Technologien und Software Produkte, die verwendet werden, um Designs elektronischer Systeme und komplexe integrierte Schaltungen zu verifizieren. Solche Designs sind Schlüsselemente in verschiedenen stark wachsenden Marktsegmenten der Elektronikindustrie wie Kommunikation und Automotive. Verisitys Produkte automatisieren den Prozess, um Fehler in diesen Designs zu finden und versetzen die Kunden in die Lage, Produkte mit einer höheren Qualität zu liefern. Sie beschleunigen auch die „Time-to-Market“ der Produkte und reduzieren die Gesamtentwicklungskosten.

Nachrichten von unseren Mitgliedern

In dieser Rubrik geben wir unseren Mitgliedern die Möglichkeit, Neuigkeiten innerhalb des Vereins bekannt zu machen, um so einen intensiveren Informationsaustausch zwischen den Mitgliedern zu ermöglichen.

Synopsys: Physical Compiler 2002.05

(CAD-Info Hanser Verlag 31/02)

Das neue Release des Synthese-Tools Physical Compiler bietet laut Synopsys 50% kürzere Laufzeiten, erzielt 15 Prozent höhere Taktraten bei Schaltkreisen sowie rund 14 Prozent kleinere Chipflächen. Zudem wurde die grafische Oberfläche verbessert.

Cadence: Verifikationskit für Rapid IO

(CAD-Info Hanser Verlag 31/02)

Das neue "Rapid IO Design Kit" soll laut Cadence die Entwicklung und Verifikation von Kommunikationssystemen erleichtern. Dabei wird der Rapid-IO-Standard für High-Speed-Interconnects von Motorola verwendet. Rapid IO ist eine paket vermittelnde Architektur für Kommunikations- und Host-Prozessoren via Chip-to-Chip- und Board-to-Board- Kommunikation. Möglich sind Geschwindigkeiten von 10 GBit/s und höher. Das Kit beinhaltet EDA-Tools von Cadence, Services sowie Mechanismen zur Integration der Motorola-IPs.

Ansoft: Seminare

Die Firma veranstaltet im Herbst mehrere Seminare: Ansoft Designer Forum, 10. Sep. 2002 in Muenchen, 11. Sep. 2002 in Stuttgart; EM roadshow, 8. Oct. 2002 in Stuttgart; HF/SI Workshop „Empowering Profitability“, 12. Nov. 2002 in München

Haben auch Sie interessante Produktneuigkeiten oder Nachrichten?
Dann schicken Sie sie uns!

**Mentor Graphics GmbH**

Hans-Jürgen Vetter
089 570 96 339
hansjuergen_vetter@mentor.com

**PACT XPP Technologies AG**

Martin Vorbach
089 353 441 00
martin.vorbach@pactxpp.com

**Synchronicity Inc**

Thomas Pupeter
089 745 456 18
tpupeter@synchronicity.com

Prof. Dr. Erich Barke

0511 762 19690
barke@edacentrum.de

Patrick Schulz

0621 181 27 20
schulz@edacentrum.de

**Nassda GmbH**

Gerhard Maier
089 930 861 16
Gerhard.Maier@nassda.com

**Philips Semiconductors GmbH**

Jürgen Schlöffel
040 561 331 22
schloeffel@philips.com

**Synopsys GmbH**

Dr. Jürgen Frößl
089 993 20 154
juergen@synopsys.com

Prof. Dr. Günter Elst

0351 46 40 700
elst@edacentrum.de

**Nokia GmbH**

Dr. Mohsen Darianian
0234 984 34 96
mohsen.darianian@nokia.com

**sci-worx GmbH**

Dr. Martin Radetzki
0511 277 17 77
martin.radetzki@sci-worx.com

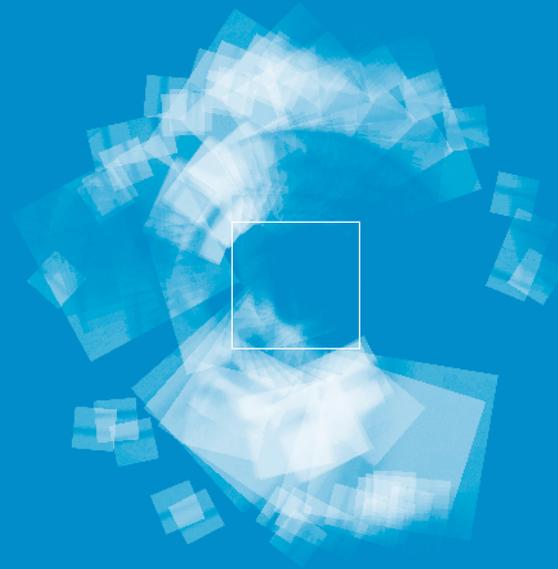
**Verisity Design GmbH**

Dieter J. Rudolf
089 944 902 18
dieter@verisity.com

Prof. Dr. Wolfgang Rosenstiel

07071 297 54 82
rosenstiel@edacentrum.de

*Mitgliedschaft beantragt



Dr. Jürgen Haase | Office Director

0511 762-19698
haase@edacentrum.de

Dr. Cordula Hansen | Leitung Koordination

07071 29-74706
0711 2305-768
hansen@edacentrum.de

Katrin Meßmer | Koordination

0511 762-19686
messmer@edacentrum.de

Konstantina Panagiotopoulos | Sekretariat

0511 762-19699
panagio@edacentrum.de

Ralf Popp | Leitung Öffentlichkeitsarbeit

0511 762-19697
popp@edacentrum.de

Dr. Volker Schöber | Leitung Basisforschung

0511 762-19688
schoeber@edacentrum.de

Dieter Treytnar | Öffentlichkeitsarbeit

0511 762-19687
treytnar@edacentrum.de

Tim Wallmeyer | Öffentlichkeitsarbeit

0511 762-19687
wallmeyer@edacentrum.de

Herausgeber

edacentrum e.V.
Schneiderberg 32
30167 Hannover
Tel 0511 762-19699
Fax 0511 762-19695
<http://www.edacentrum.de>
Newsletter@edacentrum.de

Redaktion

Dipl.-Ing. Ralf Popp

Autoren

Ansoft, ANASTASIA+, Atmel, Bosch, Büttner, Haase, HGDAT, IMST, Mentor, Meßmer, Nassda, Neppi, Popp, Schöber, Synchronicity, Treytnar, Verisity

Gestaltung und Design

Monika Hoinkis, Dennis Paul, Dipl.-Des. Tim Wallmeyer

Druck

Druckerei Hartmann GmbH

Das edacentrum gestattet die Übernahme von Texten, die ausschließlich für den privaten Gebrauch bestimmt sind. Die Übernahme und Nutzung der Daten zu anderen Zwecken bedarf der schriftlichen Zustimmung des Herausgebers.

Der Newsletter des edacentrum erscheint 4 - 6 mal im Jahr.

Der nächste Ausgabe erscheint im November, Redaktionsschluss ist der 15. Oktober 2002.