

DETAILS, LEMOS, PRODUKTIV+, URANOS und VISION sowie die Clusterforschungsprojekte zum ersten Kooperationsworkshop in diesem Jahr ein mit dem Thema „System Planning“. Der Workshop wird am 30. November 2006 in Hannover stattfinden. Die Organisation des Workshops wird wie üblich vom edacentrum übernommen.

Die Notwendigkeit einer leistungsfähigen Infrastruktur zur System-Planung wird immer dringender. Dafür sind im Wesentlichen die drei Trends

- » steigende Anzahl der gleichzeitig zu optimierenden Zielgrößen (Trend 1),
- » zunehmende Anzahl der Optionen zur System-Lösung (Trend 2) und
- » steigende Komplexität (Trend 3)

verantwortlich die nachfolgend näher erläutert werden.

**Trend 1:** Galt es ursprünglich, eine geforderte Performance auf einer möglichst kleinen Siliziumfläche zu realisieren, so sind heute neben der Fläche und Performance auch Power, Yield/DFM, Package, Flexibilität, Zuverlässigkeit, Time to Market/Cycle Time, Testbarkeit und somit letztlich auch Kosten die Optimierungsgrößen:

- » Package und Testen sind bzgl. der Kostenrelevanz ebenbürtig zur Fläche geworden.
- » Power und Zuverlässigkeit sind für manche Produkte entscheidende Wettbewerbsfaktoren (z.B. Power bei Mobilkommunikation und Zuverlässigkeit bei Automotive-Anwendungen).
- » Flexibilität und Cycle-Time (Entwicklungszeit) können eine entscheidende Rolle spielen, um das immer enger werdende Marktfenster zu treffen.

**Trend 2:** Durch die Wahlmöglichkeiten bezüglich SoC, SIP, MCM und SW - HW sowie FPGH, ASIC, etc. gibt es immer mehr Alternativen ein System zu realisieren, die zudem kombiniert werden können:

**Trend 3:** Letzten Endes erzwingt die (immer weiter zunehmende) System-Komplexität, dass die oben angesprochene notwendige Optimierung der Systeme nur noch auf dem System Level angegangen werden kann. Nur hier besteht die Aussicht, unterschiedliche Realisierungsalternativen untereinander abzuwählen. Dies kann auch schon für einzelne komplexe System-Teilaspekte wie z.B. Datenfluss-Planung gelten.

So soll System Planning bereits sehr frühzeitig wesentliche Entscheidungen zum Gesamtkonzept des Systems ermöglichen. (Grob-) Architektur und Constraints für die Teilkomponenten sollten daraus resultieren und ein Top-Down System-Design unterstützen. Tatsächlich wird ein iteratives Vorgehen stattfinden, bei dem mit zunehmender Detaillierung der Planung die Qualität der Charakterisierungsgrößen für die Teilkomponenten zunimmt, was wiederum zu genaueren und detaillierteren Constraints führt. Der Workshop soll zu einem Austausch von Gedanken, Sichtweisen, Lösungsansätzen und Erfahrungen zum Thema System Planning dienen.

Interessierte, auch außerhalb der beteiligten Projekte, sind herzlich eingeladen und können ab sofort bis spätestens zum 26.10.2006 Ihre Beiträge bei Frau Cordula Hansen ([hansen@edacentrum.de](mailto:hansen@edacentrum.de)) anmelden. Bei der Anmeldung sollten Titel, Name des bzw. der Vortragenden und ein paar Stichworte zum Inhalt angeben werden. (ch).



## Neues aus der Clusterforschung

[www.edacentrum.de/clusterforschung](http://www.edacentrum.de/clusterforschung)



### FEST-Workshop nach zwei Jahren Projektlaufzeit

Das Projekt FEST veranstaltet am 10.10.2006 in Hannover einen internen Workshop, zu dem alle Industriepartner des Projektes herzlich eingeladen sind. Auf der Veranstaltung erhalten die Teilnehmer die Möglichkeit, sich eingehend mit den neuen Methoden und Verfahren vertraut zu machen und über Verwertungsschritte und Nutzungsmöglichkeiten für die Industrie nachzudenken.

In EDA-Clusterforschungsprojekten arbeiten Hochschulen und Forschungseinrichtungen an zukunftsweisenden EDA-Forschungsthemen unter industrieller Patenschaft. Ziel ist es, Methoden zu erforschen, die in 5-10 Jahren zum industriellen Einsatz kommen können.

Mit dem FEST-Workshop wird ein Diskussionsforum für die Industriepartner des Projekts angeboten, in dem nach zwei Jahren Projektlaufzeit die Ergebnisse zur funktionalen Verifikation von Systemen vorgestellt und diskutiert werden können. Der Workshop wird vom edacentrum in Zusammenarbeit mit dem FEST-Projekt

durchgeführt. Die aktuellen Ergebnisse des Projekts werden in 6 Fachvorträgen mit anschließender Diskussion präsentiert, deren Inhalte im Folgenden kurz beschrieben sind.

#### **Zeitverifikation auf Systemebene, TU Ilmenau, Alexander Pacholik**

Auf Electronic System Level werden hierarchische Multidomänenmodelle verwendet, um möglichst früh die Validierung eines Gesamtmodells zu ermöglichen. Durch die Integration von Zeiteigenschaften in Form von Constraint-Beschreibungen wird die formale Prüfung von Zeiteigenschaften auf abstraktem Niveau ermöglicht.

#### **Methoden und Tools zur Verifikation hardware-naher eingebetteter Softwarekomponenten, Uni Tübingen, Thomas Kropf**

Im ersten Teil des Vortrages werden Zielsetzungen und bisherige Ergebnisse der Tübinger Forschungsgruppe erläutert. Dabei wird auf Methoden und Tools eingegangen, die eine Verifikation von hardwarenaher eingebetteter Software ermöglichen können und es wird die mögliche Verwertung der Methoden durch die Industriepartner vorgestellt. Im zweiten Teil werden aktuelle Forschungen im Bereich UML/SysML zur Eigenschaftsextraktion erläutert und die Relevanz für unsere Forschungspartner dargestellt.

#### **Black-Box-Verifikation, Uni Freiburg, Christoph Scholl**

Black-Box-Techniken werden eingesetzt, um Fehlererkennung und -lokalisierung schon in einem frühen Stadium des Entwurfs zu ermöglichen. Nach einer Einführung in das Konzept von Black-Box-Verifikationstechniken wird deren Anwendung bei der Berechnung „guter“ Gegenbeispiele zu fehlerhaften Entwürfen und bei der automatischen Lokalisierung von Designfehlern erläutert.

#### **Eigenschaftsbasiertes Design für Kompositionale Verifikation, TU Darmstadt, Martin Schickel**

Die Verifikation großer Systeme kann mit einem kompositionalen Ansatz erfolgen. Mit aus den Blockeigenschaften generierten abstrakten Komponenten lässt sich die Gültigkeit von Systemeigenschaften aus den Blockeigenschaften ableiten.

#### **Verifikation von SoC-Kommunikationsstrukturen, Uni Karlsruhe, Minh Nguyen**

Die formale Verifikation von Protokollimplementierungen auf einem SoC erfordert eine detaillierte sequenzielle Analyse miteinander kommunizierender Automaten. Die etablierte Methodik für die formale Blockverifikation mit intervallbasierten Eigenschaften ist dafür zwar prinzipiell geeignet, erfordert jedoch einen relativ hohen manuellen Aufwand. Der Vortrag skizziert eine Methodik und dazu passende Algorithmen, die dazu dienen, diesen Aufwand erheblich zu reduzieren.

#### **Mixed-Signal Verifikation, Uni Frankfurt, Alexander Jesser**

Die gemeinsame Verifikation von analogen und digitalen Schaltungsteilen stellt noch eine existierende Lücke im Verifikations-Flow dar. Basierend auf einer gemeinsamen Modellierung wird ein Verfahren zur Eigenschaftsprüfung von gemischt analog/digitalen Schaltungen vorgestellt.

#### **Termin:**

10.10.2006, 9:45–15.00

#### **Ort:**

Universität Hannover,  
Fakultät für Elektrotechnik und Informatik  
Appelstraße 4  
30167 Hannover

**Kont@kt**  
Maren Sperber  
fon: 0511.762-19699  
sperber@edacentrum.de

Die Kosten für den FEST-Workshop betragen 16 € pro Teilnehmer.



#### **SAMS und FEST stellen ihre Ergebnisse international vor**

Die Clusterforschungsprojekte SAMS und FEST haben dieses Jahr schon viele und hochwertige Publikationen veröffentlichten können. Insbesondere Präsentationen auf DATE und ISCAS waren dieses Jahr Highlights und somit Beleg für die erfolgreiche Arbeit in der Clusterforschung. Viele Demonstrationen der SW-Prototypen wurden auf der DATE 2006 im Rahmen der University Booth gezeigt. Das SAMS Projekt war auf der ISCAS mit einer Special Session über das Projekt präsent. Somit konnte der Ergebnisstand zum Ende des Projekts eindrucksvoll dargestellt werden. Weitere Publikationen sind noch auf der FDL (Darmstadt) und der Analog (Dresden) in diesem Jahr geplant.

#### **newsletter edacentrum Probeauszug**

Bestellen Sie sich den kompletten Artikel über [newsletter@edacentrum.deedacentrum.com](mailto:newsletter@edacentrum.deedacentrum.com),

Hannover, Oktober 2006