



„Ideen suchen Abnehmer – Markt sucht Innovationen!“

Der Kooperationsmarkt findet bereits zum 5. Mal und zum ersten Mal im Rahmen des edaWorkshop statt.

Er bietet allen in der EDA-Forschung Tätigen die Chance, Ihre Forschungseinrichtung und -ergebnisse auf dem Kooperationsmarkt interessierten Wirtschaftsunternehmen in einer Ausstellung umfassend zu präsentieren.

Als Teilnehmer des Workshops haben Sie die Möglichkeit, sich in einer Ausstellung über Forschungskompetenzen, Produkte und Dienstleistungen der dort ausstellenden Hochschulen und Start-up-Unternehmen zu informieren und potentielle Kooperationspartner kennenzulernen.

Das edacentrum unterstützt damit aktiv die Bildung neuer Projektkonsortien.

Die Teilnahme am Kooperationsmarkt als Aussteller ist für alle Hochschulen und Start-up-Unternehmen offen. In diesem Jahr stellen 7 Hochschulen und Unternehmen aus.

Wie die Posterausstellung des edaWorkshop erstreckt er sich über beide Tage der Veranstaltung.

Mit der Unterstützung des Bundesministerium für Bildung und Forschung.

Ansprechpartnerin zum Kooperationsmarkt ist Frau Dr. Cordula Hansen

E-Mail: hansen@edacentrum.de

Das edacentrum führt solche Kooperationsveranstaltungen in unregelmäßigen Abständen durch, um den Kontakt zwischen Forschungseinrichtung, Industrie und EDA-Hersteller zu verbessern.

Wenn Sie Interesse haben, sich als Aussteller an den Veranstaltungen zu beteiligen, kontaktieren Sie uns.

KONTAKT
edacentrum
Schneiderberg 32
30167 Hannover
Fon 0511 762 19699
Fax 0511 762 19695
info@edacentrum.de
www.edacentrum.de



OFFIS - Institut für Informatik : 200

Escherweg 2
26121 Oldenburg
http://www.offis.de/hs

Ansprechpartner:
Dr. Jens-E. Appell
Tel.: 0441 9722 -235 / Fax: -282
jens.appell@offis.de

Vorstand:
Prof. Dr.-Ing. Wolfgang Nebel,
Prof. Dr. Hans-Jürgen Appelrath,
Prof. Dr. Werner Damm

- FORSCHUNGSGEBIETE**
- Entwurfsmethoden für eingebettete HW/SW Systeme, insbesondere System-on-Chip, heterogene, rekonfigurierbare Systeme
 - Analyse und Optimierung eingebetteter Systeme, insbesondere Verlustleistungsabschätzung
 - Entwurf integrierter Schaltungen und Systemintegration durch das Design-Center

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification	■	■	■	■	■
Implementation	■	■	■	■	■
Verification	■	■	■	■	■
Manufacturing and Test	■	■	■	■	■

Low power optimization (Architecture Level)
SystemC modelling and synthesis (Architecture Level)

- BESTEHENDE KOOPERATIONEN**
- LEMOS, Low-Power - Entwurfsmethoden für mobile Systeme
 - PRODUKTIV+, Referenzsystem zur Messung der Produktivität beim Entwurf nanoelektr. Systeme
 - CLEAN (EU-IST-IP), Controlling LEApage power in NanoCMOS SoCs
 - ICODES (EU-IST-STREP), Interface and Communication based Design of Embedded Systems
 - PolyDyn (DFG), Polymorphe Objekte für den Entwurf dynamischer rekonfigurierbarer FPGAs
 - VISION (BMBF), Verteilte integrierte Systeme und Netzwerkarchitekturen für die Applikationsdomänen Automobil und Mobilkommunikation

- WERKZEUGE**
- Cadence
 - ChipVision
 - MathWorks
 - Mentor
 - Synopsys
 - Eigenentwicklungen

- PROJEKT- & KOOPERATIONSANGEBOT**
- FuE Projekte mit Schwerpunkten SystemC-basierter Entwurf von eingebetteten HW/SW-Systemen, dynamisch rekonfigurierbare Systeme, heterogene Systeme; Ziel: synthetisierbare Systembeschreibungen
 - FuE Projekte mit Schwerpunkten Analyse und Optimierung der Leistungseigenschaften integrierter Schaltungen auf Spezifikationsebene (SystemC, MATLAB/Simulink, C++); Ziel: Frühe Abschätzung der Leistungseigenschaften
 - Evaluation von Tools, Beschreibungssprachen, Design-Flows
 - HW/SW-Entwurf insbesondere in den Domänen Home-Automation, In-House Energie Management, Home-Care, Hörgeräte, Gateways und Sensordatenanalyse



OFFIS

Kooperationsmarkt

OFFIS



Technische Universität München : 15
Lehrstuhl für Integrierte Systeme

Arcisstr. 21
80333 München
http://www.lis.ei.tum.de

Ansprechpartner:
PD Dr.-Ing. Walter Stechele
Tel.: 089 289 -23862 / Fax: -28323
Walter.Stechele@tum.de

Institutsleiter:
Prof. Dr.sc.techn. Andreas Herkersdorf
Tel.: 089 289 -22515 / Fax: -28323
Andreas.Herkersdorf@tum.de



- FORSCHUNGSGEBIETE**
- System-on-Chip Entwurf
 - Entwurfsraum-Exploration (Anwendungsmo- dellierung, Transaction-level Architektur Modellierung & Simulation)
 - Rekonfigurierbare Systems-on-Chip (Partielle dynamische Rekonfiguration von FPGAs)
 - Organic Computing (On-Chip Fehlerdetektion und Korrektur, Selbst-heilende Systems-on-Chip)
 - Low Power Optimierung (Verdrahtung beim Standard Zellen Design)
 - Flexible Paketvermittlung in Daten- u. Rechnernetzen
 - Modulare Multi-CPU Netzwerkprozessor Architekturen mit anwendungsspezifischen HW Beschleunigern und rekonfigurierbarer Paketverarbeitungsfolge
 - Videoverarbeitung
 - Videoanalyse für Fahrerassistenz, Fahrmfelderfassung
 - MPEG-7 Merkmalsextraktion und Analyse

- KOOPERATIONEN**
- EU Projekte BUSMAN, SCHEMA (Multimedia Szenen Analyse)
 - EU Projekt SYDIC (Training für SoC Design)
 - DFG Schwerpunktprogramm „Rekonfigurierbare Rechensysteme“
 - DFG Schwerpunktprogramm „Organic Computing“

- WERKZEUGE**
- Xilinx FPGA Design
 - SystemC Modellierung und Entwurfsraumexploration

- ANGEBOT**
- SoC Architekturen und Entwurfsraumexploration für Netzwerkprozessoren, Videoverarbeitung und Automobilelektronik.

SCHWERPUNKTE

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification	■	■	■	■	■
Implementation	■	■	■	■	■
Verification	■	■	■	■	■
Manufacturing and Test	■	■	■	■	■



Universität Bremen : 17
Arbeitsgruppe Rechnerarchitektur (AGRA)

Bibliothekstr. 1
28359 Bremen
www.informatik.uni-bremen.de/agra

Ansprechpartner:
Dr.-Ing. Görschwin Fey
Tel.: 0421 281 -8650 / Fax: -7385
fey@informatik.uni-bremen.de

Institutsleiter:
Prof. Dr. Rolf Drechsler
Tel.: 0421 218 -7389 / Fax: -7385
drechsle@informatik.uni-bremen.de

- FORSCHUNGSGEBIETE**
- Formale und Simulationsbasierte Verifikation
 - Debugging
 - Testen
 - Algorithmen und Datenstrukturen
 - Schaltungs- und Systembeschreibungen

SCHWERPUNKTE

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification	■	■	■	■	■
Implementation	■	■	■	■	■
Verification	■	■	■	■	■
Manufacturing and Test	■	■	■	■	■

Entwurf mit SystemC (Architecture Level)
Formale Verifikation (Architecture Level)
Automatische Testmustererzeugung (Device and Technology Level)

- KOOPERATIONSANGEBOT**
- Konzeption und Entwicklung von Algorithmen im computergestützten Schaltkreisentwurf (Effiziente Datenstrukturen, Symbolische Bearbeitung, Formale Beweistechniken)
 - Systemmodellierung in SystemC (Simulation/Verifikation, Synthese, Debugging)

- BISHERIGE & BESTEHENDE KOOPERATIONEN**
- Debugging in der formalen Verifikation (BMBF-Projekt Herkules, im Unterauftrag von Concept Engineering, Freiburg)
 - Formale Verifikation von Schaltkreisen unter Verwendung von Informationen der Hochsprachebene (DFG)
 - Analysemethoden für den Entwurf anwendungsrobuster nanoelektronischer Systeme (BMBF-Projekt URANOS, im Unterauftrag von AMD Dresden)
 - Visualisierung von Schaltungen und Systemen (mit Concept Engineering, Freiburg)
 - SAT-basierte Testmustererzeugung (BMBF-Projekt MAYA, im Unterauftrag von NXP Semiconductors Germany, Hamburg)
 - Effiziente Erfüllbarkeitsalgorithmen für die Generierung von Testmustern (DFG)
 - DAAD Kooperationen mit Dallas, Toronto und Pisa
 - Kooperation mit Siemens Bahn- und Verkehrstechnik, Braunschweig



U Bremen

Technische Universität München

Universität Bremen



parallel zum edaWorkshop 07

5. Kooperationsmarkt



edaWorkshop 07

Ideen suchen Abnehmer ...

... Markt sucht Innovationen



- FORSCHUNGSGEBIETE**
- Entwurfsmethodik für eingebettete Echtzeitsysteme: Echtzeitanalyse, Approximation, Analyse verteilter Systeme, Ereignismodelle, System-synthese, Optimierung, Hardware/Software Codesign, Echtzeitbetriebssysteme, Spezifikationstechniken
 - Architekturen eingebetteter Systeme: FPGA-Entwurf, Rapid-Prototyping
 - Robotik: AUV, Robo-Cup
 - Anwendungen für eingebettete Systeme: Signalverarbeitung, Energietechnik, Automotive, Robotik

- KOOPERATIONEN**
- Analyse von Echtzeitsystemen, Inchron GmbH
 - Forschungsverbund Energie Niedersachsen (FEN)

- WERKZEUGE**
- chronSim
 - Altera Quartus
 - SOPC Nios II
 - Actel Mixed-Signal FPGA
 - Synopsis (Design Compiler)
 - Platinenlayout
 - Spice
 - Matlab/Simulink, Maple/Mathematica

SCHWERPUNKTE

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification					DFG: Corsair
Implementation					Beispiel FEN
Verification					DFG Projekte Approxsys, Parlot, Hepproxsys
Manufacturing and Test					

- PROJEKT- & KOOPERATIONSANGEBOT**
- Projektpartner im Bereich Echtzeitanalyse und Entwurf eingebetteter Systeme für verschiedene Anwendungen
 - Analyse von Echtzeitsystemen im Bereich Automotive (z.B. Flexray)
 - Simulation von Echtzeitsystemen im Bereich Automotive (z.B. Flexray)
 - Entwicklung neuer innovativer Algorithmen: asynchrone Echtzeitsysteme, Ereignismodelle
 - Beratung: Echtzeitanalyse, Systemsynthese, Hardware/Software Codesign



- FORSCHUNGSGEBIETE**
- Verkehrstelematik
 - Intelligent Transport Systems (ITS)
 - Informationssysteme im Verkehrswesen
 - Verkehrsnachrichtensysteme - Telekommunikation im Verkehrswesen
 - Verkehrssteuerung und -prozessautomatisierung

- BISHERIGE & BESTEHENDE KOOPERATIONEN**
- „Sm@rt Logistics“ (TCS GmbH Dresden)
 - Kooperation mit DHL Air Hub Leipzig
 - Leitprojekt „Intermobil“ (www.intermobil-dresden.de/Intermobil-intern)
 - Verkehrsinformationssysteme in Dresden (Fraunhofer Institut für Verkehrs- und Infrastruktursysteme)
 - Bildverarbeitung im Straßenverkehr
 - DETAILS: HF Design Technologie für präzise analoge IP-basierte Front-End Lösungen in hochintegrierten Datenübertragungs-Systemen
 - DFM: Design-Flow-Manager für IP-basierte SoC-Entwürfe

SCHWERPUNKTE

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification					
Implementation					
Verification					
Manufacturing and Test					

- FORSCHUNGSGEBIETE**
- Entwurf eingebetteter / verteilter Systeme: Architektur-Exploration, Performanz-Analyse, Topologie-Exploration, Network-on-Chip
 - Distributed Embedded Systems
 - Formale und funktionale Verifikation: Assertion-basierte Verifikation
 - Parallelisierte Formale Verifikation
 - Hardwarenahe Software-Verifikation
 - Autonome Integrierte Systeme

- KOOPERATIONEN**
- Bosch (Hardware, hardwarenahe Software-Verifikation)
 - Cadence (Hardwarenahe Software-Verifikation, Metriken und Modellierung für den Entwurfprozess)
 - GreenSoCs (SystemC)
 - Infineon (Modellierung verteilter Systeme)
 - Projektbeteiligungen: FEST, VISION, URANOS, PRODUKTIV+, AIS

- WERKZEUGE**
- SystemC
 - SCV
 - UML Modellierungswerkzeuge (Rhapsody)
 - Mentor Graphics
 - Synopsis
 - Matlab
 - Cadence

- KOOPERATIONSANGEBOTE**
- In allen genannten Themen

SCHWERPUNKTE

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification					Architektur-Exploration
Implementation					Entwurf und Bewertung hardwarenahe Software
Verification					Network-on-Chip-Generierung
Manufacturing and Test					Hardware/Software-Verifikation



- PRODUCT PORTFOLIO**
- automotive
 - medical
 - sensor signal-conditioning
 - standard analog & mixed-signal

- KOOPERATIONEN**
- AutoSUN „Entwurf von elektronischen Automobil-Systemen aus toleranzbehafteten Baugruppen“
 - SYENA „Syntheseunterstützter Entwurf analoger Schaltungen“

SCHWERPUNKTE

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level
Specification					Abstract Modeling SystemC-AMS, VHDL-AMS, Verilog A, MatLab/Simulink
Implementation					1st Time Right Design for SixSigma
Verification					DV / DfM Design for Reliability
Manufacturing and Test					Verification Automation for Analog-Mixed Signal
					Test of System in Package
					Analog-Mixed-Signal Test Automation

- KOOPERATIONSANGEBOT**
- Analoge Fehlersimulation
 - Design for Diagnosibility
 - EMC/EMI
 - Werkzeuge für den technologieunabhängigen Schaltungsentwurf
 - Analog-/Mixed-Signal Verification Automation
 - Test of System in Package

- WERKZEUGE**
- MatLab / Simulink
 - Cadence Virtuoso
 - WiCKED MunEDA
 - SystemC
 - VHDL-AMS
 - Verilog-A

Ideen suchen Abnehmer ...

... Markt sucht Innovationen

