

Data Analytics in Chip-Design-Projekten hilft bei Engpässen in Designprozessen und stellt Design-Konvergenz dar

Thomas Harms, Infineon

Über den Vortrag:

Mit der Zunahme der Design Komplexität und der Forderung nach Produktivitätssteigerungen im Chip-Design stellt sich die Frage nach den Ansätzen für die Verbesserungen in den verwendeten Design Flows um diese Produktivitätssteigerungen zu ermöglichen. Anders als in Fabrikationsabläufen läuft der Chip-Design-Prozess komplett auf Compute Farmen und somit im Wesentlichen intransparent für die Identifikation von kontinuierlichen Prozessverbesserungen.

In diesem Vortrag zeige ich Ansätze für die vermehrte Datenerfassung in R&D Design Prozessen auf um Erkenntnisse für die möglichen Engpässe in diesen Prozessen zu erhalten. CAD Abteilungen können dann gezielt methodische Verbesserungen entwickeln, z.B. um die nötige Anzahl von Design Iterationen zu verringern. Dazu werden designbezogene Daten zusammen mit Informationen einzelner Design Schritte und mit den Nutzungsdaten von EDA Lizenzen und Compute Farm Resources kombiniert. Somit ergibt sich ein gutes Bild über die benötigten Kapazitäten von EDA Lizenzen und Compute Farm pro Design Projekt und pro Design Phase. Weiterhin können diese erfassten Daten aufbereitet und den Chip Entwicklern gezielt zur Verfügung gestellt werden, um ihnen Details zum Fortschritt des Designs, z.B. zur Konvergenz gegenüber den Designspezifikationen, zu geben.

Curriculum Vitae



Thomas Harms ist Direktor EDA/ IP Alliance Management bei Infineon Technologies in München.

In der zentralen R&D Abteilung ist er verantwortlich für die weltweiten EDA Verträge, das Lizenz Asset Management und die Optimierung der EDA Kosten und der R&D Kapazitäten in enger Zusammenarbeit mit IT. Er ist Diplom Ingenieur Mikroelektronik der technischen Universität Karlsruhe und seit über 28 Jahren in verschiedensten CAD Funktionen und Rollen tätig.