

s »XMC-HiLight« ansteckt, kann er eigene
ware-Erweiterungen implementieren.

ch **Lauterbach** hat seinen bewährten
x-M-Debugger speziell für die XMC4000-
ie weiterentwickelt. Damit ist auch wei-
ein benutzerfreundliches Debuggen auf
er C++-Ebene möglich. Die TRACE32
iProbe bindet die XMC4000-Familie über
oder das Serial Wire Debug Interface an
Host mittels USB 2.0 oder über ein
0/1000 MBit Interface an. Der Entwickler
mit einen schnellen Zugriff auf alle in-
Hardware-Einheiten des Chips wie etwa
erie, Register, Flash und RAM; Debug-
trace-Hardware werden einschließlich
und ITM komplett unterstützt. In der Fol-
nnen schnelle Codedownloads in das
und Flash vorgenommen werden. TRA-
unterstützt alle gängigen Compiler-For-
ein effizientes Debugging aller Applika-
ist sowohl auf HLL- als auch auf Assem-
ebene gegeben. Sichergestellt wird dies
vielfältige Funktionen wie z.B. eine un-
zte Anzahl an Software Breakpoints, die
l im RAM als auch im Flash gesetzt wer-
önnen. Durch den Real-Time Streaming
bietet TRACE32 wichtige Funktionen
.B. Real-Time Profiling und Code-Co-
-Analysen. Anwender, die bereits einen
-M-Debugger haben, können ihn mit
Softwareupdate auch für die XMC4500-
controller-Serie weiter verwenden.

terstützung für Infineons Neulinge gibt
h von **IAR Systems**. Das Tool der Wahl
diesem Fall die »IAR Embedded Work-
«. »Die XMC4000-Mikrocontroller über-
a mit ihrer anwendungsoptimierten Pe-
ie und hohen Echtzeitfähigkeit«, betont
phan Zizala, Senior Director, Industrial
ultimarket Mikrocontroller bei Infineon

Technologies. »In Kombination mit einem op-
timierten Code, wie er vom IAR-C/C++-Com-
piler generiert wird, sind sie eine leistungsstar-
ke Lösung für Embedded-Anwendungen.« Die
Unterstützung für die XMC4500-Serie ist in der
IAR Embedded Workbench für ARM ab Versi-
on 6.30.5 enthalten. Die Toolchain beinhaltet
auch Beispiele für das modulare Hexagon-Kit-
System.

Nicht zuletzt unterstützt natürlich auch
PLS Programmierbare Logik & Systeme die
neuen XMC4000-Mikrocontroller: Sowohl die
Universal Debug Engine (UDE) 3.2.1 als auch
PLS' UAD2-Geräte unterstützen die Debug-
Ressourcen und Peripherie-Einheiten der neu-
en Prozessorfamilie uneingeschränkt. Dabei
garantiert die integrierte FLASH/OTP-Pro-
grammierungsfunktion der UDE laut PLS maxima-

le Geschwindigkeiten im Gesamtzyklus Lö-
schen-Download-Programmierung-Verify. Den
Echtzeit-Eigenschaften der XMC4000-Familie
kommen unter anderem die vielfältigen Mög-
lichkeiten der grafischen Darstellung von Va-
riablen und ihrer Verknüpfungen zu physika-
lischen Größen innerhalb der Universal Debug
Engine zugute. Während eines laufenden Pro-
gramms ist ein Lesen und Schreiben des ge-
samten Hauptspeichers durch den Debugger
ohne Einschränkung des Echtzeitverhaltens
möglich. Das erlaubt die Animation von Vari-
ablen, Registern und Speicherinhalten zur
Laufzeit. Darüber hinaus ermöglicht die peri-
odische Aufzeichnung des Befehlszählers eine
Profiling-Funktion mit Darstellung des prozen-
tualen Anteils von Funktionen an der Laufzeit
der Applikation. (nw) ■

Synopsys

3D-IC-Initiative

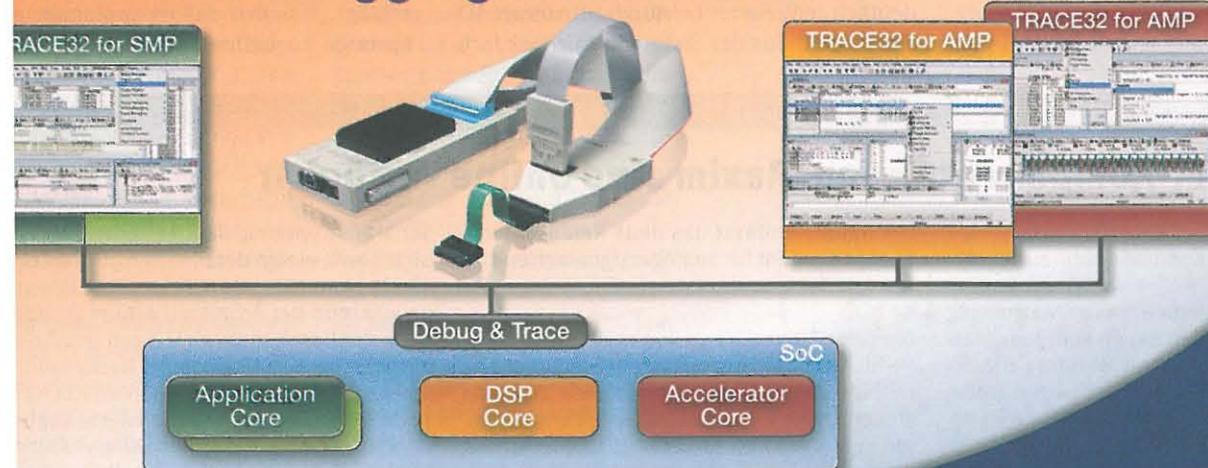
3D-Technologien werden viel diskutiert. Einerseits bieten sie die Möglichkeit, ICs
schneller und kleiner zu machen und ihre Leistungsaufnahme zu verringern. Anderer-
seits können über solche Ansätze auch ICs kombiniert werden, die auf unterschied-
lichen Prozesstechnologien basieren. Um die Entwicklung dieser 3D-ICs zu beschleu-
nigen, hat Synopsys jetzt seine 3D-IC-Initiative gestartet.

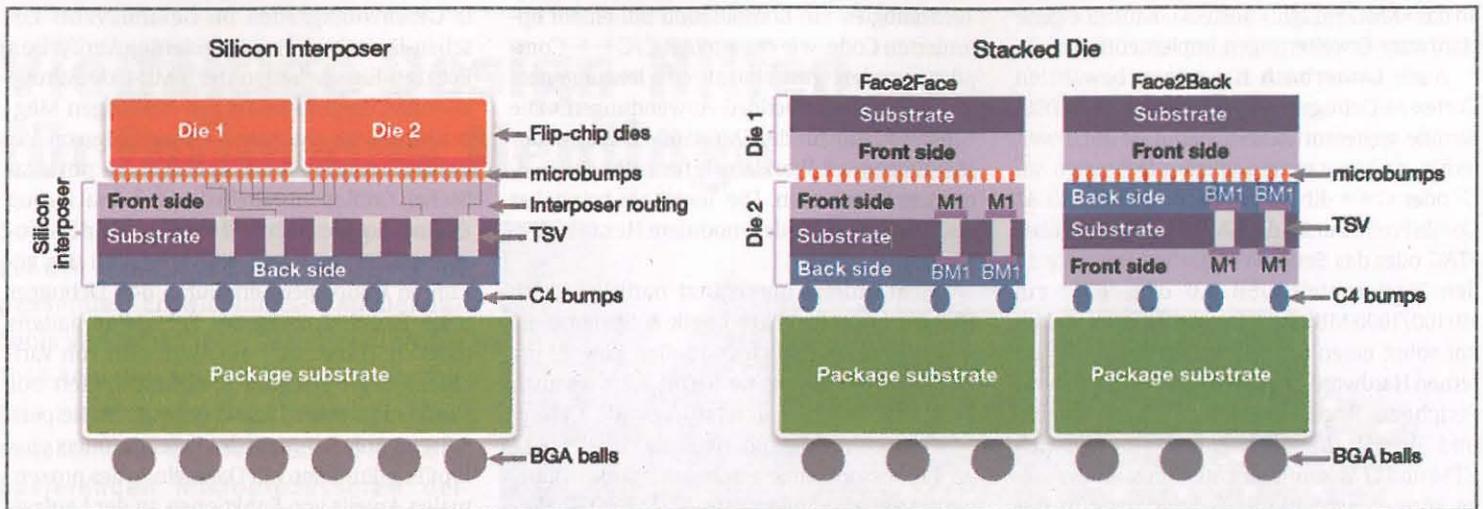
Vor zehn Jahren noch hat die Halbleiterindus-
trie die Lösung aller Probleme in der monoli-
thischen Integration gesehen. Doch mit klei-
ner werdenden Prozesstrukturen wurde klar,
dass dieser Ansatz immer kostspieliger und
schwieriger wird. Hinzu kam der Trend, dass
von der Systemseite her eine Kombination
von unterschiedlichen Technologien wün-

schenswert ist. Dementsprechend stehen
heute 3D-Technologien hoch im Kurs.

Derzeit werden dafür zwei Ansätze ver-
folgt: 2,5D-ICs und 3D-ICs. Bei 2,5D-ICs wer-
den mehrere Dies nebeneinander gesetzt und
über einen Interposer miteinander verbun-
den. Ein Beispiel für diesen Ansatz sind die
Virtex-7-2000T-FPGAs von Xilinx. Bei diesen

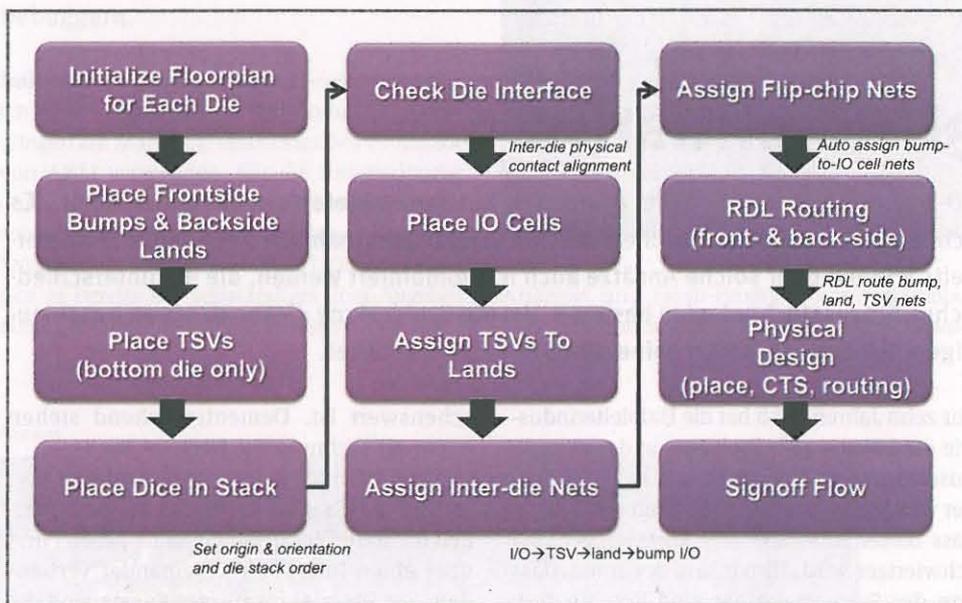
Multicore Debugging: Mix & Match





Beispielhafte Konfiguration von 2,5- und 3D-ICs

Grafik: Synopsys



Synopsys-Tools für 3D-ICs

Grafik: Synopsys

Bausteinen hat Xilinx vier gleiche FPGA-Dies nebeneinander in ein Gehäuse gesetzt. Für den Entwickler selbst verhält sich der Baustein wie ein monolithisches FPGA. Bei 3D-ICs werden die Dies übereinander gestapelt und mithilfe von TSVs (Through Silicon Vias) verbunden. Ein Beispiel für diesen Ansatz sind die Hybrid Memory Cubes (HCMs) von

Micron Technology. Das Unternehmen setzt bei den HCMs auf eine vertikale Durchkontaktierung (TSVs) zwischen den einzelnen Dies des DRAM-Stapels. Damit lässt sich die Speicher-Bandbreite im Vergleich zu DDR3 um den Faktor 15 erhöhen, bei gleichzeitig deutlich reduzierter Leistungsaufnahme. 3D-Stacks sind aus der Sicht von Michael Jack-

son, Vice President Research and Development in der Physical Implementation Group von Synopsys, ein großartiger Ansatz, aber bislang wären die Kosten für die meisten Anwendungen noch zu hoch. Darüber hinaus müssten noch die Probleme mit der Wärmeentwicklung und die Supply-Chain – wer ist beispielsweise dafür verantwortlich, wenn das 3D-IC nicht funktioniert – in den Griff bekommen werden. Jackson fügt außerdem hinzu, dass Einsparungen bei der Fläche und der Leistungsaufnahme nicht als selbstverständlich angenommen werden. Das hinge vielmehr von der Anzahl der TSVs, ihrer Größe und ihrer Platzierung ab.

Deshalb wird der Durchbruch von 3D-ICs noch etwas auf sich warten lassen. Bis diese Technologie so weit ist, können die Entwickler auf die 2,5D-Technologie zurückgreifen. Zwar müssen auch hier zusätzliche Kosten für den Interposer in Kauf genommen werden, aber im Vergleich zu 3D-ICs ist das Substrat günstiger, es sind keine TSVs und keine Dünnung der Wafer notwendig, und auch die Hitze Probleme entfallen. Hinzu kommt, dass die Assemblierung und der Test von 2,5D-ICs einfacher ausfallen, was sich schlussendlich in einer höheren Fertigungsausbeute niederschlägt. Um den 3D-Technologien auf die Sprünge zu helfen, hat Synopsys mit den

Altium

Board-Level-Komponenten von Maxim sind online verfügbar

Im Online-Content-System AltiumLive stehen neue Board-Level-Komponenten zur Verfügung, die für eine Reihe von Analog- und Mixed-Signal-Bauelementen von Maxim entwickelt wurden. Zu den neuen Komponenten gehören die intelligenten Building-Block-Produkte von Maxim, wie z.B. 1 x 1 mm große Komparatoren mit 4 Pins, MEMS-basierte Echtzeituhren, Point-of-Load-Regler (PoL) und »Beyond-the-Rails«-Multiplexer. Darü-

ber hinaus umfasst das neue Release auch Design-Content für analoge Signalketten sowie Interface- und Leistungs-Bausteine.

Die über AltiumLive online verfügbaren einheitlichen Board-Level-Komponenten werden mithilfe aktuellster Datenbestände von Maxim entwickelt und gepflegt. Die Komponenten sind direkt für die Leiterplattenentwicklung einsetzbar und bestehen aus dem

Schaltplansymbol, dem Leiterplatten-Footprint sowie einem detaillierten 3D-Modell für die dreidimensionale mechanische Integration während der Arbeit mit Altium Designer. Dank der Geschäftsbeziehungen mit Zulieferern wie Digi-Key, Mouser und Newark enthalten die Board-Level-Komponenten von Altium zusätzlich in Echtzeit aktualisierte Logistik-Informationen (z.B. zum gewählten Anbieter sowie zu Preis und Verfügbarkeit). (st)

Halbleiterherstellern eng zusammengearbeitet und folgende EDA-Tools mit Blick auf eine 3D-Integration entsprechend verbessert:

- **Test-Automatisierung mit DFTMAX:** Design-for-Test für gestapelte Dies und TSV;
- **DesignWare STAR Memory-System-IP:** Integrierter Speichertest, Diagnose- und Reparatur-Lösung;
- **IC Compiler:** Place-and-Route-Unterstützung, inkl. TSV, Microbump, Silicon-Interposer-Redistribution-Layer (RDL) und

Signal-Routing, Generierung des Versorgungsnetzwerks und Verbindungschecks;

- **Extraktion parasitärer Effekte mit StarRC Ultra:** Unterstützung für TSV, Microbump, Interposer-RDL und Signal-Routing-Metal;
- **Schaltkreissimulation mit HSPICE und CustomSim:** Multi-Die-Verbindungsanalyse;
- **PrimeRail:** Spannungsabfall- und EM-Analyse;
- **IC Validator:** DRC für Microbumps und TSV, LVS-Verbindungschecks zwischen gestapelten Dies;

- **Implementierungslösung Galaxy Custom Designer:** Nutzer-spezifische Anpassungen in Silicon-Interposer-RDL, Signal-Routing und Versorgungsnetzwerk;

- **Sentaurus Interconnect:** thermo-mechanische Belastungsanalyse zur Untersuchung des Einflusses von TSV und Microbumps in Multi-Die-Stacks;

Die 3D-IC-Lösung von Synopsys ist derzeit in einer Beta-Version verfügbar. Das produktionsreife Release soll im zweiten Quartal dieses Jahres verfügbar sein. (st) ■

Methodics

Das Chaos beherrschen

Das Start-up-Unternehmen Methodics hat Daten-Management-Tools entwickelt, mit denen das IP-Chaos beherrschbar werden soll. Das Unternehmen richtet sich einerseits an die eigentlichen IP-Entwickler, andererseits aber auch an die Halbleiterhersteller, die die IP-Blöcke in ihren SoCs integrieren.

In komplexe SoCs wandert eine Vielzahl von IP-Blöcken. Dabei handelt es sich zum Teil um Eigenentwicklungen, zum Teil aber auch um IPs, die von Drittunternehmen zur Verfügung gestellt werden. Damit ergeben sich aus der Sicht von Simon Butler, CEO von Methodics, aber viele Herausforderungen. Methodics selbst adressiert mit seinen Tools speziell Daten-Management-Probleme im IP-Bereich. Dazu zählt Butler folgende Punkte:

- **IP-Distribution** – »Es ist nicht ungewöhnlich, dass in heutigen Designs bis zu 50 IP-Komponenten mit einer Vielzahl von Subsystemen und riesigen Datensätzen wandern.« Nachdem die Entwickler-Teams oft weltweit verteilt sitzen, müssen diese großen Datensätze distribuiert werden. Aber die Bereitstellung dieser Daten braucht immer mehr Zeit. Laut Butler sprechen viele Kunden von mehr als acht Stunden für große PDK-Updates, wobei noch nicht einmal sichergestellt sei, dass das Update auch komplett durchgeführt wurde.

- **IP-Release** – Zum einen stehen IP-Blöcke in vielen verschiedenen Dateiformaten zur Verfügung. Zum anderen ist es bislang laut Butler nicht gewährleistet, dass eine Änderung im RTL-File auch Veränderungen beispielsweise in

den Teststrukturen und in den Dokumentationen zur Folge hat. Bislang gibt es keinen Automatismus, der sicherstellt, dass die Veränderungen in allen Datensätzen durchgeführt werden.

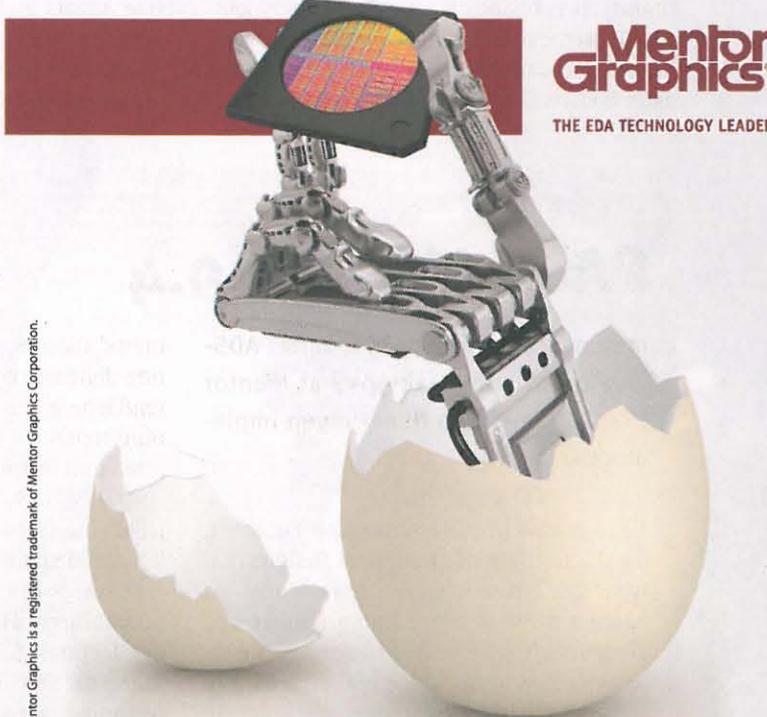
- **Konfigurations-Management** – IP-Blöcke unterliegen vielen Veränderungen, so dass ein und dieselbe Funktion in einer Vielzahl von IP-Versionen vorliegt. Laut Butler passieren dadurch aber oft Fehler, weil der Entwickler gar nicht weiß, mit welcher Version er eigentlich arbeiten kann. »Da es keine Tools für das Konfigurations-Management gibt, sind oft Re-spins notwendig, weil der Entwickler einfach die falsche IP-Version in das endgültige Design integriert hat«, so Butler.

Daher hat Methodics für die IP-Entwickler das SoC-Developer-Tool entwickelt, das aus dem Build-IC- (IP-Integration-Engine) und dem VersIC-Werkzeug (Konfiguration-Management-Tool) besteht. Damit wird laut Butler die IP-Distribution mithilfe von IP-Kopien deutlich beschleunigt, weil der Datenverkehr über die firmeninternen Netze reduziert wird. Das Tool bietet außerdem eine zentrale Kontrolle für alle Design-Daten, die in den weltweit verteilten Entwicklungszentren genutzt werden. Butler weiter: »Wir stellen außerdem sicher, dass das IP auch wirk-

lich sicher übertragen wird.« Als übergeordnetes Tool steht noch der SoC Integrator zur Verfügung, mit dem laut Butler die ganzen IPs verwaltet und gehandelt werden können. »Dieses Management-Tool zeigt an, welches IP in welcher Version verfügbar ist«, so Butler.

Das Tool ermögliche außerdem eine automatisierte Release-Verifikation für IP-Subsysteme und würde in einem zentralen Datensatz die Qualitätsmerkmale des einzelnen IP-Blocks (Leistungsaufnahme, Test-Coverage, Geschwindigkeit etc.) aufzeigen. (st) ■

Anzeige



Mentor Graphics
THE EDA TECHNOLOGY LEADER

Bringing Your Design to Life

Als EDA Technologieführer liefern wir Ihnen die passenden Design-, Verifikations- und Test-Tools, um Ihre Design-Ideen zum Leben zu erwecken.
Weitere Informationen unter www.mentor.com

©2012 Mentor Graphics Corporation. All Rights Reserved. Mentor Graphics is a registered trademark of Mentor Graphics Corporation.