AZTEKE - Applikationsspezifische Testmethodik für hochkomplexe Systeme der Kommunikations- und Kraftfahrzeugtechnik

Das Projekt AZTEKE wird innerhalb des Förderschwerpunktes Ekompass gefördert und hat hohe strategische Relevanz für die Verbesserung der Kostensituation beim Testen neuer Technologien mit einer Wafergröße von 300 mm Durchmesser. Auf diese können zweieinhalb Mal so viele Chips als auf einem 200 mm-Wafer aufgebracht werden, was eine Einsparung der Herstellungskosten von etwa 30 % erbringt. Die Herausforderung auf dem Gebiet des Testens solcherer (Logik-) Chips besteht darin, den gesamten Prüfaufwand für 300 mm-Wafer mit nicht mehr Aufwand an Testquipment und Zeit als bei 200 mm-Scheiben abzuwickeln. In AZTEKE werden innovative Testmethoden und neue Fehlermodelle für SoC's und Schaltungen mit mehreren Millionen Gattern entwickelt, die schnellere, effizientere und kostengünstigere Testmöglichkeiten für Pfadverzögerungen, Signalintegritätsverletzungen und Deterministic Logic Built-in Self-Test (DLBIST) bieten.

Halbleiterprozesse im sub-100 nm-Bereich erlauben bereits heute die monolithische Integration von komplexen mikroelektronischen Systemen auf einem Chip (SoC – Systems-on-Chip). Neben dem rasanten Wachstum der integrierbaren digitalen Signalverarbeitungsfunktionen entwickeln sich besonders analoge und mixed-signal Funktionalitäten zum Grundbestandteil solcher Systeme. Darüber hinaus steigt die Heterogenität dieser Systeme durch die zunehmende Integration von sensorischen und mikromechanischen Funktionen sowie der Bereitstellung von Schnittstellenfunktionen zur Leistungselektronik und Hochfrequenztechnik rasch an. Die sich daraus unmittelbar ableitenden technischen Herausforderungen sind zur Bedienung der Nachfrage effizient zu lösen. Eine wesentliche Voraussetzung für die wirtschaftlich erfolgreiche Produktion im Markt für SoC ist die Verfügbarkeit von effizienten Testmethoden, die den ständig steigenden Anforderungen an die Zuverlässigkeit und Fehlerfreiheit gerecht werden. Hierbei ist es besonders wichtig, dass die Testmethoden unter industriellen Randbedingungen bei der Produktentwicklung und Chipherstellung wirtschaftlich und einfach anzuwenden sind. Das Erarbeiten von qualifizierten und weitgehend standardisierten Testlösungen für verschiedene Systemmakros und von Hilfsmitteln zur Systemintegration gilt als Leitlinie für die in AZTEKE zu bearbeitenden Aufgabenstellungen.

Das Projekt ist unterteilt in die drei Teilprojekte „Modularer Test für komplexe Systems-on-Chip", „Diagnose und Fehlerlokalisierung" und „Timing- und Performance-Tests bei hohen Betriebsfrequenzen".

Bislang erzielte Ergebnisse

Um den funktionalen Test von außen weitestgehend ersetzen zu können, wurde in AZTEKE ein Verfahren zur effizienten Kompaktierung und Dekompaktierung für viele parallel an einen Controller angeschlossene Scanketten entwickelt und mittels prototypischer Software implementiert. Bei einer „x"-Bitverteilung von 99 % in den Testmustern wurde ein Komprimierungsfaktor bis zu 30 für Eingangsdaten erreicht. Es wurde ein erster vollständiger Scancontroller implementiert und ein Testprozessor für funktionalen Selbsttest (off-line) mit der Fähigkeit für On-Line-Selbsttest entworfen. Dieser Ansatz soll eine in Zukunft benötigte externe Testerausrüstung auf die Durchführung von nur parametrischen Tests (z.B. Ruhestromaufnahme oder Signalpegel) reduzieren.

Weiterhin wurde untersucht, in wie weit optimierte Scanzellen neuartige Scan-Test-Verfahren wie z.B. den Delay-Test unterstützen können. Verschiedene Realisierungsformen für Scanzellen wurden analysiert und es wurde gezeigt, dass die optimierten Scanzellen von den vorhandenen automatischen Entwurfswerkzeugen verarbeitet werden können. Man verspricht sich hier einen Durchbruch durch die Reduktion von Testzeit.

Ein Demonstratordesign in einer 180 nm Technologie wurde erstellt, das eine erste prototypische Implementierung des LBIST mit minimaler Fläche für die benötigte Bit-Flipping-Logik (BFL) enthält. Die BFL stellt die zentrale Komponente der DLBIST-Architektur dar und generiert die deterministische Belegung der Pseudozufallsmuster. Der zusätzliche Flächenbedarf für die LBIST Logik liegt hier im Bereich 2 % bis 5 %.

Die Gliederung von komplexen SoC-Designs in einzelne Testmodule und die Berücksichtigung von spezifischen Anforderungen wie BIST für Memories wurde entwickelt und neue Algorithmen und Methoden implementiert. Diese Programme ermöglichen die beliebige Verknüpfung von seriellen und parallelen Testbenches, sowie von Waveformaten und Testzyklenlängen, die eine direkte Unterstützung von At-Speed-Tests erlauben. Die Software wurde an einer aktuellen Schaltung in einer 180 nm Technologie validiert. Die Zeit für die Erzeugung der Testbenches konnte dabei von 41 Stunden auf 40 Minuten reduziert werden.

Die Entwicklung einer flexiblen Testprogrammstruktur und DFT-Bibliothek für die Testsysteme M3650 bzw. Piranha der Firma Credence/SZ optimiert die Wiederverwendbarkeit von Mixed-Signal-Testmodulen. Der neue Testflow erzwingt die Verwendung von ausreichend charakterisierten und dokumentierten Testmakros, führt zu einer deutlichen Zeitersparnis bei der Testprogrammerstellung und zu einer wesentlichen verbesserten Qualität der ersten Testprogrammversion. Es wird eine Zeitersparnis im Testentwicklungsprozess von bis zu 30 % erwartet. Dies führt dazu, dass das erste Silizium wesentlich umfangreicher charakterisiert werden kann und die „Time-to-Market" für neue Produkte verkürzt wird.

Für Analog-Digital-Converter bei Audioanwendungen wurde ein neues Verfahren entwickelt, das es ermöglicht, auf einem kostengünstigen Digitaltester wesentlich schneller testen zu können als dies bisher der Fall war. Das Testverfahren erlaubt den dynamischen Test mit einer Abtastrate von bis zu 4 MHz. Während die Standardmethoden die Parameter aus dem Fre-

Projektinformation

Stand: Q2/2004

Förderkennzeichen
01 M 3063

Förderzeitraum
01.03.2002 bis 28.02.2005

Schlüsselworte:
ATPG, BIST, Delay-Test, DFT, Diagnose, IDDX, I/O, LBIST, ReUse, Scan-Test, Signal-Integrity, SoC, Test

Kontakt:
Dr. Sebastian Sattler
Infineon Technologies AG
Balanstr. 73
81541 München
sebastian.sattler@infineon.com

Zusammensetzung des Prokjektkonsortiums:
Partner:
» Atmel Germany GmbH
» Infineon Technologies AG
» Philips Semiconductors GmbH

Unterauftragnehmer:
» Brandenburgische Technische Universität Cottbus
» Universität Potsdam,
» Redemund & Thiede Datentechnik GmbH
» Universität Bremen
» Universität Stuttgart

quenzspektrum bestimmen, was eine rechenaufwendige FFT-Operation voraussetzt, arbeitet das neue Verfahren direkt im Zeitbereich. Die Methode basiert auf einem pulsdichte-modulierten (PDM) und sigma-delta-kodierten Bitstrom als Stimuli. Versuchsreihen auf einem Teradyne J750 Tester haben gegenüber dem bisher verwendeten Verfahren eine Verringerung der Testzeit um den Faktor 4 erzielt.

Die Implementierung einer Bridging-Fehlerbibliothek wurde erfolgreich validiert und die Analyse und Spezifikation der Algorithmen zur Erkennung von dynamischen Gate-Delay-Fehlern durchgeführt. Im Gegensatz zu den statischen Fehlern (wie Haftfehler) sind dynamische Delay-Fehler nur dann erkennbar, wenn ein Signalwechsel an den Flipflops einer Schaltung durchgeführt wird. Daher können dynamische Tests nur mit zwei ‚Modes' durchgeführt werden. Der erste Mode initialisiert den zu testenden Bereich, der zweite Mode führt durch das Anlegen der geeigneten Testmuster den Signalwechsel durch. Danach kann geprüft werden, ob das Signal zeitverzögert oder korrekt ankommt. Die Software zur Erstellung einer Fehlerbibliothek für Gate-Delay-Fehler ist noch in der Implementierung.

Die gängigen Diagnose-Interfaces von Speicher-BIST-Controllern wurden auf deren Tauglichkeit für die Fehlerdiagnose im Zusammenhang mit den heute verfügbaren Testsystemen untersucht. Dabei wurde festgestellt, dass prinzipiell zwei unterschiedliche Verfahren - mit und ohne Handshaking - zum Auslesen der Fehlerinformation möglich sind. Die Fehlerinformation kann zur Erstellung von Bitmapgrafiken verwendet werden, die dann die Fehlerdiagnose erleichtern. Aus der Verfahrensklasse der Handshaking-Interfaces wurden das BIST-Interface und BISR-Interface (Built-in Self-Repair) zum Auslesen der Fuse-Information untersucht. Hier kann durch geeignete Programmierung des Testsystems die sichere Datenerfassung der Bausteine sichergestellt werden. Die Analyse der verwendeten Testerarchitekturen auch im Hinblick auf weitläufig verwendete Interfaces ohne Handshaking war Grundlage für eine erfolgreiche Implementierung verschiedener Algorithmen in teilweise produktiv laufenden Testprogrammen.

Ein neues Diagnose-Verfahren wurde entwickelt, das die auf den Scanpfaden parallel ausgegebenen Testsignale als Informationsbits eines linearen fehlerkorrigierenden Codes betrachtet. Hierdurch sind für integrierte Schaltkreise mit einer großen Anzahl von Scanpfaden sehr hohe Kompressionsraten bei der Diagnose möglich. Messungen mit 2000 Scan-Pattern wurden an 20 fehlerhaften ICs durchgeführt, die alle erfolgreich diagnostiziert werden konnten. Es wird beabsichtigt, schon während des Produktionstests von SoC kostengünstig mit so genannten Signatur-Registern wichtige Daten für die Ausbeutesteigerung zu erzeugen. Aufwendige nachfolgende Analysemessungen entfallen und die Rückführung der Analysedaten in den Prozess wird beschleunigt.

Geeignete Algorithmen zur Erzeugung von Testmustern für Verzögerungsfehler wurden entwickelt und implementiert. Die Validierung dieser Delay-Test ATPG-Software wurde erfolgreich abgeschlossen. Konzeptüberlegungen und die Spezifikation zur Erstellung von Algorithmen für einen Pfadverzögerungsfehlertest (Path-Delay) bilden einen weiteren Schwerpunkt.

Zur Berechnung von Kopplungseffekten wurde ein Leitungsmodell 4. Ordnung entwickelt. Die Validierung der mathematischen Modelle mit Schaltungssimulationen zeigte eine gute Übereinstimmung und dient als Grundlage für die Generierung geeigneter Testmuster für Signal-Integrity-Fehler.

Ein Testchip inklusive Testprogramm und entsprechenden Prüfadaptern wurde fertig gestellt, bei dem die IO-BIST-Methode für statisches sowie dynamisches Verhalten von bidirektionalen Pads der traditionellen Testmethode mit einem Testsystem gegenübergestellt werden konnte. Alle dynamischen und statischen Parameter wurden auf einem Testchip gegenüber der herkömmlichen Testsystemmethode erfolgreich verifiziert.

Es wurden versorgungsstrombasierte Messungen (DC und AC) an guten und ausgefallenen Bauelementen aus der Produktion mit Hilfe von externen Stromsensoren durchgeführt. Die statistische Auswertung der Messungen lieferte nur für „katastrophale" Fehler eine eindeutige Aussage. Auch bei der Messung des Versorgungsstromes mit externem Stromsensor war keine eindeutige Korrelation zu Parameterausfällen möglich. Eine mögliche Lösung dieses Problems könnte durch die Verlagerung des Stromsensors in den Schaltkreis hinein erzwungen werden. Dadurch könnte direkt die Stromaufnahme eines einzelnen Schaltungsblocks gemessen und die Überlagerung der Stromverläufe verschiedener Schaltungsblöcke vermieden werden. Dies erfordert aber eine Änderung an der Schaltung des IC und am Layout. Durch den Einsatz versorgungsstrombasierter Messungen wird eine Verringerung des Test-Overheads bei hochfrequenten Tests erwartet.

Zusammenfassung

Gemeinsames, technisches Ziel der Partner ist es, neue Test- und Diagnosemethodiken und EDA-Werkzeuge zu entwickeln, die den applikationsspezifischen IC-Test effizienter und kostengünstiger machen. Mit den in AZTEKE entwickelten Methoden wird erstmalig eine Reduktion der horrenden Testdatenmengen um den Faktor 10 erreicht werden können. Diese Methoden legen den Grundstein, um heute übliche funktionale At-Speed-Tests zukünftig durch strukturelle Tests ablösen zu können. Die berichteten Ergebnisse verschaffen einen Kosten- und Qualitätsvorteil derart, dass es trotz steigender Qualitätsanforderung möglich sein wird, auf kostengünstigeres Testequipment auszuweichen. Sie verbessern den Entwurfsprozess für SoC und Multi-Million Gates nachhaltig - insbesondere die Ansätze mit BIST reduzieren den benötigten Speicherbedarf für Produktionstester - und legen die Grundlage, um zukünftig Eigenschaften von digitalen und Mixed-Signal-SoC auch mit stark reduzierter Anzahl von Testerkanälen testen zu können.