

# HONEY – Grundlagen für die Analyse und Optimierung von Ausbeute und Zuverlässigkeit Integrierter Schaltungen

Ein Projektbericht über die Zielsetzung vom Projekt HONEY und erste Ergebnisse nach etwas mehr als 1½ Jahren Projektlaufzeit



## Einleitung

Informations- und Kommunikationstechnologien (IKT) zählen in der Hightech-Strategie der Bundesregierung zu den bedeutendsten Innovationsfeldern für Deutschland. Um dieser Strategie gerecht zu werden, hat das Bundesministerium für Bildung und Forschung (BMBF) das Forschungsprogramm IKT2020 aufgesetzt. Elektronik und Mikrosysteme werden in der IKT2020 als eine von drei Basistechnologien beschrieben. Der Fokus der Fördermaßnahmen wird dabei auf vier vorrangige Qualitätsziele gesetzt:

- » Wirtschaftlichkeit
- » Sicherheit (und Zuverlässigkeit)
- » Nutzerfreundlichkeit
- » Ressourceneffizienz

Das hier beschriebene Projekt HONEY adressiert primär die beiden Qualitätsziele Sicherheit/Zuverlässigkeit sowie Wirtschaftlichkeit im Rahmen des Schwerpunkts „Chipentwurf (EDA)“, der in der IKT2020 als ‚Enabling Technologie‘ der Elektronik bezeichnet wird. Damit wird das Projekt HONEY weitere Innovationen in den Anwendungsfeldern der deutschen IKT-Wirtschaft (Automobil und Mobilität, Maschinenbau und Automatisierung, Gesundheit und Medizintechnik, Logistik und Dienstleistungen sowie Energie und Umwelt) ermöglichen.

Um eine **wirtschaftliche** Verwertung modernster Halbleiterschaltungen sicherzustellen, ist es unabdingbar, diese Produkte schnell und mit einer hohen Zielausbeute (Yield) in der Fertigung hochzufahren. Bisher war die Ausbeute eine reine Domäne der Halbleiterfertigung. Die Einhaltung von Entwurfsregeln garantierte die Ausbeute und Herstellbarkeit eines Produktes. In modernen Technologien wird jedoch die Ausbeute sehr viel deutlicher vom Chipentwurf beeinflusst. Ein wesentlicher Grund dafür ist die Lücke zwischen den Strukturgrößen und der verwendeten Wellenlänge des Lichtes für die Übertragung der Strukturen. Solange die Lithographie bei der heute verwendeten Wellenlänge von 193 nm stehen bleibt wird sich diese Lücke weiter vergrößern und die übertragenen Strukturen werden immer stärker von der gewünschten Form abweichen. Ein weiterer Grund liegt in dem komplexen Aufbau der Bauelemente. Diese reagieren mittlerweile sehr empfindlich auf Effekte die in älteren Technologien vernachlässigt werden konnten. So haben zum Beispiel mechanischer Stress oder die Ori-

entierung auf dem Siliziumsubstrat einen Einfluss auf die elektrischen Eigenschaften der Bauelemente. All diese Effekte lassen sich jedoch durch den Entwurfsprozess bestimmen oder sogar beeinflussen. In der sich stark verändernden Fertigungslandschaft eröffnet sich dadurch eine neue Differenzierungsmöglichkeit zu Wettbewerbern insbesondere bei einer Fremdfertigung. Für ein schnelles Hochfahren der Produkte ist es darüber hinaus wichtig, mit dem ersten Entwurf sein Ziel zu erreichen. Eine Korrektur des ersten Entwurfs aufgrund zu geringer Ausbeute oder nicht erreichter Zuverlässigkeitsanforderungen ist in modernen Technologien wirtschaftlich nicht mehr tragbar, nicht nur wegen der zusätzlichen Kosten für den neuen Entwurf, sondern vor allem durch den entstehenden Zeitverzug, bis am fertigen Chip Ausbeute und Zuverlässigkeit bestimmt werden können.

**Sicherheit und Zuverlässigkeit** elektronischer Komponenten spielen vor allem in den Anwendungsfeldern Automobil und Mobilität eine wichtige, oft sogar lebenswichtige Rolle. Aber selbst in den Bereichen mit niedrigeren Anforderungen führt eine hohe Zuverlässigkeit der Elektronik zu mehr Vertrauen und Akzeptanz in der Bevölkerung. Ohne Akzeptanz wiederum ist kein breiter Einsatz der Mikroelektronik in unseren alltäglichen Produkten möglich und damit wäre auch jegliche Innovation stark eingeschränkt. Jedoch gerade die Zuverlässigkeit neuester Halbleitertechnologien lässt sich immer schwerer gewährleisten. Die Gründe dafür sind vielfältig. Die Zahl der Bauelemente pro Chip steigt immer mehr an, elektrische Felder skalieren nicht in gleichem Maße wie die Geometrien und Schaltungen reagieren durch die immer weiter reduzierten Versorgungsspannungen empfindlicher auf Parametervariationen und Störungen. Hinzu kommen immer wieder neue Ausfallmechanismen, welche durch die Einführung neuer Materialien verursacht werden.

Aus all diesen Gründen müssen Ausbeute und Zuverlässigkeit in Zukunft schon während des Entwurfs berücksichtigt werden. Für komplexe Systeme stehen jedoch dafür heute keinerlei Werkzeuge und Methoden zur Verfügung.

## Zielsetzung

Zielsetzung im Projekt HONEY ist die Erforschung von Grundlagen für die abstrakte Modellierung, Analyse und Optimierung von Ausbeute und Zuverlässigkeit integrierter Schaltungen. Ebenfalls Ziel des Projektes

## Zusammensetzung des Projektkonsortiums:

### Projektpartner:

Infineon Technologies AG  
X-FAB Semiconductor Foundries AG  
IMMS gGmbH  
MunEDA GmbH

### Unterauftragnehmer:

TU München  
U Frankfurt

### Förderkennzeichen:

01M3184

### Laufzeit des Vorhabens:

01.12.2007–30.11.2010

### Homepage:

<http://www.edacentrum.de/honey>

Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01M 3184 gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

### Autoren:

Georg Georgakos  
Hanno Melzner

ist die methodische Einbindung in den Entwurfsprozess für hochmoderne Prozesstechnologien sowohl im Bereich der Kommunikationselektronik als auch in der Automobil- und Industrieelektronik. Zusammen mit den herkömmlichen Methoden zur Sicherstellung von Ausbeute und Zuverlässigkeit soll es damit zukünftig möglich werden, bereits in der Konzept- und Architekturphase die Ausbeute und Zuverlässigkeit eines geplanten Produktes zu analysieren und zu optimieren. Die neuen Entwurfsmethoden sollen in existierende Designsysteme integriert und nach Projektende den Schaltungsentwicklern zur Verfügung gestellt werden. Dadurch wird zum einen die Methodenkompetenz im Bereich der Produktentwicklung und im Bereich der Entwurfsautomatisierung in Deutschland ausgebaut. Zum anderen ermöglichen höhere Ausbeuten und die Vermeidung von teuren nachträglichen Korrekturen eine verbesserte Kostenposition beim Einsatz modernster Halbleiter-Technologien und stärken damit die Wettbewerbsfähigkeit der beteiligten Partner.

**Aufgaben im Projekt**

Das Forschungsprojekt gliedert sich in drei eng verzahnte Arbeitspakete. Das erste Arbeitspaket behandelt **Design-Methoden** zur Optimierung von Ausbeute und Zuverlässigkeit von digitalen Zell-Bibliotheken und einfachen analogen Schaltungsblöcken mit dem Ziel,

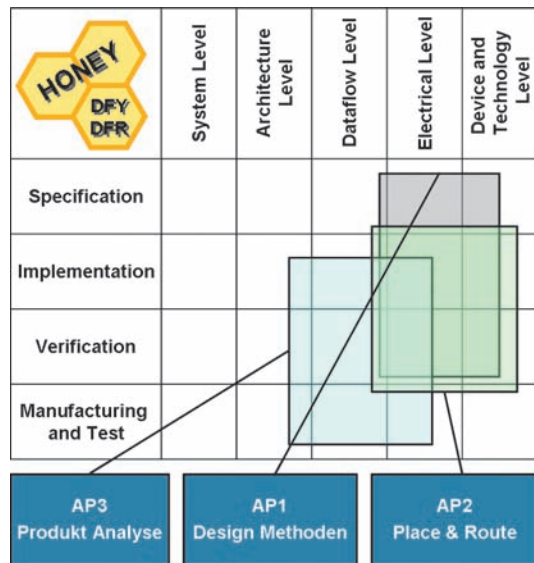


Abbildung 1.02: HONEY in der edaMatrix

einen „korrekten“ Entwurf schon durch die Verwendung optimierter Grundkomponenten zu gewährleisten. Mit solchen Bibliotheken wird es für einen Produktentwickler möglich, robustere Produkte ohne den Einsatz von zusätzlichen Optimierungs-Werkzeugen zu entwerfen. Das Verbesserungspotential in Bezug auf höhere Ausbeute und geringere Fehlerraten während der Lebensdauer des Produktes ist jedoch beschränkt, so dass dieser Ansatz nur einen ersten Schritt, aber trotzdem die Basis für weitere Optimierungen auf höheren Entwurfsebenen darstellt. Das zweite Arbeitspaket behandelt die **Platzierung und Verdrahtung** dieser Grundkomponenten und größerer IP-Blöcke. Dabei werden Metho-

den zur automatischen Bewertung und Optimierung der Qualität von Platzierung und Verdrahtung erforscht, um die mögliche Ausbeute eines Produktes vorherzusagen und zu maximieren. Im dritten Arbeitspaket werden abstrakte Modelle zur Beschreibung der Schaltungseigenschaften unter Berücksichtigung von Alterungseinflüssen untersucht sowie neue Methoden zur Verbesserung von **Produktanalyse und Fertigungskontrolle** erforscht. Erst damit wird die Analyse und Optimierung vollständiger komplexer Systeme überhaupt möglich. Aus Abbildung 1.02 ist ersichtlich, wie sich die drei Arbeitspakete von HONEY in die edaMatrix einordnen. In den folgenden Absätzen werden die Arbeitspakete und erste Ergebnisse detaillierter beschrieben.

**Arbeitspaket 1: Design-Methoden**

Um auf Ausbeute und Zuverlässigkeit optimierte digitale Zell-Bibliotheken zur Verfügung stellen zu können, ist zuerst eine Bewertung des Einflusses der verschiedensten Effekte auf die einzelnen Zelltypen notwendig. Aus dieser Untersuchung haben sich drei Zuverlässigkeitseffekte mit relativ großem Einfluss auf CMOS-Zell-Bibliotheken herauskristallisiert:

- » NBTI (Negative bias temperature instability): Einsatzspannungsdrift der Transistoren durch Alterung, wirkt sich in sinkender Schaltungs-Performanz aus
- » EM (Electromigration): Materialtransport durch hohe Stromdichten, wirkt sich durch Unterbrechungen in elektrischen Verbindungen aus.
- » SER (Ionizing particle induced soft errors): Störladung durch ionisierende Teilchen, wirkt sich in temporären Veränderungen von Speicherinhalten aus.

Die ionisierenden Teilchen, welche aus Verunreinigungen der Prozess- und Gehäusematerialien sowie der kosmischen Strahlung herrühren, führen im Vergleich zu anderen untersuchten Effekten zu besonders hohen Fehlerraten. Die Fehler zeigen sich als statistisch verteilte Einzelbit-Fehler innerhalb eines SRAMs (statisches RAM, Arbeitsspeicher). Im Rahmen dieser Arbeit wurde jedoch beobachtet, dass neben Einzelbit-Fehlern in neuesten CMOS-Technologien mit Strukturgrößen deutlich kleiner als 100 nm auch Mehrfachfehler gehäuft auftreten. Diese zeichnen sich dadurch aus, dass aufgrund eines einzelnen Teilcheneinschlags, mehrere Speicherzellen gleichzeitig ihren Inhalt verändern.

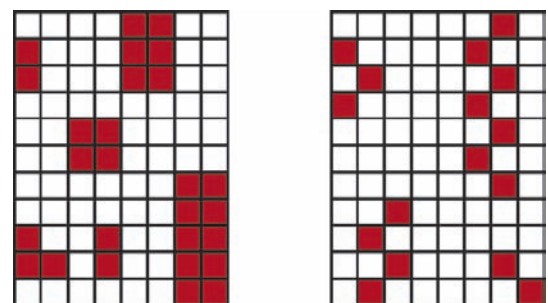


Abbildung 1.03: Typisch auftretende Mehrfachfehler für ein homogenes Datenmuster (links) und ein Schachbrett-Datenmuster (rechts)

Als Ursache konnten parasitäre Effekte nachgewiesen werden. Das zugrunde liegende Erklärungsmodell kann in Abhängigkeit verschiedener Technologieoptionen die maximale Größe und geometrische Ausrichtung dieser Mehrfachfehler qualitativ vorhersagen. Dies ist von entscheidender Bedeutung für den Entwurf effizienter Fehlerkorrekturverfahren. Üblicherweise sind diese Verfahren nur in der Lage, ein fehlerhaftes Bit je Datenwort zu korrigieren. Treten mehrere Fehler in einem Datenwort auf steigt der Aufwand für die Korrektur dramatisch an. Ziel eines robusten Speicherentwurfs ist es somit die Zahl der möglichen Fehler pro Datenwort auf einen einzigen Fehler zu beschränken. Durch geschicktes Verschränken mehrerer unabhängiger Bits aus verschiedenen Datenwörtern lassen sich Mehrfachfehler in 1-Bit Fehler innerhalb verschiedener Datenwörter aufspalten. Durch die genaue Kenntnis von maximaler Größe und geometrischer Ausrichtung der Mehrfachfehler lassen sich nun Entwurfsregeln für die Zellenfeldarchitektur ableiten, die den Einsatz herkömmlicher Fehlerkorrekturverfahren auch in Zukunft ermöglichen.

In analogen Grundschaltungen werden für manche Produktklassen Bipolartransistoren eingesetzt. Während die elektrischen Eigenschaften von CMOS-Transistoren mit Hilfe ihrer geometrischen Transistor-Parameter Kanalweite (W) und Kanallänge (L) kontinuierlich eingestellt werden können, stehen für Bipolartransistoren meist nur verschiedene Typen mit festgelegtem Layout zur Verfügung. Zum Entwurf einer Schaltung kann man aus den verschiedenen Bipolartypen wählen, oder von einem Bauteiltyp mehrere parallel schalten, ein kontinuierliches Durchfahren eines Parameters ist nicht möglich. Darum wurde ein neuartiger Ansatz zur automatischen Schaltungsoptimierung mit solchen diskreten Parametern entwickelt. Es ist nun erstmals möglich, Schaltungen mit Bipolartransistoren mit Hilfe von automatischen Optimierungs-Werkzeugen wie WiCkeD zu entwerfen. Die Effizienz dieses neuartigen Verfahrens konnte anhand einer BiCMOS-Verstärkerschaltung mit moderater Komplexität eindrucksvoll demonstriert werden. Darüber hinaus gibt es für Bipolartransistoren keine Parameter zur Berücksichtigung von Prozess-Variationen oder Alterung. In diesem Rahmen sollen Bipolar-Transistoren und passive Grundbauelemente in Bezug auf ihre Nominalparameter und ihre Variationen modelliert werden. Im nächsten Schritt werden dann neuartige Methoden für die nominale Performanz-Analyse sowie die automatische Dimensionierung von analogen Bipolar- und BiCMOS-Schaltungen entwickelt.

Ein weiterer Beitrag liegt in der Entwicklung eines Verfahrens zur automatischen Untersuchung von analogen Schaltungsstrukturen mit dem Ziel, die robustesten Topologien zu finden. Dabei werden zuerst alle theoretisch möglichen Topologien automatisch generiert und durch eine nachfolgende Filterung wieder auf „sinnvolle“ Lösungen reduziert. Die Topologien sollen

die vorgegebenen Spezifikationen und Optimierungsziele wie Fläche oder Verlustleistung einhalten. Um die große Zahl von Topologien diesbezüglich effizient untersuchen zu können wird auf eine symbolische Analyse zurückgegriffen. Bisherige Algorithmen für die symbolische Analyse erreichten jedoch nicht die geforderte Genauigkeit. Deshalb wurde ein neuartiger Algorithmus entwickelt, der in einem ersten Schritt die Genauigkeit bei gleicher Laufzeit verdoppeln konnte. Um eine umfassende Analyse und Bewertung für möglichst viele optimale Kompromisse bezüglich konkurrierender Schaltungseigenschaften zu ermöglichen, sollen Verfahren zur automatischen Berechnung von Paretofronten konkurrierender Schaltungseigenschaften unter Berücksichtigung von Parameter toleranzen erforscht werden.

### Arbeitspaket 2: Automatische Platzierung und Verdrahtung

Die Berücksichtigung von Ausbeute und Zuverlässigkeit im Entwurfsprozess, insbesondere der physikalischen Implementierung von der Chipplanung über die Synthese, der Verdrahtung bis hin zum Timing-Sign-Off, stehen im Fokus dieses Arbeitspaketes. Dabei wurden zuerst die Schritte des Entwurfsprozesses mit hohem Einfluss auf Ausbeute und Zuverlässigkeit identifiziert. Darauf basierend wurden Methoden zur Bewertung der Qualität des erzielten Entwurfes entwickelt. Abschließend wurden Layout- und Design-Methoden zur Verbesserung der Qualität der identifizierten Entwurfschritte erforscht.

Große Teile eines Chips sind typischerweise aus Logik-Zellen einer Zell-Bibliothek zusammengesetzt, welche über Metall-Drähte miteinander elektrisch verbunden sind. Defekte auf diesen Drähten konnten als ein wesentlicher Anteil am gesamten Ausbeuteverlust eines Chips identifiziert werden.

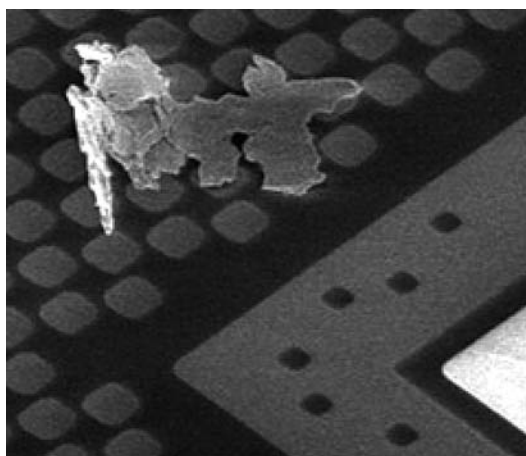


Abbildung 1.04: Beispiele für Partikel-Defekte, die während des Herstellungsprozesses auftreten

Deshalb sind Methoden, die die Empfindlichkeit der Verdrahtung gegenüber Defekten während des Herstellungsprozesses reduzieren, als sehr wichtig im Design Flow identifiziert worden. Sie wurden damit in den Fokus der weiteren Untersuchungen innerhalb dieses

Arbeitspaketes gerückt. Weitere Aspekte innerhalb des Entwurfsprozesses mit Einfluss auf die Ausbeute sind die Zell-Bibliotheken selbst und die gewählte System-Architektur. Frühe Entscheidungen bezüglich der System-Aufteilung, des Technologieknotens oder bestimmter Technologie- und Bibliotheks-Optionen können im Falle einer Fehlentscheidung selbst durch das beste Layout nicht mehr korrigiert werden. Eine umfassende Überprüfung des Layouts auf Einhaltung der Design-Regeln, elektrische Eigenschaften, usw. ist mittlerweile zum Standard geworden. In Zukunft sind jedoch auch Fertigungsaspekte wie Einflüsse durch Lithographie und CMP (Chemical Mechanical Polishing, Planarisierungsprozess welcher zu lokalen Dicken-schwankungen in der Verdrahtung führen kann) in die Tests einzubeziehen. Dies hat sich bei Speicherzellen schon lange durchgesetzt und wird nun auch beim Entwurf von Logik-Zellen einer Zell-Bibliothek immer wichtiger. Die klassischen Kriterien eines Entwurfs, wie Fläche, Performanz und Verlustleistung werden damit um Fertigungskriterien erweitert. Im weiteren Entwurfsprozess hat sich die Speicherarchitektur als eine Komponente mit großem Einfluss auf Ausbeute und Zuverlässigkeit herausgestellt. Durch das Ziel, möglichst viele Zellen auf minimaler Fläche zu platzieren, werden Entwurfsregeln schärfer ausgelegt als in der herkömmlichen Logik. Dies lässt sich durch eine gewisse Regelmäßigkeit und Symmetrie im Zellenfeld rechtfertigen, jedoch wird dabei auch die Sensitivität gegenüber Defekten größer. Defekte Zellen können bis zu einem gewissen Maße über eine geschickt implementierte „statische“ Redundanz repariert werden, um eine optimale Anzahl „guter“ Chips pro Wafer zu erhalten. Sogenannte „dynamische“ Redundanz, auch Fehlerkorrektur genannt, adressiert sporadisch auftretende Fehler und Alterungseffekte, die während der Produktlaufzeit auftreten. Diese Verfahren haben sich für nichtflüchtige Speicher (EEPROM, FLASH) mittlerweile etabliert und werden nun auch für SRAMs relevant, um deren hohen Zuverlässigkeitsanforderungen gerecht zu werden. Nachdem das grundlegende Design und das Layout abgeschlossen sind, und bevor die Daten für die Maskengenerierung bearbeitet werden, eröffnet sich eine letzte Möglichkeit für eine Optimierung des Layouts, um die Besonderheiten des Herstellungsprozesses zu berücksichtigen. Diese beinhalten OPC (Optical Proximity Correction) und RET (Resolution Enhancement Techniques) zur Verbesserung der Abbildungsqualität der Lithographie, das Einfügen von Füllstrukturen zur Sicherstellung einer gewissen Belegungsichte in den einzelnen Chip-Ebenen und vieles mehr.

Im zweiten Teil dieses Arbeitspaketes wurden Bewertungsmethoden für die Qualität der Verdrahtung von Logik-Zellen einer Zell-Bibliothek entwickelt. Hier wurde wie oben erläutert das größte Potenzial zur Ausbeuteverbesserung identifiziert. Obwohl wissenschaftlich basierte „quantitative“ Methoden in diesem Zusammenhang die wesentliche Rolle spielen, hat sich heraus-

gestellt, dass die visuelle Inspektion des Layouts immer noch ein sehr mächtiges Werkzeug zum Aufspüren möglicher Fehler im Layout darstellt. Weit verbreitete Praktiken, wie die Platzierung sensibler Strukturen an Chiprändern, ungeschickte Chipplanung, schlechter Verdrahtungsstil und vieles mehr, können sehr leicht durch visuelle Inspektion erfasst werden, wohingegen eine umfassende automatische Überprüfung solcher Praktiken sich als sehr schwierig herausstellt.

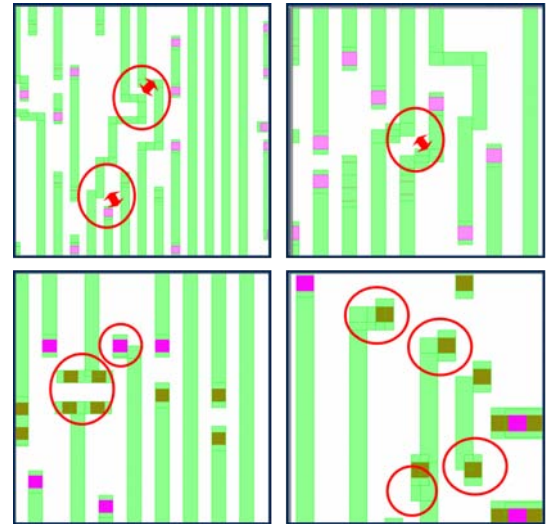


Abbildung 1.05: Typische Verdrahtungsschwächen, die unter anderem zu Problemen in der Lithographie führen können

Sehr oft werden dabei auch neue und unerwartete Fehler aufgespürt, die ein automatisches Werkzeug sehr wahrscheinlich übersehen würde. Für visuell aufgespürte Fehler kann die Ursache oft schnell identifiziert werden und in vielen Fällen lässt sich diese dann auch einfach reparieren. Daher sollte eine visuelle Inspektion immer als begleitende Methodik im Entwurfsprozess integriert sein. Ausbeuteverluste, welche durch Defekte während des Herstellungsprozesses verursacht sind, können durch das Konzept der „Critical Area Analysis“ (CAA) abgeschätzt und modelliert werden.

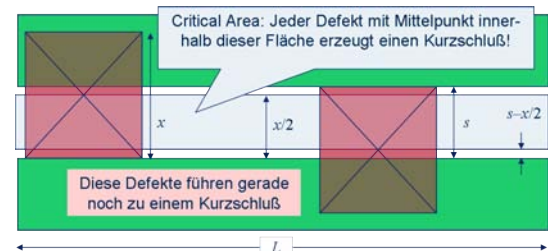


Abbildung 1.06: Konzept der „Critical Area Analysis“ (CAA)

Dieses schon seit Jahren bestehende Konzept wurde im Rahmen dieses Projekts zur quantitativen Bestimmung der Qualität der Verdrahtung entsprechend abgewandelt und erweitert. Die neu entwickelte Methodik ist damit erstmals in der Lage, kritische Fragen zum Entwurfsablauf konkret zu beantworten:

- » Wie groß ist der Ausbeuteverlust lokaler, globaler und zwischen verschiedenen Metallisierungsebenen verteilter Unregelmäßigkeit in der Verdrahtung?



- » Wie groß ist das maximale Verbesserungspotential eines bestimmten Chips oder eines bestimmten Layout-Algorithmus?
- » Welches von mehreren Verdrahtungswerkzeugen ist das bessere und weshalb?
- » Welche Parametereinstellung eines Werkzeuges führt zu einem besseren Ergebnis?

Ein dritter Satz von Bewertungskriterien fokussiert sich auf die Regeleinhaltung im Bereich der Lithographie und des CMP. Auf der Basis des von den Halbleiter-Fertigungen zur Verfügung gestellten Technologiemo- dells wurde eine neue Methodik entwickelt, mit der überprüft wird, ob ein Layout als solches produzierbar ist. Unter der Annahme bestimmter Parametervariationen des Herstellungsprozesses wird darüber hinaus auch genau der Teil des Parameterraumes bestimmt, in dem das Produkt funktional ist. Angewandt auf eine Zell-Bibliothek ermöglicht diese Methodik herauszufinden, welche Zellen eine Layoutkorrektur benötigen. Zusätzlich kann auch die Position der nötigen Korrektur und der Ausbeuteeinfluss dieser Änderungen vorhergesagt werden.

Im dritten Teil dieses Arbeitspaketes wurde unter anderem ein Algorithmus zur Verbesserung der Qualität der Verdrahtung entworfen. Durch die CAA ist bekannt, dass enge Abstände zwischen leitenden Verbindungen die höchste Sensitivität gegenüber leitenden „Partikeln“ (Shorts) haben. Ein Partikel, welches einen Kurzschluss zwischen zwei eng benachbarten Bahnen verursacht, würde zwischen die beiden Bahnen fallen, wenn diese weiter auseinander platziert werden würden, und dabei würde die Schaltung als solches intakt bleiben. Gleichzeitig stellen minimal breite Bahnen ein gewisses Risiko gegenüber einer ungewollten Öffnung dieser Verbindung dar, der im Prinzip mit breiteren Verbindungen entgegengewirkt werden kann. Der neue Algorithmus versucht nun, vorhandene leitende Verbindungen so breit wie möglich umzuformen und soweit wie möglich voneinander zu entfernen. Mit Hilfe der oben beschriebenen quantitativen Bewertungsmethode konnte dieser Algorithmus erfolgreich mit einem kommerziellen Algorithmus verglichen werden. Dabei stellte sich heraus, dass der neue Algorithmus ohne weiteres das Verbesserungspotenzial von kommerziellen Algorithmen erreicht und diese sogar übertrifft.

### Arbeitspaket 3: Produktanalyse und Prozesskontrolle

Um die weiter oben beschriebenen Veränderungen der Parameter von Bipolartransistoren und passiven Bauelementen durch Prozess-Variationen und Alterung im Analog- und Mixed-Signal- Schaltungsentwurf berücksichtigen zu können, müssen die entsprechenden Veränderungen an speziellen Teststrukturen erfasst und ausgewertet werden. Hierzu wurden spezielle Teststrukturen entwickelt, die über eine digitale Steuerung eine vollautomatische Auswahl und Messung der Strukturen ermöglichen.

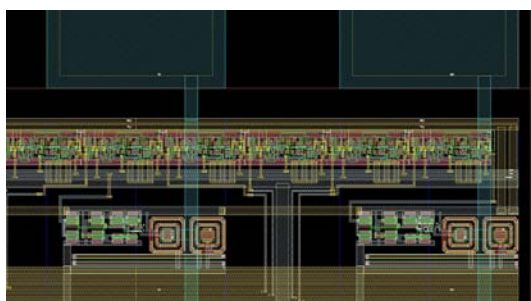


Abbildung 1.07: Ausschnitt aus einer Teststruktur zur Bestimmung der Parameter-Variationen mit digitaler Auswahllogik

Erst dadurch wird es möglich, die notwendige statistische Datenbasis für die Generierung der Nominalparameter und ihre Variationen zu bestimmen. Ähnliches gilt für Prozesskontrollmonitore (PCM), die für die Überwachung von Ausbeute und Zuverlässigkeit während der Volumenfertigung verantwortlich sind. Die Messungen dieser Kontrollmonitortestfelder sind in die laufende Produktion integriert und stehen aus diesem Grund unter strenger Zeitbegrenzung. Dadurch ist auch die Zahl der zu messenden Größen und Zellen limitiert. Deshalb wurde eine neue Methodik für einen massiven Paralleltest von PCM-Strukturen entworfen und mit einer Methodik zur automatischen Erstellung von PCM-Strukturen ergänzt.

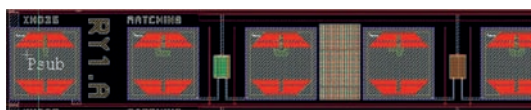


Abbildung 1.08: Ausschnitt typischer PCM Strukturen innerhalb eines Ritzhrahmens

Ein weiterer Beitrag liegt in der Analyse und Entwicklung von Modellierungsansätzen für die Beschreibung von Zuverlässigkeits-Effekten komplexer digitaler Schaltungen auf höherer Entwurfsebene. Dadurch wird eine „Zuverlässigkeits-Simulation“ auf Produkt-Ebene und damit auch eine Optimierung auf eine spezifische Produkthanforderung in sehr frühen Entwurfsphasen möglich. Hierzu wurde ein völlig neuartiges Verfahren entworfen, mit dem das Timing-Verhalten unter Berücksichtigung beider dominierender Alterungseffekte (HCI: Hot Carrier Injection, NBTI) einer komplexen digitalen Schaltung ermittelt werden kann.

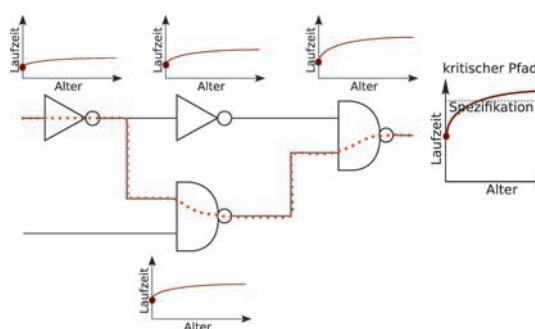


Abbildung 1.09: Konzept der Alterungsanalyse einer digitalen Schaltung

Das neue Gattermodell liefert neben den degradierten Gatterlaufzeiten auch die degradierte Flankensteilheit. Neben einer Worst-Case-Abschätzung der Alterung kann für eine möglichst genaue Analyse auch die individuelle Arbeitslast der einzelnen Gatter berücksichtigt werden. Das Verfahren konnte an diversen Beispielschaltungen mittlerer Komplexität erfolgreich demonstriert werden. Dabei zeigte sich, dass durch die Berücksichtigung der individuellen Arbeitslast mindestens 3 % Performanz gewonnen werden.

Die Alterungseffekte von digitalen Schaltungen wurden bisher nur anhand weniger Einzeltransistoren bestimmt. Dabei wird weder eine eventuelle statistische Verteilung der Alterungsdriften noch der Einfluss eines dynamischen Betriebs innerhalb einer realen Schaltung berücksichtigt. Um die statistische Verteilung zu ermitteln, sind Speicherzellenfelder mit einer Vielzahl von Transistoren bei relativ wenigen Anschluss-Signalen geradezu prädestiniert. Deshalb wurde ein 1Mbit SRAM-Zellenfeld zur Bestimmung der Alterungsdrift durch NBTI entwickelt. Dazu wurde ein existierendes Zellenfeld so umgebaut, dass PMOS-Transistoren sowohl belastet als auch vermessen werden können. Ergebnisse aus diesem Versuch zeigten, dass die Verteilung der Einsatzspannungsdrift auch nach der Alterung noch einer Normalverteilung entspricht.

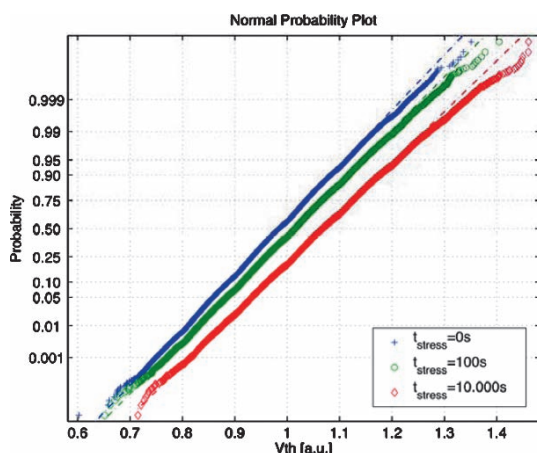


Abbildung 1.10: Verteilung der Einsatzspannungen der PMOS-Transistoren eines SRAM-Zellenfeldes vor und nach Alterung

Beim NBTI-Effekt kommt es jedoch auch zu Ausheilungseffekten, die sich auf einer sehr kurzen Zeitskala abspielen und die mit diesem Verfahren nicht bestimmt werden können. Darum soll ein neuartiges Verfahren entwickelt werden, welches neben der nötigen Statistik auch die dynamischen Effekte berücksichtigt und wenn möglich in produktiven Schaltungen integriert werden kann.

Sollte sich bei der Analyse eines gesamten Chips herausstellen, dass der Alterungseinfluss und die damit verbundene Performanzdegradation so groß sind, dass der herkömmliche Einbau einer Sicherheits-Reserve zu teuer wird, sind andere Lösungen auf Systemebene gefragt. In diesem Rahmen wurden sogenannte

Produktmonitore entwickelt, die im Gegensatz zu den Prozessmonitoren die Alterung des Chips während der Laufzeit im Endprodukt überwachen. Ein komplexes System könnte dann aktiv auf die Alterung des Monitors reagieren und einen Performanzverlust über entsprechende Maßnahmen wie zum Beispiel die Erhöhung der Versorgungsspannung oder die Limitierung der maximal möglichen Frequenz reagieren. Erste Monitore wurden gefertigt und werden zurzeit auf ihr Verhalten und ihre Eignung als realistische Produktmonitore hin untersucht.

### Ausblick

Im Rahmen des Projektes HONEY konnten schon nach 1½ Projektjahren viele wichtige Ergebnisse erzielt und im Detail auch veröffentlicht werden. Die geplanten Ziele scheinen nach jetzigem Stand erreichbar zu sein. Eine Methodik zur Zertifizierung von Zell-Bibliotheken basierend auf den Erkenntnissen der Arbeitspakete 1 und 2 soll in das neue Förderprojekt **SyEnA** eingebracht werden und dort als Demonstrator für die Projektziele dienen. Damit wird das Projekt wie beabsichtigt den Grundstock für gleichbleibende Qualität und wirtschaftliche Halbleiterschaltungen in modernsten Technologien legen. Darüber hinaus wird HONEY auch eine gewisse Basis für das Cluster-Forschungsprogramm **ROBUST** darstellen. Zum einen sollen die Grundlagen für die Modellierung vollständiger Systeme in höheren Entwurfsebenen durch die in HONEY entwickelten Gattermodelle ergänzt werden. Zum anderen sollen realistische Produktmonitore zur Bestimmung des Alterungszustandes für die Integration in neuartige System-Architekturen zur Verfügung gestellt werden.

### Veröffentlichungen

- [1] A. Ripp, *Challenges of reliability oriented design strategies for analog and mixed-signal circuits*, MEDEA+ DAC, Grenoble, France, 22.05.-24.05.2007
- [2] G. Georgakos, *VLSI Reliability Aspects for future SoC Design Methodologies*, MEDEA+ DAC, Grenoble, France, 22.05.-24.05.2007
- [3] J. Herry, R. März, H. Melzner, K. Peter, O. Rizzo, *A Routing Clean-Up Methodology for Improvement of Defect and Lithography Related Yield*, SPIE Conf. on Advanced Lithography, 02.2008
- [4] G. Georgakos, *HONEY – Grundlagen für die Analyse und Optimierung von Ausbeute und Zuverlässigkeit Integrierter Schaltungen*, newsletter edacentrum, pp. 13-15, Ausgabe 03, 2008
- [5] H. Melzner, G. Müller, *Quantitative Assessment of Wiring Layout Quality*, 2.GMM/GI/ITG-Fachtagung: Zuverlässigkeit und Entwurf, pp.43-48, Ingolstadt, 29.09.-01.10.2008
- [6] G. Georgakos, L. Borucki, Y. Gawlina, *Entwurfsregeln für integrierte SRAM Speicher zur Unterdrückung von Multi-Bit Fehlern in sub-100nm CMOS Technologien*, 2.GMM/GI/ITG-Fachtagung:

#### Kont@kt (HONEY):

Georg Georgakos  
Infineon Technologies AG  
fon: (0 89) 2 34 – 2 41 81  
georg.georgakos@infineon.com

- Zuverlässigkeit und Entwurf, pp.43-48, Ingolstadt, 29.09.-01.10.2008
- [7] F. Thomas, E. Amirante, K. Hofmann, M. Ostermayr, P. Huber, D. Schmitt-Landsiedel, A 65nm teststructure for the analysis of NBTI induced statistical variations in SRAM transistors, Proc. ESSDERC, pp.51-54, 2008
- [8] B. Dimov, E. Hennig, Ch. Lang, R. Sommer, Direct Performance Evaluation of Bipolar Transistor Devices for Analog Circuit Design, Proc. SMACD'08, pp. 49-55, 2008
- [9] B. Dimov, V. Boos, T. Reich, Ch. Lang, E. Hennig, R. Sommer, Optimization of Analog Circuits with Automatic Device Type Selection, Proc. SMACD'08, pp. 44-48, 2008
- [10] M. Pehl, T. Massier, H. Graeb, U. Schlichtmann, A Random and Pseudo-Gradient Approach for Analog Circuit Sizing with Non-Uniformly Discretized Parameters, ICCD, 2008
- [11] T. Massier, H. Graeb, U. Schlichtmann, The Sizing Rules Method for CMOS and Bipolar Analog Integrated Circuit Synthesis, IEEE Trans. CAD, 2008
- [12] G. Georgakos, Erfordert die Berücksichtigung von Umwelteinflüssen (Strahlung) einen Paradigmenwechsel beim Entwurf robuster Systeme, Fach- & Kooperationsworkshop „Facetten der Robustheit“, Hannover, 28.10.2008
- [13] D. Lorenz, Analyse der Alterung bei digitalen Schaltungen, Fach- & Kooperationsworkshop „Facetten der Robustheit“, Hannover, 28.10.2008
- [14] D. Kirsten, V. Schulze, D. Nuernbergk, One Step Autozeroing Two Stage Amplifier with Floating Gate Memory Cells, DATE'09, Nice, France, 20.04-24.04.2009
- [15] D. Lorenz, G. Georgakos, U. Schlichtmann, Aging Analysis of Circuit Timing Considering NBTI and HCI, IOLTS 2009, 24.06.2009, Lissabon, Portugal
- [16] H. Melzner, Yield Optimization and Assessment Methodologies in Physical Design, CATRENE/MEDEA+ DTC/edaWorkshop09, Dresden, 26.05.-28.05.2009
- [17] H. Gräb, Challenges in Analog Sizing for Yield and Reliability, CATRENE/MEDEA+ DTC/edaWorkshop09, Dresden, 26.05.-28.05.2009

## Optimierung integrierter Schaltungen im Hinblick auf Alterungseinflüsse

Beispiel eines automatisierten Entwurfsablaufes für analoge Schaltungen

**Im Zuge voranschreitender Miniaturisierung muss mit steigenden Einflüssen von Alterungseffekten bei integrierten Schaltungen gerechnet werden. In diesem Beitrag wird am Beispiel einer Analogschaltung illustriert, dass eine Optimierung im Hinblick auf hohe Produktionsausbeute nicht ausreicht, um eine auch im Hinblick auf Alterung optimale Schaltung zu erhalten. Es wird ein neuer Entwurfsablauf vorgestellt, mit dem zu erwartende Alterungseffekte bereits während der Entwurfsphase minimiert werden.**

### Einleitung

Der Entwurf von integrierten Schaltungen ist damit konfrontiert, immer mehr physikalische Effekte berücksichtigen zu müssen. Für den Entwurf einer robusten Schaltung reicht es in naher Zukunft beispielsweise nicht mehr aus, Schwankungen im Produktionsprozess, wie Dotierungsfluktuationen, und spezifizierte Betriebsbereiche z.B. für Temperatur und Versorgungsspannung zu betrachten. Darüber hinaus müssen zeitabhängige Veränderungen wie NBTI (negative bias temperature instability) und HCI (hot carrier injection) berücksichtigt werden, die zur Alterung einer Schaltung beitragen [1].

Bisherige Arbeiten konzentrieren sich meist auf die Modellierung der Degradation von Transistorparametern über der Lebenszeit und den daraus resultierenden Auswirkungen auf Schaltungseigenschaften [2-4], oder sie behandeln die Optimierung einer Schaltung im Hinblick auf die Produktionsausbeute [5]. Erste Ansätze, sowohl Produktionsschwankungen als auch Alterungseffekte beim Entwurf zumindest zu analysieren, gibt es aber. In [6] beispielsweise werden Produktionsschwankungen

mittels einer Monte-Carlo-Analyse innerhalb einer Alterungssimulation modelliert. Dies resultiert aber in einem sehr hohen Simulationsaufwand und würde den weiteren Entwurf erschweren.

In diesem Beitrag stellen wir eine neue, einfache Methode zur Optimierung der Schaltung im Hinblick sowohl auf Produktionsausbeute als auch auf Alterung vor. Sie besteht in der Kopplung eines kommerziellen Ausbeuteoptimierungswerkzeugs, und zwar WiCkeD der Firma MunEDA GmbH [5], mit einem kommerziellen Zuverlässigkeitssimulator, und zwar RelXpert der Firma Cadence Design Systems Inc. [7]. Andere Zuverlässigkeitssimulatoren können mit dem vorgestellten Konzept ebenfalls verwendet werden. Voraussetzung für diese Kopplung ist das Konzept der Lebenszeitausbeute bzw. des Lebenszeit-Worst-Case-Abstands.

### Lebenszeitausbeute und Lebenszeit-Worst-Case-Abstand

Die Schaltungsausbeute ist definiert als der Anteil an Schaltungen, die nach der Produktion funktionieren. Sie wird im Produktionstest ermittelt und hängt daher

Diese Arbeit ist im Rahmen des BMBF-Förderprojekts HONEY unter dem Förderkennzeichen 01 M 3184 finanziell unterstützt worden.