

HGDAT: Applikationsoptimierte HF-Entwurfstechnologie für größtintegrierte Hochgeschwindigkeits - Datenübertragungssysteme

Der Realisierung von funkbasierten Kommunikationssystemen mit sehr hohen Übertragungsraten steht die heutige fehlende Leistungsfähigkeit und Effizienz der vorhandenen Entwurfs- und Simulationswerkzeuge, Entwurfsmethoden und der hierarchischen Systemkomponenten im Wege. Gründe hierfür sind zum einen die mangelnde Flexibilität dieser Komponenten und zum anderen nicht ausnutzbare Optimierungspotentiale bei der Partitionierung, Schaltungsentwicklung und Prozessanbindung, hervorgerufen durch die für solche Systeme unzureichende Unterstützung der CAD-Werkzeuge und Standardbauelementmodelle. Innerhalb eines SoC Entwurfsprozesses kann der Bereich Mixed-Signal Entwurf immer weniger mit dem Digital-Entwurf mithalten. Gründe hierfür sind die fehlende Skalierbarkeit von Anlogschaltungen, fehlende wirksame Ansätze für eine teilautomatisierte Anlogsynthese und schwierigere Rahmenbedingungen durch gestiegene Anforderungen, wie z. B. an Arbeitsfrequenzen und Bandbreite, Signal-Integrität und Verlustleistung, bei gleichzeitiger Verschlechterung der Prozessrahmenbedingungen und komplexeren Schaltungskonzepten.

Im BMBF-Projekt Hochgeschwindigkeits-Daten-übertragungssysteme (**HGDAT** Nr. 01M3054) werden systemrelevante Probleme im Bereich der Entwurfstechnologie (Entwurfsmethodik, Werkzeuge, Prozessanbindung, Schaltungsentwurf, Systementwurf und Partitionierung) aufgezeigt und beseitigt. Damit soll für den Einsatz zukünftiger Hochintegrationsprozesse eine noch nicht vorhandene „Basis“ zum maßgeschneiderten Entwurf von Hochgeschwindigkeits-Datenübertragungssystemen geschaffen werden. Als geeignete Zielanwendung wurde WLAN (Hiperlan2, IEEE 802.11a) ausgewählt.

Die Hauptarbeitsfelder von **HGDAT** umfassen folgende Bereiche :

- » Erarbeitung eines HF-tauglichen und anwendungsnahen Design-Flows
- » teilautomatisierte Entwurfsunterstützung durch CAD-Werkzeuge
- » Verbesserung der Entwurfsgenauigkeit bei steigender Komplexität
- » Sicherung der Wiederverwendbarkeit von HF-IP-Blöcken (Parametrisierbarkeit, Portierbarkeit)
- » Machbarkeitsstudien zum Built-in Self Test des Gesamtsystems mit Einbeziehung der RF-Blöcke
- » Unterstützung anwendungsnaher Prozessauswahl und HF-orientierter Prozessanbindung an die Entwurfsumgebung
- » Bereitstellung neuer Konzepte für Hochfrequenzschaltungen bei niedrigen Versorgungsspannungen

Das Projektconsortium setzt sich neben Instituten und Hochschulen aus führenden und mittelständischen Unternehmen der Bereiche System- und Schaltungsentwurf, EDA und Prozesstechnologie zusammen:

- » Nokia GmbH, Bochum
- » Infineon Technologies AG, München
- » ATMEL Germany GmbH, Heilbronn
- » Cadence Design Systems, München
- » Melexis GmbH, Erfurt
- » CST GmbH, Darmstadt
- » Technische Universität Dresden
- » Fraunhofer Institut IIS/EAS Dresden
- » Technische Universität Braunschweig

Die Personalkapazität beträgt 58 Personenjahre verteilt über einer Laufzeit von 2 Jahren (1.5.01 – 30.4.03). Die nachfolgenden Abschnitte geben eine Übersicht über die vier definierten Arbeitspakete (Systementwicklung, Schaltungsentwurf und Modellierung, Prozessbeschreibung für HF-Design-Kits und Demonstrator).

Systementwicklung

Eine sorgfältige und genaue Gesamtsystemplanung ist der Schlüssel zur Produktivitätssteigerung im Systementwicklungprozess. Hierbei spielen die EDA-Werkzeuge aufgrund der Systemkomplexität eine wichtige Rolle. Mit der steigenden Komplexität der Systeme wächst die Wahrscheinlichkeit des Versagens eines Systementwurfs beim Versuch der Implementierung. Eine Vielzahl von isolierten HF- Entwurfswerkzeugen für z. B. Full-Custom IC Design, Semi-Custom IC Design, System Design und Board Design sind auf dem Markt verfügbar. Bei vielen Mixed-Signal-Werkzeugen für den Systementwurf wird der Analog-Bereich allerdings unzureichend unterstützt. Optimal für den Systementwurf wäre, wenn diese Werkzeuge direkt und ohne Genauigkeitsverlust durch unterschiedliche Schnittstellen ineinander greifen und zu 'anwendungsspezifischen Entwurfsumgebungen' zusammengefügt wären. Hierzu werden im HGDAT Projekt wichtige Ansätze erarbeitet.

Auf der Systemebene lassen sich heute durch geeignete Modellierung hochkomplexe Datenverarbeitungssysteme simulieren; insbesondere ist es möglich, das Zusammenwirken von analogen und digitalen Systemkomponenten zu untersuchen.

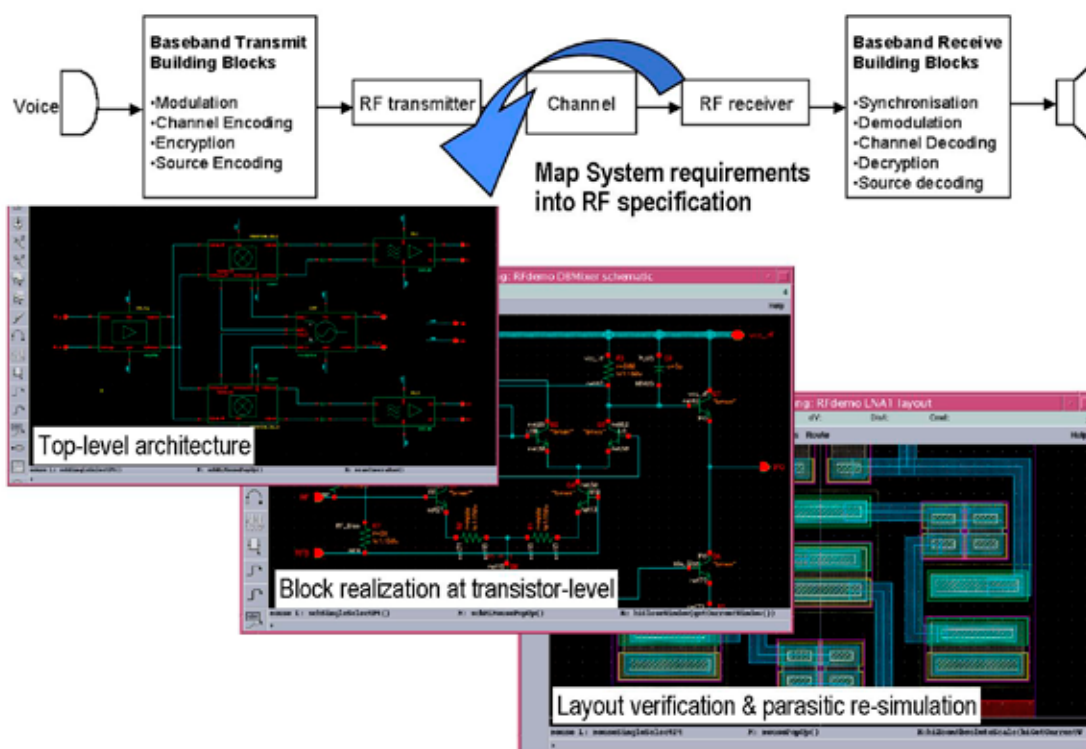
Geeignete Systemtestbenches (Simulationsvorschriften und -abläufe) stellen hierbei sicher, dass alle erforderlichen umfangreichen Testsimulationen, die zur Beurteilung der Gesamtfunktionalität notwendig sind,

durchgeführt werden. Der Vorstoß in immer höhere Frequenzbereiche und Datenraten erfordert eine Neubewertung von Strategien zur Partitionierung zwischen dem analogen und dem digitalen Systembereich. Dies ist nur möglich mit Unterstützung von für den Analogbereich optimierten Werkzeugen und Simulationsmodellen. Verfügen die Modelle für analoge und Mixed-Signal Komponenten auf Systemebene über eine genügend hohe Genauigkeit, so können Vergleichssimulationen zu neuen optimalen Sender- und Empfängerstrukturen und –partitionierungen führen, abhängig vom verwendeten Übertragungsverfahren.

Im Arbeitsfeld Systempartitionierung wird zunächst ein simulierbares Blockmodell für ein komplettes Front-End

Informationsfluss von Systemebene auf Layoutebene (z.B. Isolationsanforderungen) und umgekehrt (z.B. Prozessparameter).

Die im dritten Arbeitsfeld dieses Arbeitspaketes behandelte Frage nach der Testbarkeit ist eng verknüpft mit der steigenden Komplexität, dem wachsenden Integrationsgrad der Systeme und dem Vorstoß in den Höchsthfrequenzbereich. Auch für HF-Komponenten ist der Selbsttest in Zukunft unumgänglich. Dies resultiert zum einen aus der begrenzten Anzahl von Gehäuse-Pins und zum anderen aus dem störenden Einfluss der Pins auf die HF-Eigenschaften der zu testenden Blöcke. Viel versprechende Ansätze gibt es schon für PLL- und Mischer-Architekturen. Anzustreben sind hier jedoch



Das Bild zeigt die Darstellung einer Systemkomponente in unterschiedlichen Abstraktionsebenen, die zur Systemverifikation herangezogen werden.

für 5 GHz-Wireless-LAN-Anwendungen erarbeitet. Dieses Blockmodell muss so flexibel sein, dass es leicht an unterschiedliche Standards und Systemarchitekturen angepasst werden kann. Der Modellierungsgenauigkeit der im Blockmodell verwendeten einzelnen Analog-IP-Blöcke, die in einem weiteren Arbeitsfeld entwickelt werden, kommt hierbei besondere Bedeutung zu. Im Projekt werden flexible Systembausteinmodelle für sender- und empfangsseitige Basiskomponenten terrestrischer HF-Übertragungssysteme für die Verwendung in einem durchgängigen Design-Flow erstellt. (s. Abbildung)

Heute finden bei der Systemsimulation immer noch Blöcke Verwendung, in denen physikalische, prozessabhängige Effekte nur bedingt oder gar nicht berücksichtigt werden. Eine unverzichtbare Eigenschaft dieser Basiskomponenten ist daher ihre Parametrierbarkeit. Spezielle Designparameter unterstützen den

keine isolierten Lösungen, sondern eine über ein Bussystem vernetzte Lösung mit Ausnutzung des vorhandenen Digitalteils (Controller, Prozessor und Speicherbausteine). Ausgehend von einem vorhandenen Selbsttest sind Implementierungen möglich, in denen mittels Selbstkorrektur Fertigungstoleranzen ausgeglichen werden, um damit Qualität und Ausbeute bei gleichzeitiger Kostensenkung zu steigern. Die Testproblematik ist also eine Aufgabe, die fest mit der Systementwicklung verknüpft ist.

Entscheidend für eine erfolgreiche Definition und Implementierung einer anwendungsspezifischen Entwurfsumgebung ist die im Projekt gegebene Möglichkeit zur interdisziplinären Zusammenarbeit der Industriepartner und die direkte Verifikation der Ansätze und Lösungen in realen Designs. Um zu möglichst universell einsetzbaren Lösungen zu gelangen, konzentrieren sich die Systemanbieter hier auf drei

unterschiedliche Systemkonzepte: Direct Conversion, Double Conversion und Superheterodyne. Diese werden spezifiziert und mit den zur Verfügung stehenden bzw. den in der Entwicklung befindlichen Werkzeugen geeignet partitioniert und dimensioniert.

Erste Ergebnisse aus dem Arbeitspaket Systementwurf sind bereits verfügbar. Basierend auf den Systemspezifikationen von Hiperlan2 und IEEE 802.11a ist die Architekturdefinition für ausgewählte Beispiele (Direct Conversion/Low-IF, Double Conversion und Superheterodyne) sowie deren initiale Partitionierung abgeschlossen. Die spezifizierten Beispiele werden für einen Praxistest vorhandener Ansätze neuer Entwurfsmethoden und Werkzeuge zur Systempartitionierung eingesetzt. Die gewonnenen Erkenntnisse sind in die Entwicklung einer WLAN-Systemsimulations-Plattform auf Basis von SPW/SpectreRF (Cadence Design Systems GmbH) eingeflossen. Zur Sicherstellung der Systemtestbarkeit wurde von der TU Dresden ein Verfahren zur spektralen Signaturanalyse für moderne Transceiver-Systeme erarbeitet. Inhaltliche Schwerpunkte zielen dabei u.a. auf die Generierung und Optimierung von Signaturen und die Analyse der Signaturantwort. Infineon gelang innerhalb des Projektes die Implementierung eines Selbstabgleiches für einen 5 GHz-WLAN-Sendepfad.

Schaltungsentwurf und Modellierung

Der Entwurf von HF-Schaltungen stellt eine große Herausforderung für Bauelementmodelle sowohl im Bipolar- als auch im MOS-Bereich dar. Zur Optimierung der Schaltungseigenschaften werden Modelle benötigt, die sich flexibel an die gewünschte Geometrie anpassen lassen („Geometrie-Skalierbarkeit“). Des Weiteren ist die korrekte Vorhersage des Einflusses von Prozesstoleranzen auf die Schaltungseigenschaften und eine damit verbundene statistische Modellierung mit vertretbarem Aufwand erforderlich. All diese Ziele lassen sich nur mit Hilfe von physikalischen Modellen erreichen. Im Bipolar-Bereich ist das existierende Standard SPICE Gummel-Poon Modell den o.a. Anforderungen bereits seit einigen Jahren nicht mehr gewachsen. Dies gilt insbesondere auch für die Modellierung hoher Stromdichten, die für schnelle Schaltungen und Leistungsanwendungen von hoher Bedeutung sind. Für RF-CMOS-Anwendungen ist das Standardmodell BSIM3 in der verfügbaren Form ebenfalls nicht geeignet. Weiterhin stellt die genaue Modellierung passiver Bauelemente bei hohen Frequenzen u.a. wegen des Auftretens dreidimensionaler Effekte ein kompliziertes Problem dar. Hinzu kommen Substrat-Kopplungseffekte sowohl innerhalb der Bauelemente selbst als auch zwischen den Bauelementen, die in genauer Weise und mit akzeptabler Rechenzeit erfasst werden müssen.

Im Arbeitspaket Schaltungsentwurf und Modellierung

werden im ersten Arbeitsfeld die Basisblöcke in zwei unterschiedlichen Prozessen entworfen (Prozess 1: Low Cost – CMOS, Prozess 2: Very High Speed – SiGe-BiCMOS). Diese Entwürfe geben ein wichtiges Feedback für die Systemmodellierung und werden für die Realisierung des Demonstrators (s. letztes Arbeitspaket) verwendet. Durch geeignete Maßnahmen wird die Wiederverwendbarkeit der Basisblöcke als Hard-IP's (Intellectual Property bis auf Layoutebene) gesichert. Dies erfolgt in zwei weiteren Arbeitsfeldern durch die Verwendung eines WEB-basierten Flows mit Datenbankbindung und durch die Erstellung von Testbenches zur Charakterisierung der Schaltungen. Ein weiteres Arbeitsfeld in diesem Arbeitspaket befasst sich mit der Untersuchung von Verfahren zur Realisierung hochgenauer Schaltungen trotz beschränkter Prozessgenauigkeit (z.B. Fertigungstoleranzen, Matching-Genauigkeit) durch die Bereitstellung automatischer Korrekturmechanismen.

Voraussetzung zur Erstellung von Präzisionsmodellen für den Systementwurf ist die Untersuchung von entsprechenden schaltungstechnischen Realisierungen in unterschiedlichen Prozessen. Der Zusammenhang zwischen Schaltungseigenschaften und Prozessparametern ist mit vertretbarem Aufwand nur über physikalische Bauelementmodelle zu ermitteln. Zur Verifikation von Schaltungsmodellen müssen die Tauglichkeit und Genauigkeit der Bauelementmodelle für die entsprechenden Technologien verifiziert werden. Hinsichtlich der Prozesse sollen zwei Schwerpunkte verfolgt werden. Der eine Schwerpunkt zielt auf die Reduktion der Fertigungskosten und der andere auf besonders gute Hochfrequenzeigenschaften. Hinsichtlich der Fertigungskosten sind besonders die Deep-Submicron-CMOS-Prozesse interessant. Auch BiCMOS-Prozesse gewinnen im Low-Cost-Bereich hin zu kleineren Strukturgrößen an Bedeutung. So kann es beispielsweise in einem 0.13µm-CMOS-Prozess günstiger sein, einen HF-tauglichen Bipolar-Transistor zu integrieren, als einen zweiten analogtauglichen MOS-Transistor mit höherer Spannungsfestigkeit. Ein Mischprozess, der sich besonders für Hochfrequenzanwendungen eignet, ist der SiGe-BiCMOS-Prozess. Er verbindet die Vorteile der Silizium-Germanium-Technologie mit der der CMOS-Technologie (hohe Integrationsdichte).

Wie schon auf Systemebene für das Gesamtsystem werden auch für die Verifikation von Schaltungs- und Modellentwürfen spezielle Testbenches verwendet. Sie erst ermöglichen eine Wiederverwendung der betrachteten Schaltungen und Modelle. Bei der Verwendung parametrierbarer Entwürfe (Modelle, Schaltungen, Layout) sind die Testbenches für die Entwurfssicherheit besonders wichtig. Aufgabe in HG DAT ist es, für die verschiedenen Schaltungsklassen den Aufbau der Testbenches zu systematisieren, für den

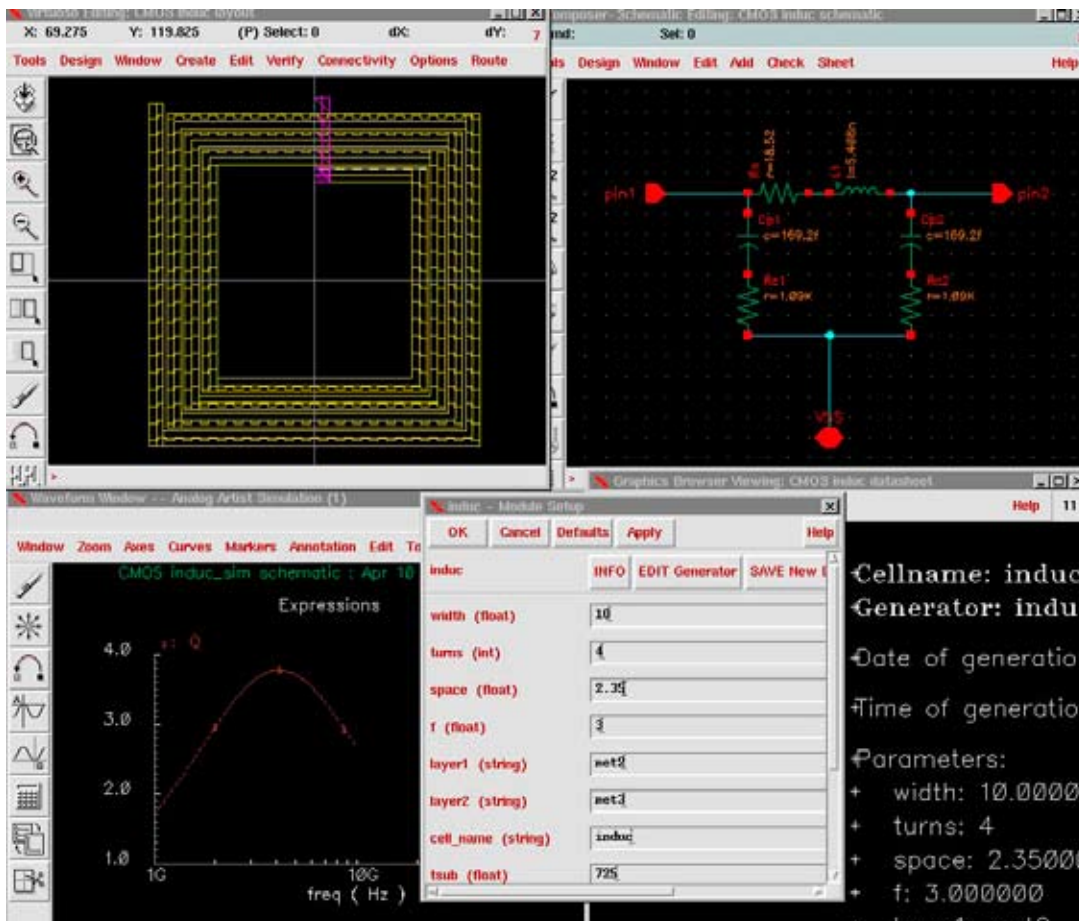
Zielsimulator zu erstellen und zu dokumentieren. Dabei wird ein standardisiertes, webbasiertes Verfahren entwickelt, das die unterschiedlichen Erfordernisse der verschiedenen Schaltungsklassen an die Testbenches berücksichtigt. Hierbei wird insbesondere der Unterschied in der Evaluierung von Parametern autonomer (z. B. Oszillatoren) und nichtautonomer (z. B. Verstärker) Blöcke berücksichtigt.

Für die betrachtete WLAN-Entwurfsplattform wurden exemplarisch geeignete Simulationsmodelle von Basiskomponenten entwickelt, bei denen besonderer Wert auf die hier erforderliche hohe Modellierungsgenauigkeit der HF-Eigenschaften gelegt wurde. Relevante Schaltungseigenschaften, die durch Simulationen oder Messungen bestimmt wurden, können so auf einfache Weise in die parametrisierbaren Modelle übertragen werden. Die mögliche Verwendung dieser Modelle in unterschiedlichen Entwurfsebenen (System, Schaltung, Schaltung mit Layout-Parasitics) erlaubt den fortlaufenden Abgleich des Systemmodells auf den aktuellen Entwurfsstand. Damit ist in jeder Entwurfsphase eine System-Gesamtverifikation über die Grenzen der einzelnen Entwurfsebenen (System, Schaltung, Layout, Messungen) hinweg möglich. Außerdem wurde der Entwurf erster RF-IPs in den Zielprozessen abgeschlossen. Flexible, parametrisierbare HF-Modellschablonen für LNA, Mischer und PLL wurden fertig gestellt.

Prozessbeschreibung für HF-Design Kits

Im Arbeitspaket Prozessbeschreibung für HF-Design Kits wird die Prozessanbindung in die CAD-Entwurfsumgebung verbessert. Ein kritischer Punkt, der einer effektiven Wiederverwendung von Schaltungsentwürfen im Wege steht, ist die mangelnde Unterstützung für die im ersten Arbeitsfeld dieses Pakets behandelte Portierbarkeit von Schaltungslayouts von einer Prozessgeneration zur nächsten. Der Grund liegt in dem fehlenden Standard für die Layer- und Prozessdefinition. Beispiel: Ein Widerstandslayer wird in einem Prozess durch Veränderung des Purpose „drawing“ auf „resistor“ kenntlich gemacht, in einem anderen muss ein zusätzlicher Layer „resist“ über den Widerstand gelegt werden. Hier ist die Definition eines gemeinsamen Standards längst überfällig. Ähnliches gilt auch für die Portierbarkeit und zeitgerechte Anpassung von Boundary-Element-Modellen. Hierfür werden in diesem Projekt wichtige Vorschläge erarbeitet.

Im zweiten Arbeitsfeld geht es um die Verbesserung der Design-Kits durch eine bessere Ausnutzung von Freiheitsgraden. Das Design-Kit bildet die Brücke zwischen Entwurfsumgebung und Prozesstechnologie. Hier wird dem Benutzer in der Regel nur ein kleiner Teil aller nach der Prozessbeschreibung möglichen Features zugänglich gemacht. Besondere HF-Belange werden meist nicht berücksichtigt. Dadurch kann für den



Das Bild zeigt eine parametrisierbare integrierte HF-Spule in der Entwurfsumgebung.

Anwender der Eindruck entstehen, dass bestimmte Prozesse oder Modelle für besondere HF-Anwendungen nicht geeignet sind, obwohl dies nur für das Design-Kit zutrifft. Es gilt diese Schwachstellen zu erkennen und zu beseitigen.

Heutige Design-Kits erlauben dem HF-Designer durch die Vorgabe von Device-Libraries nur den Zugriff auf ausgewählte Prozesseigenschaften. Ein Mangel dieser Libraries ist die geringe Parametrierbarkeit, die im Arbeitsfeld Bauelementoptimierung verbessert wird. Zwar kann der Designer hier eigene Devices ergänzen, es fehlen aber die zugehörigen Modelle für die Simulationsumgebung.

Durch das Einbringen parametrierbarer Devices – insbesondere für Spulen und unterschiedliche Transistorgeometrien mit den dazugehörigen Modellen (s. [Abbildung vorherige Seite](#)) – kann eine deutliche Verbesserung für die Schaltungsentwicklung erreicht werden, die sich vor allem auf die Verbesserung von HF-Eigenschaften und die Verkürzung von Entwicklungszeiten auswirkt.

Der Teilbereich Extraktion und Backannotation beschäftigt sich mit der HF-relevanten Verbesserung der Extraktion von regulären und parasitären Devices aus dem Layout. Aufgrund der stetig steigenden Integrationsdichte wird das Einbeziehen von statistischen und systematischen Parameterschwankungen in die Extraktion ein wesentlicher Punkt, um eine hohe Ausbeute und Qualität auch bei hoher Integrationsdichte zu sichern. Innerhalb von **HGDAT** wird in diesem Teilbereich an der zusätzlichen, optimierten Einbindung von elektromagnetischen CAD-Werkzeugen in den Design-Flow gearbeitet. Des Weiteren werden neue Extraktionsverfahren für geometrieskalierbare physikalische Bauelementmodelle (z.B. Bipolar-Transistor) erarbeitet.

Für den Bereich Prozessbeschreibung wurden in **HGDAT** Richtlinien zur Handhabung parametrierbarer HF-Komponenten erstellt. Weiterhin wurde ein Vorschlag für eine Multi-Level Hardwarebeschreibungssprache für RF-IP's (Full Custom) erarbeitet. Im Bereich der Transistormodellierung gelang durch eine enge Zusammenarbeit von Modellexperten, Technologen und CAD-Anbieter erstmalig die Erstellung eines geometrieskalierbaren Si/SiGe-Modells auf Basis des HICUM-Modells. Ein Konzept für die Implementierung dieses geometrieskalierbaren Bipolar-Transistormodells zum Zwecke der Schaltungsoptimierung und statistischer Simulation in ein konventionelles Design-Kit wurde erarbeitet. Gemeinsam eröffnen die erreichten Ergebnisse im Bereich Prozessbeschreibung dem HF-Schaltungsentwickler neue bisher nicht adressierbare Freiheitsgrade für den Entwurf und die Optimierung von HF-Schaltungen.

Demonstrator

Die Arbeitsergebnisse aus den Arbeitspaketen Systementwicklung, Schaltungsentwurf und Modellierung, Prozessbeschreibung für HF-Design-Kits sollen anhand von Teilschaltungen für die Zielanwendung 5 GHz-WLAN im Arbeitspaket Demonstrator verifiziert und bewertet werden. Hier sollen die technologischen Grenzen in den unterschiedlichen Prozessen erkannt und erweitert werden. Die Teilschaltungen werden auf einen massenproduktionstauglichen Standard-CMOS-Prozess aufgesetzt, bei dem die niedrigen Fertigungskosten im Vordergrund stehen, und auf unterschiedlichen SiGe-BICMOS-Prozessen, die sich besonders für hochintegrierte Anwendungen im Höchsthfrequenzbereich eignen. Außerdem werden die für Modellentwicklung erforderlichen Teststrukturen spezifiziert und implementiert.

Zusammenfassung

In **HGDAT** werden aktuelle Probleme im Bereich der Entwurfstechnologie für zukünftige hochintegrierte Hochgeschwindigkeitsdatenübertragungssysteme mit Schwerpunkt HF-Schaltungsentwurf adressiert. Ein bereichsübergreifender Lösungsansatz wurde konzipiert, der das weite Spektrum der Entwurfstechnologie erfasst. Dieser Ansatz verspricht Abhilfe für die aktuelle kritische Situation durch eine stärkere Verknüpfung des Design-Flows mit der Zielapplikation. Der scheinbare Verlust der Übertragbarkeit auf andere Applikationen wird durch die Bereitstellung von portierbaren und parametrierbaren Schaltungen und Modellen kompensiert. Durch die Zusammenarbeit zwischen Chip- und Systemherstellern, CAD-Firmen und Forschungseinrichtungen wird die Anwendbarkeit der Ergebnisse über das Projekt hinaus gesichert.

Kontakt:

Dipl.-Ing. Reimund Wittmann,

Nokia Research Center

Bochum,

fon: 0234 9843480

reimund.wittmann@nokia.com.