

Am edacentrum ist man hoch erfreut über die Initiative des Ekompas-Projektes DETAILS, gewissermaßen „außer der Reihe“ einen Projektbericht für den Newsletter anzufertigen. Solche Berichte stellen eine Bereicherung unserer Informationen im Newsletter dar, deren Erstellung unbedingt zur Nachahmung empfohlen wird.

## DETAILS: HF-Entwurfstechnologie für IP-basierte höchstintegrierte Front-End-Lösungen für Multi-Standard-Endgeräte in der Mobilkommunikation

### Einleitung

Der weltweit steigende Bedarf an mobilen Kommunikationsdienstleistungen erfordert den immer schnelleren Austausch von Informationen über bandbegrenzte Übertragungswege (terrestrisch, drahtgebunden, optisch). Anwendungsgebiete liegen beispielsweise in der Telekommunikation, dem Entertainment, der Gebäudeautomation und in zunehmendem Maße auch in der Medizintechnik. Zur Ausnutzung der zur Verfügung stehenden Übertragungsbandbreite bedarf es hochkomplexer Modulationsverfahren und Systemarchitekturen. Die hohe Zuverlässigkeit, die niedrigen Kosten und der geringe Energiebedarf (Batteriebetrieb) dieser Architekturen sind hier von besonderer Bedeutung. Daraus entstehen neue Herausforderungen an den Systementwurf, die mit den heutigen Entwurfswerkzeugen noch nicht bewältigt werden können.

Das Projekt DETAILS konzentriert sich auf den Aufbau einer effizienten Entwurfstechnologie für wiederverwendbare hochintegrierte Hochfrequenz-Schlüsselkomponenten in zukünftigen hochkomplexen mobilen Kommunikationssystemen für Trägerfrequenzen bis 60 GHz. Die hier betrachtete HF Entwurfstechnologie umfasst die Bereiche EDA-Entwurfsumgebungen und -Werkzeuge, Designmethodik, Entwicklungsabläufe, Modellierungsverfahren und die Schnittstelle zum Fertigungsprozess.

Der Anwender erwartet zuverlässige und kostengünstige Multi-Standard-Endgeräte und Dienste mit hohem Gebrauchswert. Diese können mit den heutigen Entwurfsverfahren für Anwendungen wie z. B. das zukünftige mobile Internet noch nicht bereitgestellt werden. Wichtig ist die Absenkung der Entwicklungszeit bei gleichzeitiger Erhöhung der Planungssicherheit. Dazu gehören neue Entwurfsabläufe und Modellierungsverfahren zur sicheren Systemkonzipierung. Dieser Beitrag gibt eine Übersicht der einzelnen Arbeitsgebiete in diesem Projekt.

### Arbeitsthemen

Zentrales Bindeglied der in DETAILS vorgesehenen Arbeiten zur Bereitstellung einer geeigneten Entwurfstechnologie ist der HF-Design-Flow. Erst eine durchgängige Einbindung der neu zu erarbeitenden Lösungsansätze in einen strukturierten, interaktiven und zuverlässigen Arbeitsablauf mit Einbindung geeigneter Automatisierungsschritte kann zu einer deutlichen, quantifizierbaren Verbesserung der heutigen Entwurfsituation führen. Aus dieser wichtigen Bedeutung des Design-Flows leitet sich die Zuordnung der Arbeiten in die vier Hauptbereiche HF-Systemmodellierung, HF-IP Entwurf, Prozessanbindung für HF-Systeme und HF-Entwurfplattform ab. Durch die nachfolgenden Maßnahmen soll eine HF Design Technologie für präzise analoge IP-basierte Front-End-Lösungen in höchstintegrierten HDÜ-Systemen geschaffen werden:

#### Bereich 1 (HF-Systemmodellierung)

- » Erarbeitung neuer Methoden und Konzepte zur Systemkonzipierung und Strukturdefinition unter Verwendung kompatibler/gleicher Beschreibungssprachen (SystemC, C/C++)
- » Erarbeitung neuer Systemkalibrierungsansätze mit Schwerpunkt CMOS

#### Bereich 2 (HF-IP Entwurf):

- » Verfahren zum systemkonformen Schaltungsentwurf und zur IP-Modellierung
- » Neue Konzepte für Höchstfrequenzschaltungen in CMOS bei niedrigen Versorgungsspannungen

#### Bereich 3 (Prozessanbindung für HF-Systeme):

- » Geeignete Prozessanbindung für fortschrittliche RF-CMOS, BiCMOS und SiGe Technologien
- » Teilautomatisierter Regelsatz zur Konversion von BiCMOS RF nach CMOS RF
- » Vereinfachung der HF-Entwurfsverifikation (Prävention vereinfacht Verifikation)

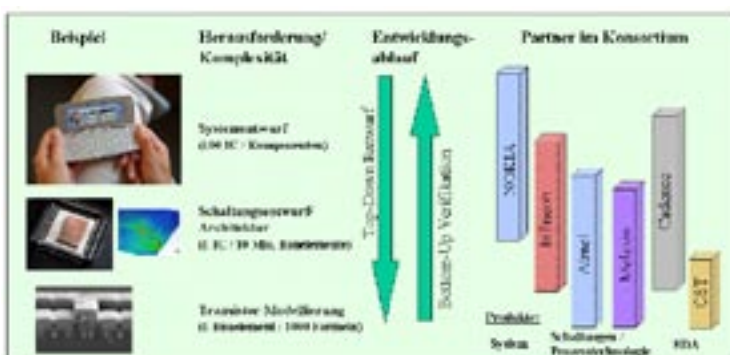
#### Bereich 4 (HF-Entwurfplattform)

- » Automatisierter Design-Flow mit Soft-HF-IP-Unterstützung
- » Intelligente multistandardfähige HF-Testbenches mit hohem Automatisierungsgrad
- » Prozessabbildung auf Systemebene

Das Projektkonsortium setzt sich aus führenden und mittelständischen Unternehmen der Bereiche System- und Schaltungsentwurf, EDA und Prozesstechnologie zusammen (s. Abbildung 1.9).

Abbildung 1.7:

Industriepartner von DETAILS



Die nachfolgenden Abschnitte geben einen Einblick in die Arbeitsgebiete von DETAILS.

### AP1: Systemmodellierung

Durch die enorm steigende Komplexität zukünftiger Systeme, möglich durch die Verwendung modernster Prozesstechnologien und nötig durch den erhöhten Bedarf an Multi-Standard-Lösungen, vervielfachen sich die Möglichkeiten, Systeme zu konfigurieren und zu partitionieren. Dem Bestreben nach mehr Funktionalität, Leistungsfähigkeit und Zuverlässigkeit sind durch die Vielzahl der parasitären Effekte in modernen Fertigungsprozessen und der Verlustleistungsbegrenzung durch die eingeschränkte Akkukapazität natürliche Grenzen gesetzt. Die Planungssicherheit hängt von der Güte der verwendeten HF-Entwurfstechnologie ab.

Eine obere Beschreibungsebene muss mit einer gemeinsamen Hochsprache die bisher getrennt voneinander betrachteten Disziplinen Systementwurf, RF- und Analogentwurf, Digitalentwurf und Software zusammenführen. Partitionierungsfragen und Kompromisse über die Grenzen von Analogbereich und Digitalbereich hinweg erfordern kompatible Spezifikationen und Funktionalmodelle, genauso wie eine gemeinsame Simulationsumgebung. Mit der wachsenden Anzahl von Randbedingungen wird es zunehmend schwieriger, zu einer optimalen Struktur eines Systems zu finden. Nur durch neue Methoden, die den Entwickler hierbei unterstützen, kann sichergestellt werden, dass keine relevanten Aspekte übersehen werden. Gleichzeitig muss ein Ansatz gefunden werden, der die Anbindung der verwendeten IP's an einen vorhandenen Design-For-Testability- oder Built-In-Self-Test/Built-In-Self-Calibration-Gesamtsystemansatz sicherstellt. Die Lösung der Testproblematik und die Bereitstellung von systemoptimierten Kalibrierungsverfahren zur Genauigkeitssteigerung sind fundamentale Bestandteile der Gesamtsystemplanung.

Die Arbeiten zur Systemmodellierung konzentrieren sich auf die Untersuchung und Erarbeitung neuer Gesamtsystem-Simulationsansätze. Hierbei gilt es, einen geeigneten und effizienten Multi-Level-Ansatz zu erarbeiten. Die gewählte Beschreibungssprache SystemC erlaubt die Bereitstellung eines lückenlosen Simulations- und Spezifikationsinterfaces zwischen analogem Front-End, digitaler Basisbandverarbeitung und dem Protokoll-Layer. Das analoge Front-End bildet den Flaschenhals zur Realisierbarkeit moderner Kommunikationssysteme.

Qualitätsanforderungen und explodierende Testkosten erfordern zunächst die Sicherstellung der Testbarkeit hochintegrierter Systeme. In einem zweiten Schritt ist es erforderlich, schon beim Schaltungsentwurf die Testfreundlichkeit zu erhöhen, um den danach erforderlichen Testaufwand zu minimieren. Die höchste Testfreundlichkeit erzielt ein implementierter Built-In-Self-Test. Der Ansatz der Genauigkeitskalibrierung von

kritischen Blöcken ist nach heutigem Kenntnisstand auf Front-End-Seite der beste Weg, um zu einer hardwareminimalen Lösung für Genauigkeitsbestimmungen und einer aktiven Verbesserung einer sonst schlechten Ausbeute zu gelangen. In diesem Projekt stellen besonders die CMOS-Prozesse mit hoher Integrationsdichte neue Anforderungen (z.B. kleine Versorgungsspannungen, Isolation, kleiner Signalhub) an bereitgestellte Korrekturverfahren.

### AP2: HF-IP Entwurf

Die einzelne IP-Beschreibung soll hier als virtuelle Bibliothek unterschiedlicher Konfigurierungs- und Dimensionierungsmöglichkeiten einer Schaltung verstanden werden und im Design-Flow mit vollem Funktionsumfang unterstützt werden.

Durch die zunehmende Integrationsdichte haben früher vernachlässigbare Phänomene einen immer stärkeren Einfluss auf das Verhalten von integrierten Schaltungen und deren Entwicklungsprozess. Dazu zählen die Nichtskalierbarkeit von Bauelementeparasitics und Versorgungs-/Schwellspannungen, 3D-Effekte, Koppelungseffekte von HF-Komponenten und Verbindungen, Grenzen und Komplexität der Fertigungstechnik, Zuverlässigkeitsprobleme und die wachsende Prozessvielfalt. Diese Phänomene können beim Übergang zu den Sub-100nm-Technologien nicht mehr vernachlässigt werden. Eine systemkonforme Modellierung für HF-IP's ist die Voraussetzung für eine höchstmögliche Flexibilität auf Systemebene, in der der bereitgestellte IP-Block und das dazugehörige Multilevel-Funktionalmodell keine starre Funktionalität besitzen, sondern auf spezielle Systemanforderungen hin formbar bleiben (parametrisierbar, konfigurierbar). Unter HF-IP werden hier in einer Hochsprache vorliegende, ausführbare Entwurfsbeschreibungen für die Bereiche: Symbol, Modell, Schaltung und Layout verstanden.

Den durch die Grenzen der Fertigungstechnik wachsenden statistischen Parameterschwankungen kann nur durch neue Kalibrierverfahren begegnet werden. In Ausnahmefällen können spezielle fehlertolerante Schaltungsstrukturen zu einer Genauigkeitssteigerung führen. Ohne derartige Kalibrierverfahren kann die erforderliche hohe Güte zukünftiger integrierter Transceiver-Systeme nicht mehr erreicht werden.

### AP3: Prozessanbindung

Dieses Arbeitspaket dient der Bereitstellung eines anwenderfreundlichen Technologie-Interfaces für die Entwurfsumgebung. Dafür gilt es, zum einen der gewachsenen Vielfalt an Prozessen und Prozessoptionen Rechnung zu tragen und zum anderen, auf die Anforderungen der Systemebene nach höherer Genauigkeit bei der Berücksichtigung der Prozesscharakteristika zu reagieren. Neben neuen Konzepten für die System- und Schaltungstechnik sind technologische Machbarkeit, Risiko und Kosten Faktoren, die die Produktentwicklung und Konkurrenzfähigkeit im Halbleiter-

Zusammensetzung  
des Projektkonsortiums

#### Partner:

Nokia GmbH <<  
Infineon Technologies AG <<  
Atmel Germany GmbH <<  
Melexis GmbH <<  
Cadence Design Systems GmbH <<  
CST GmbH <<

#### Unterauftragnehmer:

IMMS GmbH <<  
Fraunhofer Institut IIS/EAS <<  
Universität Ulm <<  
Technische Universität Cottbus <<  
Technische Universität Dresden <<

#### Förderkennzeichen:

01 M 3071

#### Laufzeit des Vorhabens:

01.04.2004 – 31.03.2007

#### Projektumfang:

72 Personennjahre in 3 Jahren

bereich maßgeblich beeinflussen. Deshalb wird auch in Zukunft die Prozessvielfalt eher zunehmen.

Mit der wachsenden Systemkomplexität wird auch die Systemverifikation zunehmend schwieriger. Ein vielversprechendes Mittel, um den Verifikationsaufwand für im System eingebettete HF-Funktionen zu reduzieren, ist die Fehlerprävention durch Bereitstellung von dynamischen Entwurfsregeln für den Design-Rule-Checker (DRC) oder den Electrical-Rule-Checker (ERC), die für den speziellen Anwendungsfall zugeschnitten sind. Eine Steuerung wäre über spezielle Layout- oder Schematicproperties möglich, die z.B. signalempfindliche Leitungen kennzeichnen und den maximal erlaubten Störpegel vorgeben. Aus dieser Vorgabe lassen sich Minimalabstände oder auch zusätzlich erforderliche Isolationsmaßnahmen zur Sicherstellung der Signalintegrität ableiten. Mit Einsatz eines 3D-Feldsimulators werden spezielle HF-Leitungsstrukturen und Schirmungsstrukturen für Leitungen und Komponenten erarbeitet, die einen optimalen Signal- oder Energie-transport bei minimaler Störabstrahlung und Störeinstrahlung garantieren. Weiterhin werden mit Hilfe numerischer Simulationsverfahren entwurfstaugliche Modelle zur Beschreibung von Effekten der Signalkopplung und der elektro-thermischen Kopplung durch das Substrat entwickelt.

elementmodelle sowohl im Bipolar- als auch im MOS-Bereich. Zur Optimierung der Schaltungseigenschaften wurde im Vorgänger-Projekt HGDAT ein geometrieskalierbares Bipolartransistor-Modell entwickelt, mit dem auch die auftretenden Prozesstoleranzen berücksichtigt werden können. Für RF-CMOS-Anwendungen dagegen fehlt eine entsprechende Beschreibung in der verfügbaren Form des (für Digitalanwendungen entwickelten) Standardmodells BSIM3v3. Wegen der gestiegenen Bedeutung der CMOS-Technologie für RF-Anwendungen werden in diesem Projekt wichtige Impulse hinsichtlich einer Verbesserung erarbeitet. Dies soll auf Basis des für die analoge Schaltungsentwicklung vorteilhafteren EKV-Kompaktmodells erfolgen.

#### AP4: HF-Entwurfplattform

Die Teilergebnisse der vorgestellten Arbeitsgebiete sollen in einer übergreifenden HF-Entwurfplattform mit realen Beispielen verifiziert werden. Neben der Bündelung der Ergebnisse aus den übrigen Arbeitspaketen werden aber auch weitere Flow-spezifische Arbeiten durchgeführt.

Die wesentlichen Absichten und Ziele sind:

- » Verifikation der Methoden und der Werkzeugfunktionalität an realen Beispielen
- » Überprüfung der entwickelten Methodik auf Eignung zur Anwendung im Entwurfsablauf

2

## Neues aus dem edacentrum

Der Entwurf von HF-Schaltungen stellt bekanntlich hohe Anforderungen an die Bau-

### Internetseiten zu den Projekten überarbeitet

[www.edacentrum.de/projekte/](http://www.edacentrum.de/projekte/)

Auf wiederholt geäußerten Wunsch wurden die Internetseiten zu den Projekten sowohl in Bezug auf die Darstellung der F&E-Projekte als auch im Hinblick auf die EDA-Clusterforschung überarbeitet und neu strukturiert. Dabei wurden die Informationen aktualisiert und verdichtet, aber auch die Übersichtlichkeit erhöht.

Ansprechpartner hierzu ist Herr Dipl.-Ing. Ralf Popp,  
0511 762-19697, [popp@edacentrum.de](mailto:popp@edacentrum.de).

### ☀ Stabwechsel im Aufsichtsrat

[www.edacentrum.de/](http://www.edacentrum.de/) ->portrait ->struktur

Im Aufsichtsrat des edacentrum hat es in der jüngeren Vergangenheit einen Wechsel gegeben. Dr. Franz Nepl, langjähriger Vertreter der Infineon Technologies AG im – und gleichzeitig Sprecher des – Aufsichtsrats, hat sich aus dem Gremium zurückgezogen. Dr. Nepl, Senior Vice President bei Infineon, hat die Gründung und Etablierung des edacentrum stets aktiv unter-

stützt und die Bedeutung von EDA für Infineon durch persönlichen Einsatz deutlich gemacht. Dafür sei ihm im Namen aller mit dem edacentrum Verbundenen ein herzlicher Dank ausgesprochen.

Als sein Nachfolger wurde Albert Stritter, Vice President bei Infineon und verantwortlich für alle Aktivitäten im Bereich Design Automation für Logikprodukte, als neuer Vertreter von Infineon im Aufsichtsrat benannt und auch zum Sprecher des Gremiums gewählt. Herr Stritter ist seit acht Jahren bei Infineon und hat das Design-Center Sophia Antipolis bei Nizza, Frankreich, aufgebaut. Anschließend wurde ihm die Verantwortung für den Bereich Design-Automation übertragen, den er seit fünf Jahren leitet. Sein beruflicher Werdegang ist im Wesentlichen durch Tätigkeiten im Ausland geprägt. So lernte Herr Stritter die globale EDA-Welt in verschiedenen Management-Aufgaben in Italien, Frankreich und den USA kennen, bevor er in die Infineon Headquarters nach München wechselte.

Ansprechpartner zum Thema ist Herr Dr.-Ing. Jürgen Haase,  
0511 762-19698, [haase@edacentrum.de](mailto:haase@edacentrum.de)

unter  
[www.edacentrum.de/  
newsletter/](http://www.edacentrum.de/newsletter/)  
finden Sie im Internet  
weitere Informationen