ANASTASIA+ - Methoden für den automatisierten Entwurf von Systemen im Mixed-Signal-Bereich

Neue Technologien bringen Segen und Fluch zugleich. Der Segen – eine konsequent fortschreitende Integrationsdichte – ermöglicht es, immer mehr Funktionen auf einem Chip zusammenzufassen und somit komplette Systeme, die früher auf einer Leiterplatte untergebracht waren, in einem einzigen IC zu integrieren. Dadurch steigt die Anzahl der Systeme auf einem Chip, die analoge und Mixed-Signal-Funktionalität zusammen mit digitalen Blöcken integriert haben. Für die nächsten Jahre wird gerade in diesem Bereich ein besonders hoher Zuwachs von Anwendungen im Consumer-, Automobil- und Kommunikationsbereich erwartet. Die neuen Halbleiterprozesse werden es in Zukunft erlauben, rein digitale mit analogen HF-Funktionen auf einem Chip zu integrieren und somit das Potential für SoCs (Systems on Chip) drastisch zu steigern. Laut SIA wird in den nächsten 5 Jahren der Anteil von integrierten Systemen mit Analoganteil auf einem Chip auf 70% ansteigen.

Um die neuen Technologien und Möglichkeiten effektiv nutzen zu können, ist es dringend erforderlich, die Entwurfsautomatisierung voranzutreiben. Der „Fluch", den die neuen Technologien mitbringen, ist der Zeitaufwand für das Design analoger und Mixed-Signal-(A/MS)-Schaltungsblöcke: Er liegt derzeit immer noch im Bereich mehrerer Monate und damit deutlich höher als für entsprechende Digitalfunktionen. Das liegt zum einen an einer unzureichenden Analogdesignmethodik, aber auch an den durch die neuen Technologien immer dominanter werdenden parasitären Effekten und komplexeren funktionalen, z.T. interagierenden Abhängigkeiten der Bauelemente voneinander. Es muss eine wesentliche Verkürzung der Entwurfszeiten erreicht werden, um den Marktanforderungen gerecht zu werden. Gleichzeitig sind Anstrengungen im Bereich der Systemspezifikation und -verifikation erforderlich, die einen Beitrag zur Verhinderung von Redesignzyklen liefern. Dabei sind nicht nur alle Funktionen auf dem Chip zu berücksichtigen, sondern auch periphere Komponenten mit einzubeziehen.

In System- und Halbleiterhäusern ist eine erhebliche Menge an Analog-IP vorhanden, welches in seiner jeweiligen Form und mit den bisher verfügbaren Designwerkzeugen nicht effizient wiederverwendet werden kann. Gründe dafür sind u.a. neue Prozesse, eine geänderte Spezifikation oder der Weggang eines Entwicklers und seiner Designintentionen. Somit wird wertvolle Designzeit verschwendet. In den letzten Jahren sind gute Grundlagen für neue Designmethoden erarbeitet worden (in Projekten wie JESSI AC12, SADE, HDL-VMS), die als Basis für eine verstärkte Wiederverwendung von Analog-IP dienen können.

Das im Rahmen des BMBF-Förderschwerpunkts EkompaSS angesiedelte Projekt **ANASTASIA+** greift genau die genannten Herausforderungen auf: Ziel des Projekts ist es, durchgängige Top-Down-Entwurfsmethoden für integrierte A/MS-Systeme zu entwickeln und erhebliche Fortschritte im Bereich der Entwurfsautomatisierung für A/MS-Systeme sowie der Wiederverwendung von Schaltungsblöcken zu erreichen. Die Motivation für die geplanten Arbeiten ergibt sich aus der dringenden Notwendigkeit, die Lücke im industriellen Entwurfsablauf zwischen Systemspezifikation und -entwurf einerseits sowie dem Schaltungsentwurf auf Blockebene andererseits zu schließen. Zu diesem Zweck wird ein in allen Ebenen von der Systemspezifikation bis zum Layout durch Werkzeuge und Entwurfsmethoden unterstützter Ablauf benötigt, der mit den im digitalen Schaltungsentwurf verfügbaren EDA-Methoden vergleichbar ist.

Dem Projektkonsortium gehören führende System- und Halbleiterhäuser sowie Forschungsinstitute an. **(s. links)**

Der Projektaufwand belief sich in der ersten Phase (1.12.2000 - 31.12.2002) auf 72 Personenjahre. Die zweite Phase ist für die Zeit vom 1.1.2003 - 31.12.2004 mit 88 Personenjahren geplant. **ANASTASIA+** ist im europäischen Rahmen mit einer Laufzeit von 4 Jahren (2001 - 2004) in MEDEA+ eingebettet.

Technische Projektinhalte

Um die globalen Ziele des Projekts zu erreichen, stehen folgende wissenschaftliche und technische Themen im Mittelpunkt der Arbeiten:

- Durchgängige Top-Down-Entwurfsmethodik von der Systemspezifikation bis zur Layout-Generierung;
- Methoden und Techniken zur automatisierten Erstellung parametrierbarer Verhaltensmodelle für typische Mixed-Signal-Schaltungsklassen zum Einsatz im Systemspezifikationsprozess (simulierbare Spezifikation);
- Durchgängige Mixed-Level/Mixed-Domain-Simulationsmethodik für A/MS-Systeme, einschließlich analoger und digitaler Hardware sowie nicht-elektrischen Komponenten (z.B. Sensoren);

Zusammensetzung des Prokjektkonsortiums:

Partner:
- Analog Microelectronics GmbH
- ATMEL Germany GmbH
- Infineon Technologies AG
- Fraunhofer-Institut für Techno- und Wirtschaftsmathematik
- Melexis GmbH
- Robert Bosch GmbH
- sci-worx GmbH

weitere Partner ab 2003:
- Cadence Design Systems GmbH
- MunEDA GmbH

Unterauftragnehmer:
- FhG-IIS/EAS Dresden
- Institut für Mikroelektronik- und Mechatronik- Systeme GmbH
- Universität Dortmund
- Universität Hannover
- Universität Tübingen

» Erhöhung des Automatisierungsgrads in den Bereichen
  – Verfeinerungsmethoden für Blockspezifikationen,
  – Verhaltensmodellgenerierung unter Einbeziehung parasitärer Effekte,
  – Schaltungsdimensionierung und Ausbeuteoptimierung mit Einbeziehung technologischer Schwankungen,

» Reuse-freundliche Layout-Generierung;

» Web-basierte Bibliotheksumgebung zur Unterstützung der Wiederverwendung von A/MS Blöcken (z.B. zur Prozessmigration).

Durch die nichtdeutschen Projektpartner **(s. rechts)** sind weitere wesentliche Arbeitsgebiete abgedeckt. Dazu gehören:

» Modellierungs- und Simulationsmethoden für Sigma-Delta-Wandler,

» Erweiterung der HW/SW-Cosimulation auf analoge Komponenten,

» neue Simulationsalgorithmen für HF-Anwendungen.

Die Projektarbeit konzentriert sich hauptsächlich auf Anwendungen aus der Automobilelektronik und der drahtlosen Kommunikation. Letztere beinhalten in zunehmendem Maße HF-Komponenten, daher werden HF-spezifische Aspekte bei der Entwicklung von Modellierungs-, Simulations- und Entwurfsmethoden für A/MS-Systeme besonders berücksichtigt.

Die neuen Methoden werden in Demonstratoranwendungen, u.a. aus den Bereichen Bluetooth oder Smart-Sensor-Systemen eingesetzt und erprobt. Dabei soll auch die erwartete Effizienzsteigerung im Mixed-Signal System- und Blockentwurf nachgewiesen werden.

Top-Down-Designprozess mit Bottom-Up-Verifikation

Abbildung 1 **(s. nächste Seite)**, deren Gültigkeit im Laufe der ersten beiden Projektjahre bestätigt und deren Details maßgeblich konkretisiert und erweitert werden konnten, veranschaulicht den Top-Down-Design- und Verfeinerungsprozess sowie den durchgängigen Simulations- und Verifikationsablauf.

Ausgehend von den Systemanforderungen werden die Spezifikation und die Interfaces für die Blockebene verfeinert. Dabei müssen Informationen aus den unteren Ebenen verwendet werden (Bottom-Up), um ein sinnvolles Aufteilen der Blöcke in Unterblöcke zu ermöglichen, so dass eine gute Ausgangsposition für die spätere technische Realisierbarkeit besteht. Der Entwurfsprozess ist dann abgeschlossen (Top-Down), wenn für alle Subblöcke eine Dimensionierung auf Transistorebene (bzw. ein Chip-Layout) vorliegt und der nachfolgend näher erläuterte Verifikationsprozess für die Blöcke und die Gesamtschaltung erfolgreich abgeschlossen ist. Im beschriebenen Entwurfsprozess sind die Verhaltens- und Makromodellierung, sowie die Dimensionierung und die Optimierung wesentliche Bestandteile.

Notwendigerweise zielt ein wesentlicher Teil der Arbeiten auf einen durchgängigen Entwurfsfluss, der mit Werkzeugen aus dem Systementwurf beginnt (z.B. MATLAB), bis hin zum fertigen IC, inklusive aller Schnittstellen und Validierungsschleifen **(Abbildung 1)**. Es werden Beschreibungsformen und Beschreibungssprachen benötigt, die nach Möglichkeit alle Abstraktionsebenen vereinen und gemeinsam simulierbar machen (Mixed-Mode/Mixed-Level-Simulation). Hierzu hat es in den ersten beiden Projektjahren erhebliche Fortschritte gegeben. So konnte beispielsweise aufgezeigt werden, dass eine durchgängige Beschreibung über eine analoge Hardware-Beschreibungssprache (AHDL) möglich ist, wobei ein wichtiges Ergebnis dazu die Entwicklung eines Konzepts für das Interfacing von Blöcken unterschiedlicher Beschreibungs- und Abstraktionsformen war. In dem jetzt geplanten Projektabschnitt gilt es, die geschaffenen technischen Voraussetzungen zu nutzen und eine Entwurfsmethodik zu erarbeiten, mit der sich schrittweise Blöcke verfeinern lassen, z.B. von der Systemebene auf die Transistorebene. Um nach einem solchen Verfeinerungsschritt eine Verifikation auf der Systemebene zu ermöglichen, sind Methoden zur automatischen Verhaltensmodellierung vorteilhaft einzusetzen, da sie Schaltungseffekte (evtl. auch parasitäre) mit einer vom Anwender zu definierenden Genauigkeit extrahieren können. So können die einzelnen Systemkomponenten blockweise wieder abstrahiert, d.h. durch genauere Modelle ersetzt und in das Gesamtsystemmodell zurückgeschrieben (Backannotation) werden. Auch hier ist der Status ähnlich wie bei den Beschreibungssprachen: Es sind weitgehend alle technischen Voraussetzungen geschaffen (einschließlich erster Algorithmen), um die Entwicklung der systematischen Modellierungs-methodik voran zu bringen. Das schließt die Erweiterung und Ergänzung der Algorithmen ein, die jetzt von praktischen Schaltungsbeispielen und Demonstratoren getrieben werden kann und soll. Ein Thema, das sich als besonders bedeutungsvoll herauskristallisiert hat, ist „Design for Manufacturability" (DfM), wohinter sich u.a. Themen wie automatische Schaltungsdimensionierung und Entwurfszentrierung verbergen. Das Bemerkenswerte dabei ist dass, obwohl die Begriffe und die dahinter stehende Problematik grundsätzlich bereits seit langem bekannt sind, es bis vor kurzem keine speziell für den Analog- und Mixed-Signal-Entwurf zugeschnittenen, industriell einsetzbaren Werkzeuge gab. Der entscheidende Durchbruch, der im letzten Jahr durch das **ANASTASIA+** -Projekt miterreicht wurde, war die Umsetzung von

Nichtdeutsche Projektpartner:

» Anacad/Mentor (F)
» Atmel (F)
» CISC (A)
» EDSN (F)
» Infineon (A)
» Philips (N)
» Siemens (I)

Verfahren zur Entwurfszentrierung und die Vorbereitung zu deren Einsatz im industriellen Designflow. Die damit zu schaffende neue Funktionalität geht weit über die bekannte und immer wieder eingesetzte Monte-Carlo-Analyse hinaus, die lediglich feststellen kann, ob eine Ausbeute gut oder schlecht ist. Sie liefert aber leider – und das ist das Problem – keine Hinweise, wie die Robustheit der Schaltung durch eine Änderung der Entwurfsparameter verbessert werden kann. Die neuen Verfahren und Werkzeuge geben dem Entwickler Aussagen darüber, welches die kritischen Designparameter seines Entwurfs sind und wie sie zu dimensionieren sind, um eine optimale Ausbeute zu erzielen.

Ergebnisberichte von den beteiligten Firmen

Seit Beginn der Projektlaufzeit konnten für wesentliche Herausforderungen Erfolg versprechende Lösungswege aufgezeigt und teilweise schon realisiert werden. Abschätzungen über die dadurch zu erwartenden Effizienzsteigerungen dokumentieren die Bedeutung der bisher erreichten Ergebnisse. Hier ist konkret die Verkürzung der Simulationszeit um Faktor 450 für PLL-Schaltungen zu nennen, die durch den Einsatz von Verhaltensmodellen ermöglicht wurde. Damit wird auch die implementierungsnahe Gesamtsimulation dieser im Mixed-Signal-Bereich wesentlichen Schaltungsklasse überhaupt erst durchführbar werden. Ein weiteres Beispiel ist die um einen Faktor >4 verkürzte Entwicklungszeit für I/O-Bibliotheken, die durch den Einsatz von Reuse-Verfahren im Layoutbereich zu erzielen sein wird. Als letztes Beispiel sei die Einführung der symbolischen Schaltungsanalyse zur Fehleridentifikation in industriellen Analogschaltungsblöcken zu nennen. Durch ihren Einsatz konnten Designprobleme, an denen sich Entwickler schon Tage oder Wochen mit Handrechnungen und hunderten von Simulationsläufen versucht hatten, innerhalb von Stunden gelöst werden.

Atmel:

Bei der Atmel Germany GmbH wurde eine VHDL-AMS-basierte Top-Down Entwurfsmethodik erarbeitet. Diese beruht auf der Abbildung der Spezifikation als HDL-Beschreibung auf hoher Abstraktionsebene. Durch sukzessive Verfeinerungen erfolgt der Übergang bis hin zur Transistorebene. Dabei entstehen weitere Modellbeschreibungen, die Mixed-Signal und Mixed-Level-Simulationen ermöglichen und damit erheblich zu Entwurfsgeschwindigkeit und -sicherheit beitragen. Anhand eines Automotive-Demonstrators konnte die Durchgängigkeit und Leistungsfähigkeit der Entwurfsstrategie nachgewiesen werden.

Weitere Arbeiten im Bereich der Wiederverwendung von Funktionsblöcken eröffnen wesentliche neue Möglichkeiten. Beispielsweise können Kenndaten jetzt automatisiert ermittelt und in eine Reuse-Datenbasis im Intranet eingetragen werden. Kompaktierungs- bzw. Bauteilersetzungsverfahren wurden für die Wiederverwendung von Layoutblöcken mit geänderten Parametern erschlossen; auch die generelle Reuse-Strategie wurde verfeinert. Erste Vorteile konnten anhand einer Demonstrator-Anwendung im Bereich drahtlose Kommunikation (Bluetooth/DECT) verifiziert werden.

Bosch:

Als Beitrag zur Schließung der Entwurfslücke zwischen System und Schaltungsentwurf wurde eine hoch performante Simulatorkopplung zwischen Saber und Matlab/Simulink entwickelt. Damit können z.B. Sensoren (in Matlab/Simulink) und die analoge Auswerteelektronik (auf Bauelementebene in Saber) erstmals zusammen und mit der geforderten Genauigkeit simuliert werden. Neben einer Verkürzung der Entwurfszeit und einer deutlichen Verbesserung der Entwurfsqualität kann damit in vielen Fällen ein Redesign eingespart werden, das sonst zur Überprüfung des Zusammenspiels von Sensor und Auswerteelektronik benötigt wurde.

Zur Erhöhung der Wiederverwendung von Verhaltensmodellen wurde ein Werkzeug zur automatisierten Generierung der Modelldokumentation aus dem Quellcode und speziell markierten Kommentaren entwickelt. Eine erste Version für die Dokumentation von Verhaltensmodellen in MAST oder VHDL-AMS ist bereits im Einsatz.

Infineon:

Infineon hat in Kooperation mit dem Fraunhofer ITWM nach der erfolgreichen Durchführung von Pilotprojekten die symbolische Analyse in den Infineon-Designflow aufgenommen und stellt den Schaltungsentwicklern nun das Werkzeug „Analog Insydes" zur Verfügung.

Im Rahmen des Beitrags "Mixed-Signal/Mixed-Level System Description and Simulation Methods" wurden ausgewählte Komponenten für die Systemsimulation in einen kommerziellen Schematic-basierten Designflow integriert. Die Funktion der Komponenten orientiert sich an der Simulink-Toolbox (Matlab).

Zusammen mit den benötigten HDL-Modellen ist es damit möglich, eine ausführbare Spezifikation zu erstellen, die in der für den Analog/Mixed-Signal-Designer gewohnten Umgebung simuliert werden kann. Die Topologie kann weiter verwendet werden. So wurde anhand eines produktiven Beispiels (ADC-Pipe) ein Teil des Systemmodells durch eine Implementierung auf Transistorebene ausgetauscht. Bezogen auf die vollständige Transistorschaltung konnte das so erhaltene Mixed-Level-Modell fünfmal schneller simuliert werden.

Mit Hilfe der Mixed-Level-Simulation können Einblicke gewonnen werden, die mit anderen Methoden nur schwer zu gewinnen sind. Durch Austausch von Schaltungsteilen durch ideale Systemmodelle kann relativ einfach ermittelt werden, welcher Schaltungsteil in der Implementierung für welchen Effekt verantwortlich ist. Mit Hilfe einer automatischen Umsetzung, die sich zurzeit in Entwicklung befindet, wird es erstmals möglich sein, einen geschlossenen Analog/Mixed-Signal-De-

signflow von der Systemebene bis zur Implementierung zu realisieren.

Last but not least wird bei Infineon seit kurzem intensiv das Thema DfM vorangetrieben. Auch hier ist das Ziel, neue, innovative Werkzeuge zur Entwurfszentrierung, wie das von der TU München und der Firma MunEDA entwickelte „WiCkeD", in den industriellen Infineon-Designflow zu integrieren.

Fraunhofer ITWM:
Die am Fraunhofer ITWM innerhalb der Analog Insydes-Umgebung entwickelten Prototypverfahren auf dem Gebiet der automatisierten Verhaltensmodellgenerierung wurden u. a. hinsichtlich der Berücksichtigung von transientem Schaltungsverhalten fortgeführt. Ziel dabei ist die automatische Generierung von parametrisierten Verhaltensmodellen für den Einsatz im Rahmen eines blockorientierten, hierarchischen Analogschaltungsentwurfs.

Speziell konnten die linearen symbolischen Verfahren in den ersten beiden Projektjahren bei mehreren Industriepartnern (z.B. Infineon, Melexis) erfolgreich eingesetzt werden. Dabei gelang es Probleme aktueller Schaltungsentwürfe zu beheben, bei denen konventionelle Fehlersuchmethoden erfolglos geblieben waren.

Das Fraunhofer ITWM wird die im Projekt erarbeiteten Methodiken und Verfahren nach Projektende in die kommerzielle Version von Analog Insydes integrieren und so auch Nicht-Projektpartnern zugänglich machen.

sci-worx:
sci-worx entwickelte einen Designflow, der die Verhaltensbeschreibung eines Mixed-Signal-Design vor dessen Umsetzung auf Transistorebene berücksichtigt. Dadurch werden konzeptionelle Fragen frühzeitig beantwortet, kritische Blöcke identifiziert und systematische Fehler rechtzeitig erkannt. Außerdem lassen sich Hinweise für das Design auf Transistorebene ablei-ten. Praktisch erprobt wurde der Designflow an der Entwicklung eines Klasse-D-Audioverstärkers.

Die Fertigstellung einzelner Module auf Device-Ebene und deren detaillierte Modellierung in VHDL-AMS ermöglichte die Bottom-Up-Verifikation eines Gesamtdesigns. Durch die Bereitstellung dieser Verifikationsmodelle sind Mixed-Level-Simulationen möglich, bei der kritische Blöcke in der Verhaltensumgebung des Gesamtdesigns schon zu einem frühen Zeitpunkt getestet werden können.

Ausblicke und Perspektiven
Die Resultate der Arbeiten in **ANASTASIA+** werden erstmalig einen vollständig durch EDA-Methoden

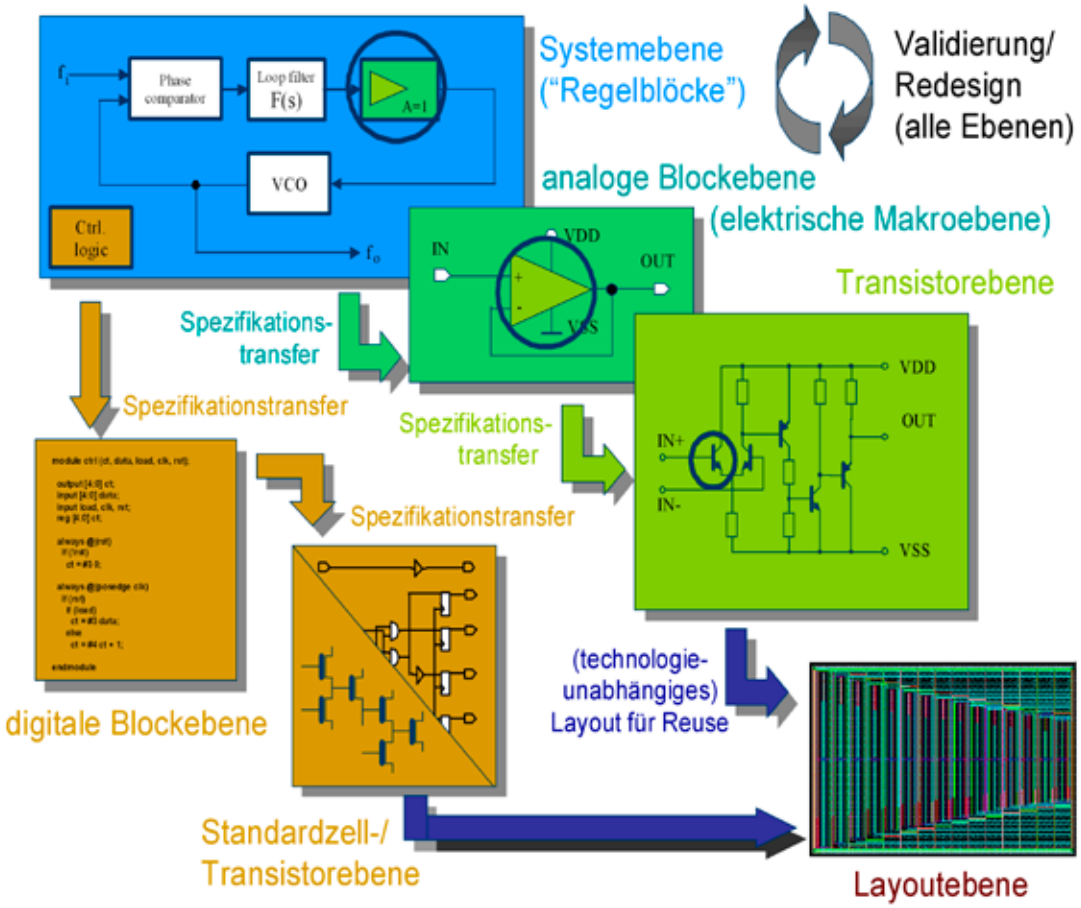

Abbildung 1:
Top-Down-Design- und Verfeinerungsprozess sowie der durchgängige Simulations- und Verifikationsablauf

unterstützten Top-Down-Entwurfsablauf und eine Gesamtverifikation für A/MS-Systeme ermöglichen, so dass mit einem Durchbruch im Bereich des A/MS-Systementwurfs zu rechnen ist. Die zu erwartenden Projektergebnisse, wie Tools zur Automatisierung der Modellerstellung, zur Schaltungsdimensionierung und spezifische Methoden zur Layoutsynthese sind Schlüsselelemente zur Wiederverwendbarkeit von analogen Schaltungsblöcken.

Es ist zu erwarten, dass die Designeffizienz und insbesondere auch die Designsicherheit (weniger Redesigns) deutlich steigen werden. Des Weiteren werden die Ergebnisse wesentlich zur Entwicklung zukünftiger kommerzieller EDA-Werkzeuge in diesem Bereich beitragen, was durch die direkte Mitarbeit von EDA-Firmen im Projekt untermauert wird. Das Konsortium nimmt darüber hinaus, in Kooperation mit seinen europäischen Projektpartnern, in internationalen Standardisierungsgremien (wie IEEE, OSCI) direkten Einfluss auf die Definition internationaler EDA-Standards im Bereich Analog/Mixed-Signal, insbesondere VHDL/Verilog-AMS und SystemC.

Viele Projektergebnisse stehen, ebenso wie die Entwurfswerkzeuge Analog Insydes und WiCkeD, bereits heute externen Interessenten zur Verfügung.

Kontakt:
Irmtraud Rugen-Herzig,
Infineon Technologies AG,
fon: 089 234-21046
irmtraud.rugen-herzig@infineon.com.

Nachrichten von den Projekten

www.edacentrum.de/Newsletter.html

HGDAT auf der DATE03 ein „Hot Topic"

Die Forschungsthemen und die aktuellen Ergebnisse des HGDAT-Projektes stießen bei den Organisatoren der DATE03 auf reges Interesse. Die Partner des HGDAT-Projektes gestalten eine Hot Topic Session zum Thema „RF Design Technology for Highly integrated Communication Systems". In dieser Session werden die aktuellen Entwurfsprobleme aus Sicht der Systemhäuser in drei Beiträgen beleuchtet und die im HGDAT- Verbund erarbeiteten Lösungsansätze diskutiert. Es wird ein verbesserter Entwurfsflow vorgeschlagen, der den Belangen der HF-Entwurfstechnik in besonderer Weise Rechnung trägt. Besondere Berücksichtigung findet das Interface zur Prozesstechnologie, dass innerhalb des HGDAT-Projektes durch die Bereitstellung eines eingebundenen geometrieskalierbaren Kompaktmodells für Bipolartransistoren entscheidend verbessert werden konnte. Außerhalb dieser Session finden sich weitere Beiträge auf der DATE zum Thema Verifikation von HF-Subsystemen und HF-BIST, die durch das Projekt entstehen konnten.

Leonidas präsentiert sich in einem Workshop auf der DATE 2003

Ein Workshop des Projektes Leonidas (Leitbahn-orientiertes Design applikationsspezifischer Schaltungen) wird im Rahmen der DATE 2003 am 6. März in München abgehalten. Die Veranstaltung beginnt mit einem Überblick, der in die Kernthematik von Leonidas einführt: Es geht darum, Methoden zu entwickeln und anzuwenden, die es gestatten, die Eigenschaften von parasitären Leitbahnen möglichst frühzeitig, transparent und vorausschauend bei der Designerstellung zu ermitteln und zu berücksichtigen. Dies ist für den erfolgreichen Entwurf in den neuesten Submikrometertechnologien wesentlich, denn hier wird die Schaltungsperformance nicht mehr von den Eigenschaften der Halbleiterbauelemente dominiert. Vielmehr kann die Qualität des Verbindungssystems wesentlich über Erfolg oder Misserfolg eines Designs entscheiden. Diese Problematik wird in drei Schwerpunkten innerhalb des Leonidas-Projekts bearbeitet und innerhalb des Workshops behandelt:

Weitere Informationen unter:
www.edacentrum.de/Newsletter.html

» Zur Ermittlung der parasitären Leitbahnparameter und Bereitstellung von Constraints sind erste Schlüsselergebnisse bei der Entwicklung neuer Konzepte für die Extraktion und Lokalisierung von Bridging Faults, sowie zur Behandlung von Induktivitäten erzielt worden.