



ANASTASIA+: Methoden für den automatisierten Entwurf von Systemen im Mixed-Signal-Bereich

www.edacentrum.de/projekte/

Es gibt wohl kaum eine Veröffentlichung im Bereich Chipentwurf, die nicht mit den folgenden Worten beginnt: Die ständig steigende Integrationsdichte, die zunehmenden Abhängigkeiten und Streuungen von Bauelementen neuer Technologieknoten, die immer kürzer werdenden Designzyklen (Time-to-Market).

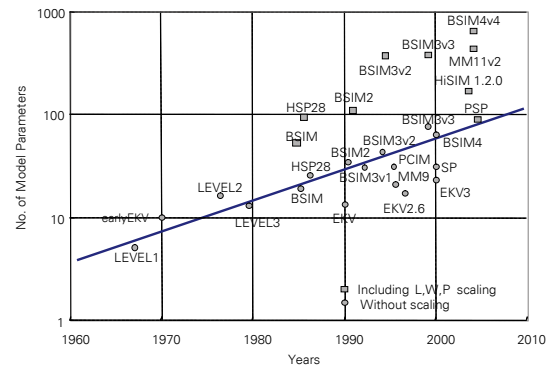
Was verbirgt sich dahinter? Letztendlich ist es das Mooresche Gesetz, das – obwohl es anfangs nicht so weit in die Zukunft gedacht war – immer noch seine Gültigkeit hat. Der Bedarf und die technologischen Möglichkeiten der Integration hochkomplexer Funktionen in elektronischen Schaltungen wachsen so schnell, dass die Methoden und Werkzeuge für den Entwurf einer solchen Schaltung heute kaum noch Schritt halten können. Während die Ausrichtung des Mooreschen Gesetzes allerdings im Wesentlichen auf digitalen Schaltungen liegt, kommen weitere Herausforderungen für den Analog- und Mixed-Signal-Schaltungsentwurf hinzu. Die analogen Anteile eines Systems benötigen zwar nur einen geringen Flächenanteil auf dem Chip, aber einen großen Anteil der gesamten Entwurfszeit. Es gibt einen steigenden Bedarf an anwendungsspezifischen integrierten Schaltungen (ASICs) mit einem jährlichen Wachstum um mehr als 30%. Europa ist mit einem Marktanteil von über 40% führend in Entwicklung und Herstellung solcher Mixed-Signal-Schaltungen und besonders stark in den Sektoren Automotive und Telekommunikation.

Das ist der Grund, warum in jüngster Zeit wieder verstärkt Anstrengungen unternommen werden, auch im Bereich der Analog- und Mixed-Signal-Systeme zu automatisierten Entwurfsverfahren zu kommen.

Worin liegen die Schwierigkeiten? Analogentwurf ist nach wie vor eine Kunst - es gibt, anders als im Digitalentwurf, keine Synthese und auch keinen systematisch geschlossenen Top-Down-Entwurfsablauf, weder methodisch noch als Tool- bzw. Designflow. Analogschaltungen sind nicht rückwirkungsfrei, das heißt ihre Funktionsweise beruht auf zum Teil hochdimensionalen, oft nichtlinearen Zusammenhängen der einzelnen Schaltungs- bzw. Bauteilparameter. Diese Abhängigkeiten verstärken sich mit zunehmenden Anforderungen an die Schaltungsperformanz und durch komplexer werdendes Device-Verhalten, insbesondere durch den Einfluss von Streuungen im Herstellungsprozess.

Ein Blick auf die Parameteranzahl von MOS-Modellen zeigt ein zweites Mooresches Gesetz einer exponenti-

ellen Zunahme der Device-Komplexität (Abbildung 1.2) - wir liegen heute mit BSIM4 bereits bei mehreren hundert Modellparametern.



Damit lautet die Anforderung: Steigende Schaltungs-komplexität bei gleichzeitig immer komplexer werdenden Device-Charakteristiken. Dieser Flaschenhals des A/MS-Entwurfs war der Ausgangspunkt für die Forschungs- und Entwicklungsaktivitäten des ANASTASIA+ Projekts, um die Entwurfsproduktivität für A/MS-Schaltungen und -Systeme durch neue Werkzeuge und Methoden nachhaltig zu erhöhen, unter der Prämisse: Innovationen in der Mathematik, Netzwerktheorie und Schaltungstechnik sind die Basis für Fortschritte in Analog-Design-Tools.

Das im Rahmen des BMBF-Förderschwerpunkts Ekompas eingebettete Projekt ANASTASIA+ griff genau die genannten Herausforderungen auf: Ziel des Projekts war es, durchgängige Top-Down-Entwurfsmethoden für integrierte A/MS-Systeme zu entwickeln und erhebliche Fortschritte im Bereich der Entwurfsautomatisierung für A/MS-Systeme sowie der Wiederverwendung von Schaltungsblöcken zu erreichen. Die Motivation für die geplanten Arbeiten ergab sich aus der dringenden Notwendigkeit, die Lücke im industriellen Entwurfsablauf zwischen Systemspezifikation und -entwurf einerseits sowie dem Schaltungsentwurf auf Blockebene andererseits zu schließen. Zu diesem Zweck wurde ein in allen Ebenen von der Systemspezifikation bis zum Layout durch Werkzeuge und Entwurfsmethoden unterstützter Ablauf benötigt, der mit den im digitalen Schaltungsentwurf verfügbaren EDA-Methoden vergleichbar ist.

Dem Projektkonsortium gehörten führende System- und Halbleiterhäuser, wichtige EDA-Anbieter, sowie Forschungsinstitute an. Der Projektaufwand belief sich in der ersten Phase (1.12.2000 - 31.12.2002) auf 72 Personennjahre. Die 2. Phase – ANASTASIA2 – hatte eine

Abbildung 1.2:

Entwicklung der Anzahl der Modellkartenparameter von MOS-Modellen
(Quelle: W. Grabinski)

Zusammensetzung
des Projektkonsortiums

Partner:

Atmel Germany GmbH <<
Cadence Design Systems GmbH <<
Infineon Technologies AG <<
Institut für Mikroelektronik und
Mechatronik-Systeme gGmbH <<
Fraunhofer-Institut für Techno- und
Wirtschaftsmathematik <<
Melexis GmbH <<
MunEDA GmbH <<
Robert Bosch GmbH <<
sci-worx GmbH <<

Unterauftragnehmer:

FhG-IIS/EAS Dresden <<
Universität Dortmund <<
Universität Hannover <<

Förderkennzeichen:

01 M 3068

Laufzeiten der Vorhaben:

ANASTASIA2: 1.7.03 – 30.6.05
ANASTASIA+: 1.12.00 – 31.12.02

Das Ekompas-Projekt ANASTASIA+ ist in einem europäischen Verbundprojekt eingebettet, das im Rahmen der EUREKA-Initiative MEDEA+ unter der Kennzahl A510 durchgeführt wird.

Ausländische Projektpartner:

CISC Semiconductor
Design+Consulting (Österreich) <<
EADS Defence and Security
Networks (EDSN) (Frankreich) <<
Mentor Graphics (Frankreich) <<
Philips ED&T (Niederlande) <<

Laufzeit vom 1.7.2003 - 30.06.2005 und einen Personenaufwand von 75 Personenjahren. ANASTASIA+ war im europäischen Rahmen mit einer Laufzeit von 4 Jahren (2001 - 2004) in MEDEA+ eingebettet.

Technische Projektinhalte

Um die globalen Ziele des Projekts zu erreichen, standen folgende wissenschaftliche und technische Themen im Mittelpunkt der Arbeiten:

- » Durchgängige Top-Down-Entwurfsmethodik von der Systemspezifikation bis zur Layout-Generierung;
- » Methoden und Techniken zur (u.a. automatisierten) Erstellung parametrierbarer Verhaltensmodelle für typische Mixed-Signal-Schaltungsklassen zum Einsatz im Systemspezifikationsprozess (simulierbare Spezifikation);
- » Durchgängige Mixed-Signal/Mixed-Discipline-Simulationsmethodik für A/MS-Systeme, einschließlich nichtelektrischer Komponenten (z.B. Sensoren);
- » Erhöhung des Automatisierungsgrads in den Bereichen:
 - » Verfeinerungsmethoden für Blockspezifikationen,
 - » Verhaltensmodellgenerierung unter Einbeziehung parasitärer Effekte,
 - » Schaltungsdimensionierung und Ausbeuteoptimierung mit Einbeziehung von Fertigungsschwankungen,
 - » Wiederverwendung im Layoutbereich.

Durch die europäischen Projektpartner - Mentor (F), Atmel (F), CISC (A), EADS Telecom (F), Infineon (A), Philips (N), Siemens (I) - wurden weitere wesentliche Arbeitsgebiete, wie

- » Modellierungs- und Simulationsmethoden für Sigma-Delta-Wandler,
- » Erweiterung der HW/SW Cosimulation auf analoge Komponenten,
- » neue Simulationsalgorithmen für HF-Anwendungen abgedeckt.

Die Projektarbeit konzentrierte sich hauptsächlich auf Anwendungen aus der Automobilelektronik und der drahtlosen Kommunikation, daher wurden HF-spezifische Aspekte bei der Entwicklung von Modellierungs-, Simulations- und Entwurfsmethoden für A/MS-Systeme ebenfalls berücksichtigt.

Die neuen Methoden wurden in Demonstratoranwendungen, u.a. aus den Bereichen drahtlose Kommunikation oder Smart-Sensor-Systemen, eingesetzt und erprobt. Dabei konnte auch die erwartete Effizienzsteigerung im Mixed-Signal-System- und Blockentwurf nachgewiesen werden.

Reuse-orientierter Designflow für den Analogblockentwurf

Wie bereits in der Einführung erwähnt, gibt es bisher keine Werkzeuge für die Analogschaltungssynthese, d.h. die Generierung neuer Schaltungstopologien und deren Dimensionierung aus vorgegebenen Anforderungen (Spezifikationen), sieht man von ganz wenigen Spezialfällen, wie z.B. Filterentwurf, einmal ab. Es konnten aber in den letzten Jahren im Rahmen von ANASTASIA+ wesentliche Fortschritte zur Verringerung der Entwurfslücke beim Übergang von System- auf Blockebene gemacht werden (siehe dazu Abbildung 1.3). So wurde eine Entwurfsmethode zu einem automatischen Transfer von der System- auf die Transistorebene erarbeitet, die auf dem Prinzip der Rechenverstärker beruht und für Filter- und Regelschaltungen Anwendung finden kann. Simulationstechnisch wie auch methodisch konnte eine bestehende Lücke zwischen dem Concept-Engineering mit Matlab/Simulink und dem Übergang in den industriellen Designflow, dem Cadence Design Framework II, geschlossen werden. Große Fortschritte wurden auch bei der Unterstützung des Analogschaltungsentwurfs auf dem Gebiet der echten Schaltungsanalyse, also nicht nur der numerischen Simulation, sowie der interaktiven Schaltungsdimensionierung und Entwurfszentrierung erzielt werden, die sogar Einsichten bezüglich notwendiger Topologiemodifikationen geben.

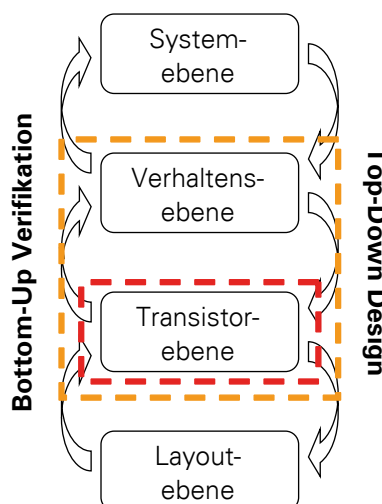


Abbildung 1.3:
Top-Down-Design und
Bottom-Up-Verifikation

Neben der Entwicklung von Algorithmen und Werkzeugen sind im ANASTASIA+-Projekt auch Abläufe und Vorgehensweisen für einen innovativen Schaltungsentwurf erarbeitet worden. Eines dieser Ergebnisse zeigt Abbildung 1.4, die einen Reuse-orientierten Designflow für den Analogblockentwurf zum Inhalt hat. Bezogen auf Abbildung 1.3 befindet sich dieser Teilablauf gerade beim Übergang auf die Transistorebene und ist deshalb dort kenntlich gemacht worden.

Ausgangspunkt ist eine undimensionierte Schaltungstopologie, die entweder einer Topologie-Datenbasis oder einer Abwandlung eines bereits bestehenden Entwurfs entstammen kann.

Um zuerst eine Anfangsdimensionierung zu finden, sind zunächst alle Bedingungen zu sammeln, die die Schaltungstopologie erfüllen soll bzw. die weitere Randbedingungen an Bauelemente oder Teilschaltungen zur Reduktion von Freiheitsgraden liefern. Zum einen sind dies die Schaltungsspezifikationen, zum anderen Bedingungen wie Device-Matching oder die Festlegung von Arbeits- und Betriebsbereichen (Constraints). Dazu wurden im Projekt eine ganze Reihe von z.T. automatischen Verfahren entwickelt und erfolgreich erprobt. Hier besteht auch eine enge Kooperation mit dem LEONIDAS-Projekt, wo an einem Constraintmanagement-Konzept gearbeitet wird. Die in ANASTASIA+ gewonnenen Ergebnisse zur automatischen Constraint-Generierung fließen bereits direkt in diese Aktivitäten ein.

In der Regel reichen allerdings die zunächst eingegebenen und vom Optimierer berücksichtigten Dimensionierungs- und Nebenbedingungen nicht aus, um eine perfekte Dimensionierung zu finden, die allen Anforderungen an die Schaltung genügt. So müssen unter Umständen die Spezifikationen und Dimensionierungsnebenbedingungen erweitert oder verändert werden. Unter Umständen ist aber auch ein Fehlverhalten entstanden, das nicht erklärbar ist oder darauf hindeutet, dass die Spezifikation vielleicht gar nicht erfüllt werden kann. In diesem Falle kann eine erweiterte Schaltungsfehleranalyse durch Einsatz symbolischer Methoden, wie sie im Projekt weiterentwickelt wurden, zu einer Klärung des Fehlverhaltens herangezogen werden.

Ist sämtliches Schaltungsfehlerverhalten beseitigt, konnten alle Spezifikationen im Rahmen ihrer festgelegten Bereiche erfüllt werden und liegen alle Bauteilwerte und Arbeitsbereiche innerhalb sinnvoller Größen, so ist die Nominaldimensionierung erfolgreich abgeschlossen. Es kann nun der nächste Schritt der "Entwurfszentrierung" angegangen werden. Sie hat zum

Ziel, ausgehend von der Nominaldimensionierung die Bauteilwerte so zu modifizieren, dass die Schaltung möglichst robust gegenüber fertigungsbedingten statistischen Schwankungen der Bauteilwerte (lokale und globale Streuungen) ausgelegt wird, dabei aber nach wie vor die gegebenen Spezifikationen einhält. Die neuen Verfahren und Werkzeuge geben dem Entwickler inzwischen Aussagen darüber, welches die kritischen Entwurfsparameter seines Entwurfs sind und wie sie zu dimensionieren sind, um eine optimale Ausbeute zu erzielen. Ein besonderer Projekterfolg liegt in der Entwicklung eines Algorithmus zur automatischen Entwurfszentrierung analoger Schaltungsblöcke, der eine aufwendige interaktive Handausbeuteoptimierung ablösen konnte.

Der nächste Schritt nach der Ausbeuteoptimierung ist schließlich die Generierung eines Layouts mit einer anschließenden Layoutverifikation. Hier kann es erforderlich werden, die mit allen Parasiten aus dem Layout extrahierte Schaltung nochmals einem Optimierungsschritt zu unterziehen.

Erfüllt nun auch die aus dem Layout extrahierte Schaltung alle Spezifikationen, so ist der Blockentwurf abgeschlossen. Im Rahmen eines hierarchischen Schaltungsentwurfs muss der nun gerade fertig gestellte Block mit seinen genauen Eigenschaften in die übergeordnete Hierarchieebene eingebaut werden. Da dies in der Regel nicht auf Transistorebene geschieht, ist ein Verhaltensmodell zu generieren, dessen Eigenschaften möglichst gut mit denen des gerade entwickelten Schaltungsblocks übereinstimmen – unter Berücksichtigung der Abstraktionsebenen (z. B. konservative oder nichtkonservative Modellierungen). Abbildung 1.5 veranschaulicht den Verfeinerungs- und Abstraktionsprozess. Diese Schritte zu (teil-)automatisieren, ist ebenfalls aktuelle Forschungsthematik im ANASTASIA+ Projekt gewesen.

Abbildung 1.4: Reuse-orientierter Designflow für den Analogblockentwurf

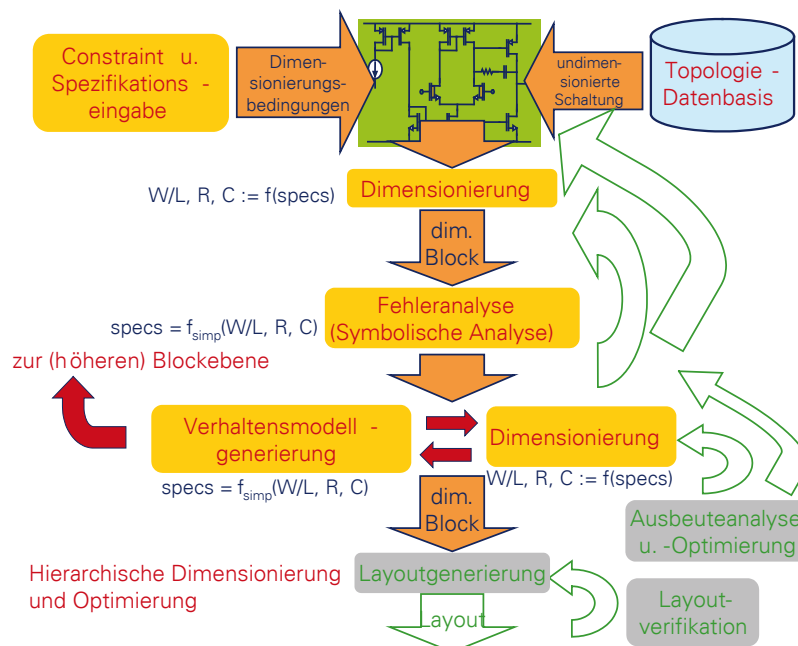
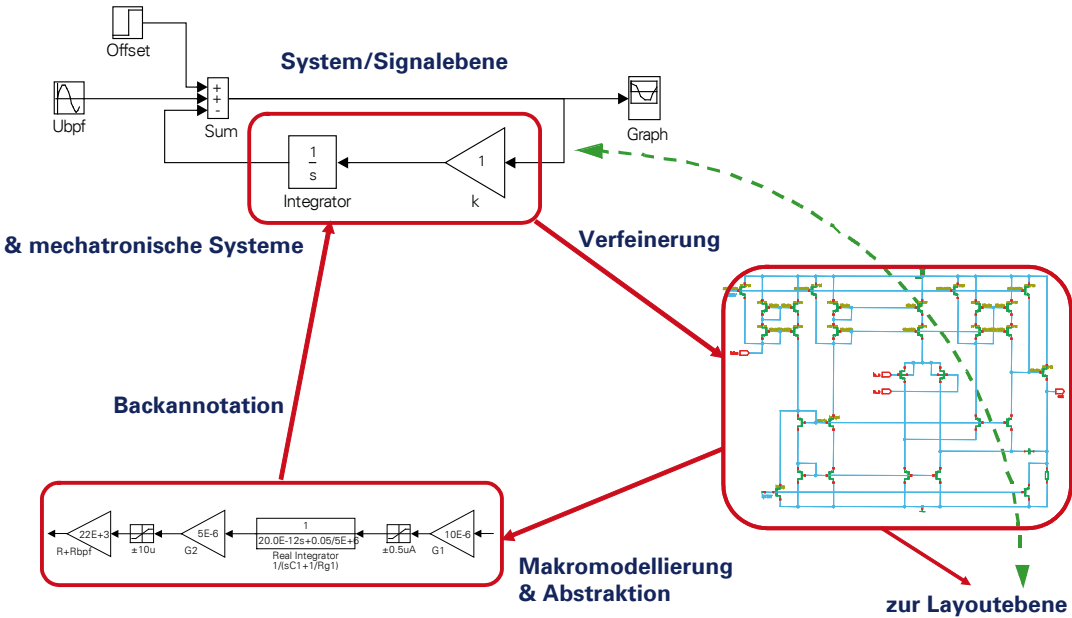


Abbildung 1.5:
Mixed-Signal/Mixed-Level
Systembeschreibung



Berichte aus den beteiligten Firmen

Seit Beginn der Projektlaufzeit konnten für wesentliche Herausforderungen Erfolg versprechende Lösungswege aufgezeigt und teilweise schon realisiert werden. Abschätzungen über die dadurch zu erwartenden Effizienzsteigerungen dokumentieren die Bedeutung der bisher erreichten Ergebnisse. Konkret ist die Verkürzung der Simulationszeit um einen Faktor von 450 für PLL-Schaltungen zu nennen, die durch den Einsatz von Verhaltensmodellen ermöglicht wurde. Damit wird auch die implementierungsnahe Gesamtsimulation dieser im Mixed-Signal-Bereich wesentlichen Schaltungsklasse überhaupt erst durchführbar. Ein weiteres Beispiel ist die verkürzte Entwicklungszeit für I/O-Bibliotheken um einen Faktor >6, die durch den Einsatz von Reuse-Verfahren im Layoutbereich zu erzielen sein wird. Als letztes Beispiel sei die Einführung der symbolischen Schaltungsanalyse zur Fehleridentifikation in industriellen Anlogschaltungsblöcken genannt. Durch ihren Einsatz konnten Designprobleme, an denen sich Entwickler schon Tage oder Wochen mit Handrechnungen und hunderten von Simulationsläufen versucht hatten, innerhalb von Stunden gelöst werden.

» **Atmel**

Bei der Atmel Germany GmbH wurde eine VHDL-AMS-basierte Top-Down-Entwurfsmethodik erarbeitet. Diese beruht auf der Abbildung der Spezifikation als HDL-Beschreibung auf hoher Abstraktionsebene. Durch sukzessive Verfeinerungen erfolgt der Übergang bis hin zur Transistorebene. Dabei entstehen weitere Modellbeschreibungen, die Mixed-Signal und Mixed-Level-Simulationen ermöglichen und damit erheblich zu Entwurfsgeschwindigkeit und -sicherheit beitragen. Anhand eines Automotive-Demonstrators konnte die Durchgängigkeit und Leistungsfähigkeit der Entwurfsstrategie nachgewiesen werden.

Weitere Arbeiten im Bereich der Wiederverwendung von Funktionsblöcken eröffnen wesentliche neue Möglichkeiten. Beispielsweise wurden Kompaktierungs- bzw. Bauteilersetzungsverfahren für die Wiederverwendung von Layoutblöcken mit geänderten Parametern auch für hierarchisch aufgebaute Schaltungen eingesetzt; unsere generelle Reuse-Strategie wurde verfeinert. Erste Vorteile konnten anhand einer Demonstrator-Anwendung im Bereich drahtlose Kommunikation verifiziert werden.

» **Bosch**

Als Beitrag zur Schließung der Entwurfslücke zwischen System- und Schaltungsentwurf wurde eine Top-Down- Entwurfsmethode entwickelt. Ausgangspunkt ist ein abstraktes Systemmodell in Matlab/Simulink. Auf der Systemebene (in Matlab/Simulink) wird das Systemmodell unter Berücksichtigung von Eigenschaften der Schaltungsebene (z.B. Begrenzungen) verfeinert. Anschließend wird das verfeinerte Modell automatisch auf ein Blockebenenmodell (in VHDL-AMS) umgesetzt. Basis dafür ist eine Bibliothek von Grundfunktionen, die aus Operationsverstärkern und passiven Elementen besteht. Die Umrechnung der Systemparameter in die Parameter der Grundfunktions-elemente ist in dem automatisierten Transfer enthalten. Anhand eines Prototyps wurde das Vorgehen beim Filter- und beim Reglerentwurf gezeigt. Neben einer um ca. 10% verkürzten Entwicklungszeit bringt diese Methode vor allem Entwurfssicherheit und -qualität.

Zur Verkürzung der Simulationszeit analoger Systeme wurden Modellierungsmethoden mittels Identifikationsverfahren auf Basis von Neurofuzzy- und Support Vector Machine-Methoden erforscht und experimentell untersucht. Die mit diesen Verfahren erzeugten Modelle von einfachen Anlogschaltungen ermöglichen eine Beschleunigung der Simulation bis zu Faktor 20 bei noch akzeptabler Genauigkeit (Fehler ca. 5%).

Für größere Schaltungen sowie für noch kürzere Simulationszeit bei höherer Genauigkeit ist eine Weiterentwicklung der Verfahren notwendig.

Zusammen mit dem Unterauftragnehmer FhG-IIS/EAS Dresden wurde eine Modellierungsmethode für Switched-Capacitor (SC) Schaltungen entwickelt, um die Simulation zu beschleunigen. Basierend auf dem sogenannten QV-Ansatz, wurde eine Methode entwickelt, mit der SC-Schaltungen in ein Verhaltensmodell (VHDL-AMS) abgebildet werden können. Anhand verschiedener SC-Schaltungen aus realen Applikationen konnte gezeigt werden, dass die Simulationszeit im Vergleich zum Transistor-Level um mindestens 2 Größenordnungen reduziert werden kann. Dabei beträgt der Fehler in den meisten Fällen weniger als 1%.

Darüber hinaus wurde das Thema DfM intensiv vorangetrieben, mit dem Ziel, Methoden für den Entwurf von robusten Analogschaltungen für Anwendungen im Automobilbereich zu entwickeln. Unter Verwendung des Tools WiCkeD (MunEDA) führt der Entwickler eine Abfolge von Schritten und Methoden durch, die zu einer fertig dimensionierten Analogschaltung führen. Dabei werden sowohl der Betriebsbereich (Temperatur, Versorgungsspannung) als auch die Prozessvariationen berücksichtigt. Ebenso erhält der Entwickler eine Abschätzung über die zu erwartende Ausbeute. Mit dem konsequenten Einsatz dieser Methoden lassen sich ca. 2 Redesigns pro Jahr einsparen, was zu einem verbesserten Time-to-Market und zu geringeren Entwicklungskosten führt.

» **Cadence**

Innerhalb von ANASTASIA wurde in enger Zusammenarbeit mit Infineon, ITWM und IMS eine prototypische Anbindung des symbolischen Analyse-Werkzeugs Analog Insydes an das Cadence Design Framework erarbeitet. Damit kann die symbolische Analyse komfortabel aus dem bekannten Cadence Analog Design Environment heraus gestartet werden. Es werden verschiedene Arbeitsabläufe unterstützt, die – je nach Erfahrung des Benutzers – mehr oder weniger Optionen und Einflussmöglichkeiten zur Verfügung stellen. Erstellte Verhaltensmodelle werden in Verilog-A herausgeschrieben und sind über den Hierarchy-Editor direkt im Cadence Framework nutzbar.

Durch die erfolgreiche Anbindung von Analog Insydes an das Cadence Design Framework konnte erstmals eine reibungslose Nutzung der symbolischen Analyse in einem Standard-Analog-Flow gezeigt werden.

» **Infineon**

Infineon hat in Kooperation mit dem Fraunhofer ITWM nach der erfolgreichen Durchführung von Pilotprojekten die symbolische Analyse in den Infineon-Designflow aufgenommen und stellt den Schaltungsentwicklern das Werkzeug „Analog Insydes“ zur Verfügung.

Im Rahmen des Beitrags „Mixed-Signal/Mixed-Level System Description and Simulation Methods“ wurden ausgewählte Komponenten für die Systemsimulation in einen kommerziellen Schematic-basierten Designflow integriert. Die Funktion der Komponenten orientiert sich an der Simulink-Toolbox (Matlab). Zusammen mit den benötigten HDL-Modellen ist es damit möglich, eine ausführbare Spezifikation zu erstellen, die in der für den Analog/Mixed-Signal-Designer gewohnten Umgebung simuliert werden kann, wodurch sich u.a. Einblicke gewinnen lassen, die mit anderen Methoden nur schwer zu erhalten sind. Mithilfe einer automatischen Umsetzung ist es erstmals möglich, einen geschlossenen Analog/Mixed-Signal-Designflow von der Systemebene bis zur Implementierung zu realisieren.

Gemeinsam mit der Technischen Universität München (Lehrstuhl für Entwurfsautomatisierung) wurde das Thema hierarchische Simulation und Optimierung bearbeitet, das Verfahren zur Aufstellung von Dimensionierungsnebenbedingungen auf Systemebene erweitert und im Hinblick auf Effizienz optimiert. Als Demonstratoren wurden ein Bandpassfilter und eine PLL bearbeitet, wobei die Arbeiten die Verhaltensmodellierung, die automatische Eigenschaftsextraktion auf Block- und System-Ebene und schließlich eine hierarchische Neudimensionierung umfassten. Darüber hinaus wurde bei Infineon mit der Entwicklung eines neuen Verfahrens zur Bestimmung des Designraumes einer analogen Schaltung begonnen.

Mit dem FhG-IIS/EAS Dresden wurde am Beispiel eines Oszillators innerhalb einer PLL die Methodik der Zerlegung einer Schaltung in analoge und digitale Komponenten erprobt. Dabei konnten getrennt nach adäquaten Methoden Verhaltensmodelle generiert werden, wobei die Modellierung des Oszillators (VCO) eine besondere Herausforderung darstellte und schließlich in enger Kooperation mit dem FhG ITWM ein Modell guter Genauigkeit automatisiert erzeugt werden konnte.

Last, but not least wurde bei Infineon seit 2003 intensiv das Thema DfM vorangetrieben. Als Ergebnis steht den Schaltungsentwicklern nun das innovative Werkzeug WiCkeD zur Entwurfszentrierung zur Verfügung, das an der TU München entwickelt und nun von der Spin-Off Firma MunEDA weiterentwickelt und kommerzialisiert wird. Der Erfolg wird deutlich an den ca. 40 WiCkeD Trainings und Workshops (an über 15 Standorten) mit inzwischen ca. 350 trainierten Anwendern.

» **Fraunhofer ITWM**

Die am Fraunhofer ITWM innerhalb der Analog Insydes-Umgebung entwickelten Prototypverfahren auf dem Gebiet der automatisierten Verhaltensmodellgenerierung wurden u.a. hinsichtlich der Berücksichtigung von transientem Schaltungsverhalten erweitert.

Ziel dabei ist die automatische Generierung von parametrisierten Verhaltensmodellen für den Einsatz im Rahmen eines blockorientierten, hierarchischen Anlogschaltungsentwurfs.

Die linearen symbolischen Verfahren konnten bei mehreren Industriepartnern (z.B. Infineon, Melexis) erfolgreich eingesetzt werden, wobei es gelang, Probleme aktueller Schaltungsentwürfe zu beheben, bei denen konventionelle Methoden erfolglos geblieben waren. Darüber hinaus wurde in enger Zusammenarbeit mit den Projektpartnern Infineon, Cadence und dem IMS Hannover an einer Integration symbolischer Verfahren in das Cadence Design Framework gearbeitet. Damit ist es nun erstmals möglich, innerhalb einer industriellen Entwurfsumgebung ausgehend von einer Netzlistenbeschreibung automatisch symbolische Verhaltensmodelle in der Beschreibungssprache Verilog-A zu generieren.

Das Fraunhofer ITWM wird die im Projekt erarbeiteten Methodiken und Verfahren in die kommerzielle Version von Analog Insydes integrieren und so auch Nicht-Projektpartnern zugänglich machen.

» MELEXIS und IMMS

Mit den Projektmethoden wurden eine SOI-Spannungsquelle und analoge Schaltungen für Anwendungstemperaturen bis 300 °C optimiert und erprobt. Die Anwendung auf optoelektronische Schaltungen brachte deutliche Parameterverbesserungen, beispielsweise besseres PSSR, erhöhte Bandbreiten, erweiterte Stabilität und eine effektive Analyse kritischer Simulationsergebnisse. Die Systemarchitektur von ADCs wurde auf Verhaltensebene detailliert simuliert und anschließend implementiert.

» MunEDA

MunEDA widmete sich in ANASTASIA+ der Verbesserung von Verfahren zur Ausbeuteanalyse und Ausbeuteoptimierung (DfM/DfY). Hierbei konnten die Qualität des in MunEDAs Softwareprodukt WiCkeD enthaltenen Ausbeuteoptimierverfahrens nochmals signifikant verbessert werden. Neben der Ausbeuteoptimierung hat MunEDA auch die Effizienz der Verifikation hoher Ausbeuten mittels Monte Carlo-basierter Verfahren deutlich steigern können. So konnte die zur Ausbeutebestimmung benötigte Anzahl an Simulationen auf ein Fünftel reduziert werden im Vergleich zu einer Standard-Monte Carlo-Analyse gleicher Genauigkeit.

» sci-worx

sci-worx entwickelte unter Berücksichtigung von zwei unterschiedlichen Modellierungsmethoden Verhaltensmodelle für Bit-Pattern-Quellen zur Verifikation von Transceiver-Schaltungen sowie Modelle für die Verifikation eines LIN-Bus-Systems (Local Interconnect Network).

Bei der Modellierung der Bit-Pattern-Quellen wurde ein modularer Ansatz gewählt, der es dem Anwender auf einfache Art ermöglicht, die Quellen entsprechend seinen Anforderungen zusammenzusetzen. Diese Stimuli-Quellen wurden bereits erfolgreich zur Verifikation in verschiedenen IC Designs eingesetzt.

In den Modellen des LIN-Bus-Systems wurden durch eine Modellkalibrierung die externen Betriebsbedingungenbereiche berücksichtigt (Spannung, Temperatur, Last). Dies erweiterte den Gültigkeitsbereich der Verhaltensmodelle und macht sie damit universeller einsetzbar. Die Simulationszeit reduzierte sich dadurch erheblich bei nur geringfügigen Abweichungen der Simulationsergebnisse zwischen Transistorschaltung und Verhaltensmodell.

Ausblicke und Perspektiven

Die Resultate der Projektarbeit sind ein großer Schritt zu einem vollständig durch EDA-Methoden unterstützten Top-Down-Entwurfsablauf. Die aus den Projektergebnissen entstandenen und noch entstehenden Tools zur Automatisierung der Modellerstellung, zur Schaltungsdimensionierung und spezifische Methoden zur Layoutsynthese sind Schlüsselemente zur Wiederverwendbarkeit von analogen Schaltungsblöcken.

Es ist zu erwarten, dass die Designeffizienz und insbesondere auch die Designsicherheit (weniger Redesigns) bei den Partnern deutlich steigen werden. Des Weiteren werden die Ergebnisse wesentlich zur Entwicklung zukünftiger kommerzieller EDA-Werkzeuge in diesem Bereich beitragen, was durch die direkte Mitarbeit von EDA-Firmen im Projekt begünstigt wird. Schließlich sind die EDA-Anbieter im Analog/Mixed-Signal-Bereich mit ihrem Know-how-Bedarf und ihrem – im Vergleich zum Digitalbereich – kleinen Markt auf die enge Zusammenarbeit mit ihren Kunden angewiesen.

Das Konsortium hat darüber hinaus in Kooperation mit seinen europäischen Projektpartnern in internationalen Standardisierungsgremien (wie IEEE, OSCI) direkten Einfluss auf die Definition internationaler EDA-Standards im Bereich Analog/Mixed-Signal genommen, insbesondere bei VHDL/Verilog-AMS und SystemC.

Immer noch sind viele Fragen offen – einige wurden dabei erst durch die Projektarbeit deutlich. So konnte gezeigt werden, dass der Entwurf komplexer Systeme die Unterstützung durch eine verfeinerte, aber auch hierarchisch übergreifende Modellierung und Simulation erfordert. Auf der anderen Seite sollte die Funktionstüchtigkeit und Zuverlässigkeit der immer komplexeren Systeme schon beim Entwurf möglichst als Ganzes verifiziert werden, so dass es in Zukunft vermehrter Anstrengungen im Bereich der Entwurfsverifikation bedarf. Verifikation bedeutet dabei eine vollständige gezielte Überprüfung der Funktionalität eines Chips, ohne diesen zu fertigen.

Kont@kt:

Dr. Ralf Sommer
Infineon Technologies AG
Balanstr. 73
81541 München
fon: 089 234-267 85
ralf.sommer@infineon.com

Weitere Informationen sind unter www.anastasiaplus.org zu finden.