



Foto: iStockphoto

Fight the Power

Chips mit niedriger Leistungsaufnahme entwerfen, aber wie?

Die kniffligsten Probleme, mit denen sich System-on-Chip Entwickler heute herumschlagen, haben mit Leistungsaufnahme und Kriechströmen zu tun. Auch auf der diesjährigen Design Automation Conference (DAC) in San Diego, Kalifornien, hat die EDA-Industrie darüber diskutiert, ob frühes „Power-Aware-Design“ und Verifizierung möglich sind und welche Stufe des Design Prozesses am besten ist, um Power-Fragen zu klären.

Die Teilnehmer am Panel 12 auf der DAC mit dem Titel „Frühes Power-Aware-Design und Verifizierung: Mythos oder Realität?“ kamen aus der EDA-Industrie selbst, oder aber auch von großen Chipherstellern. Allesamt waren sie sich einig über die stetig steigende Bedeutung, die der Power-Awareness heute und in naher Zukunft zukommt. Typischerweise wird die Power-Thematik beim Gate-Level und am Back-End angegangen unabhängig von der Mikroarchitektur oder RTL. Das eigentliche Problem ist es Modelle zu generieren, die genügend Genauigkeit aufweisen um die richtigen Entscheidungen zu treffen, wenn es darum geht Leistung und Leistungsverbrauch gegen generelle Performance des Systems abzuwägen. Außerdem müssten diese Modelle schnell genug sein um während der Analyse des System-Llevels benutzt werden zu können.

Einer der Teilnehmer am Panel, Stephen Kosonocky von den IBM Forschungslabors sagte, dass frühes Power-Aware-Design bereits Realität ist. Ihm zufolge können „early power models“ einen sehr großen Wert für Entscheidungen auf Architektur Level haben. Bereits erstellte Daten können als Basis dienen um neue Technologien einzuschätzen. Wie auch immer: Am Ende muss ein Modell gegenüber einer Low-level Power Simulation verifiziert werden. Wolfgang Nebel von OFFIS research (Oldenburger Forschungs- und Entwicklungsinstitut für Informatik-Werkzeuge und -Systeme) merkte an: „Die Arbeit mit Early-Power-Aware Modellen verlangt Änderungen im Design-Flow, aber eröffnet andererseits ungeahnte Möglichkeiten.“ Hier schwingt leise Kritik mit. Kritik an den großen und kleinen EDA-Unternehmen. Der DAC Report des in Hannover ansässigen EDA-Zentrums stellt

Kurzinterview**„Stromaufnahme durch partielle Abschaltung minimieren“**

Entwickler benötigen Technologie, um Power-Analysen so früh wie möglich durchzuführen. Der Low-Power Gedanke betrifft den gesamten Design Flow vom RTL Ansatz bis runter auf die GDS Beschreibung. Das elektronikJOURNAL sprach mit Martin Reuter, Technical Director Central Europe über die Hintergründe.

Warum reden plötzlich alle über Low-Power?

Mit fortschreitender Technologie, und damit ist vor allem alles unterhalb der 100 Nanometer gemeint, dominiert das Schalten der Transistoren den Stromverbrauch und nicht mehr nur die normale Leistungsaufnahme, wie es bei Standardtechnologien über 100 Nanometer der Fall war. Die 90 Nanometer-Technologie ist ja fast schon Standard, 65 ist gerade dabei, Standard zu werden. Man redet über 45 Nanometer und besonders fortschrittliche Chiphersteller denken schon an die 25. Der zweite Faktor der dazu kommt ist der Kriechstrom. Dieser fließt, sobald die Chips in einem statischen Zustand sind. 50 Prozent der Consumption erfolgt über „static leakage“. Die Gates sind heute relativ billig. Die Power, die diese benötigen ist jedoch extrem teuer.

Gibt es derzeit ein Tool, das dem Ingenieur gewährleistet, dass er an allen Stellen des Prozesses eine LowPower Awareness hat?

Ich kenne heute keines. Es gibt sicherlich Ansätze wo man versucht Front end und Back end zusammenzubringen. Wenn man Tools hat, die Front End und Back End auf Basis einer gleichen Bibliothek analysieren, ist man wahrscheinlich schon sehr weit. Auf der DAC ist ein Flow vorgestellt worden, wo Mentor im Front End die entsprechenden Analysen fährt und Magma bei der physikalischen Implementierung. Es gibt heute schon brauchbare Power-Tools, aber eben noch keinen kompletten Flow von RTL nach GDS. Das bedarf noch einiger Entwicklungsarbeit.

Es gibt zurzeit zwei konkurrierende Formate, das CPF und das UPF. Warum?

Es muss ein Format definiert werden, wo Powerinformationen hinterlegt sind. Diese Formate werden sehr kontrovers diskutiert. Ich vergleiche das mit der Diskussion zwischen VHDL und Verilog vor 15 Jahren. Ich wäre glücklich, wenn wir das auf ein Format reduzieren könnten. Andererseits ist es schon mal gut, wenn es „nur“ zwei Formate gibt und nicht unendlich viele. Die Diskussion zwischen CPF und UPF



„Man ist sich sowohl in der Halbleiter- als auch in der EDA-Branche bewusst, dass es wichtig ist, diese Dinge in den Griff zu kriegen“, erklärt Martin Reuter, Technical Director Central Europe bei Mentor Graphics in München.

kann sich auch fruchtbar auf das Power Thema auswirken.

Was ist in Zukunft möglich?**Werden wir ein Power-Wunder erleben?**

Ich glaube nicht, dass wir Wunder erleben werden. Es besteht einfach die Notwendigkeit, dass die Stromaufnahme nicht größer ist als die Möglichkeiten der Stromzuführung. Die ist limitiert, vor allem bei mobilen Geräten, durch die Batterie und diese wiederum definiert die Laufzeit. Der Batterietechnologie kommt in Zukunft auch sicher enorme Bedeutung zu. Wie stark können die Batterien sein und wie viel Stromaufnahme dürfen die Chips haben. Ich sehe die Chance, dass man den Stromverbrauch durch partielle Abschaltungen von Designteilen minimieren kann und das mit Hilfe moderner Batterietechnologie die Laufzeit der Geräte entsprechend verlängert.

fest: „Wahrscheinlich am wichtigsten ist die Tatsache, dass EDA-Anbieter nicht überzeugt werden können, dass early-power-aware design auch ein wirkliches Geschäft ist. Nur eine deutliche Verbesserung der Produktivität könne einen hohen Preis für Software rechtfertigen.“ Das Fazit des Reports liest sich beinahe schon wie eine Anklage: „Es gibt keinen Zweifel: Early-Power aware Design auf Architektur Level ist unumgänglich. Die großen EDA-Unternehmen sehen offenbar noch nicht den großen Markt dafür um sich stärker zu engagieren. Kleinere EDA-Firmen und Start-ups investieren zwar, aber es fehlt die kritische Masse. So werden von Designer immer noch bevorzugt selbstgestrickte Lösungen verwendet.“

Analysertools benötigt

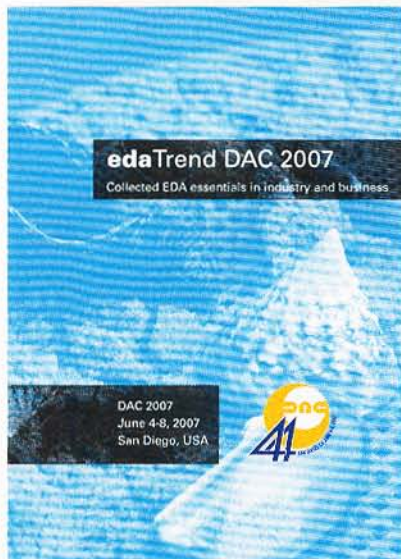
Wie nun? Die EDA-Branche als Verhinderer? Das elektronikJOURNAL hat bei Mentor Graphics in München nachgefragt (siehe auch Interviewkasten). Der technische Direktor Martin Reuter stellt klar: „Marktpotential ist vorhanden, denn je weiter die Technologie unter 100 Nanometer geht, umso mehr benötigen wir Werkzeuge, die das Power Verhalten entsprechend analysieren können und auch Power-Aware Simulation und Power-Aware Entwickeln ermöglicht.“ Das klingt nach einem „aber“. Martin Reuter räumt ein: „Man ist bei dem Thema aber im Prinzip noch relativ am Anfang. Es gibt noch keinen durchgängigen Designflow, um eine konsistente Low-Power Technologie zu begleiten. Es gibt unterschiedliche Ansätze: Man hat Möglichkeiten, dass man „hinten anfängt“ und in der Implementierung auf Chipebene besonders

auf die Power achtet. Dies ist aber sehr aufwändig und teuer. Man kann die Clock Verteilungsnetze im Chip verlinken und Synthetisieren und damit sehr viel für die Power Consumption tun. Aber man kann auch sehr viel im Frontend bewirken, wenn man auf der RTL-Ebene Analysen macht, indem man dort das Design auf Power und Stromaufnahme analysiert. Es geht im Wesentlichen dann darum, zu überlegen, ob man sogenannte Power Domains einbaut. Das sind Domänen mit unterschiedlichen Registern, die man ein



Auf der Suche nach Low-Power-Lösungen: Besucher auf der DAC in San Diego.

Auf einen Blick



Trends in EDA

„Low-Power“ ist das derzeit heißeste Thema unter Chip-designern. Je kleiner die Strukturen, desto größer der Bedarf an Design-Tools, die Stromaufnahme minimieren und Kriechströme beseitigen. Die Design Automation Conference in San Jose Anfang Juni war entsprechend stark von diesem Thema geprägt. Einen ausführlichen Bericht über die Veranstaltung und die diskutierten Trends veröffentlicht auch dieses Jahr das in Hannover ansässige edacentrum. Der Bericht „edaTrend DAC07“ gliedert sich in drei Abschnitte, einen allgemeinen Teil,

einen Abschnitt über Podiumsdiskussionen im technischen Programm und einen Abschnitt über die Sessions im DAC Pavillion.

Der „edaTrend DAC07“ kann bestellt werden unter <http://www.edacentrum.de/edatrend>

Weitere Infos unter: [edacentrum](http://www.edacentrum.de)

Tel. (+49 511) 76 21 96 99, info@edacentrum.de

» und ausschalten kann. Man versucht also, bestimmte Teile vom Chip auszuschalten, wenn diese gerade nichts tun. Wenn man das aber macht, muss man stark darauf achten, dass die Speicherzellen ihre Werte nicht verlieren, wenn sie ausgeschaltet werden. Man muss also entsprechend sorgfältig simulieren und modellieren.“

Mentor Graphics hat auch einige Tools auf der DAC vorgestellt, die in der Questa Umgebung laufen, wie „Questa Power Aware“. Diese sind bereits verfügbar. „Im RTL Bereich kann man sehr früh Power Aware Simulation fahren und auch entsprechend in den Code eingreifen“, erklärt dazu Martin Reuter. Die vorgestellte Erweiterung von Questa umfasst die neue funktionale Verifikationsplattform Questa 6.3. Diese unterstützt Low-Power-Verifikation und bietet Funktionen zum Verifikationsmanagement, die Closed-Loop-Management-Reporting, Analyse und Dokumentation ermöglichen. Mit Questa 6.3 können Designer Low-Power-Designinhalte ohne Modifizieren ihres RTL-Codes spezifizieren. Dies reduziert kostspieliges erneutes Verifizieren von bestehenden IP-Blöcken. Das System simuliert das Ein- und Abschaltverhalten. Damit lässt sich überprüfen, ob der Chip in allen Power-Zuständen des Systems wie beabsichtigt funktioniert.

Auch ein weiterer großer Anbieter, Synopsys, pocht auf bereits erfolgreich eingesetzte Lösungen. Das Unternehmen sieht sich, auf Anfrage des elektronikJOURNAL in einer Position „kontinuierlicher Vorherrschaft im Bereich Low-Power-Technologie, die anhand Tausender erfolgreicher Low-Power-Design-Tapeouts und mehr als 25 Multi-Voltage-Tapeouts belegt wird.“ Gal Hasson, Director of Marketing for Synopsys' Synthesis und Low Power Solution erklärt dazu: „Synopsys bietet eine automatisierte End-to-End-Power-Management-Lösung, welche Implementierungen mit geringster Verlustleistung bei minimalen Risiken erzielt. Sie



„Frühzeitige Verifikation der Power-Ziele reduziert Entwurfsiterationen und steigert die Produktivität“, erklärt Gal Hasson, Director of Marketing for Synopsys' Synthesis and Low Power Solution.

stellt eine konsistente Korrelation von RTL bis hin zum Silizium sicher und ermöglicht damit Designteams, von einer geringeren Anzahl an Iterationen sowie von einer höheren Produktivität zu profitieren. Die Synopsys-Lösung verwendet Industriestandards wie UPF, SystemVerilog, Liberty, Verilog und VHDL und wird durch ein Ökosystem von IP, Modellierungstechniken und Bibliotheken, sowie Foundry-Flows ergänzt.“

Wer heute über Low-Power Design diskutiert, endet schnell in der Debatte über die Power-Formate. Mit CPF (Common Power Format, unterstützt von Cadence, Sequence u.a.) und UPF (unterstützt von Magma, Synopsys, Mentor, Intel, Infineon, ARM und anderen) wird es weiterhin Wettbewerb in diesem Bereich geben. Cadence setzt wie gesagt auf das Common Power Format und hat einiges an Aktivitäten zum Thema vorzuweisen. So ermöglicht die auf der DAC präsentierte Cadence Logic Design Team Solution ein integriertes Design unter Berücksichtigung des Leistungsmanagements mit Power-Shutoff-Verifikation. Die Logic Design Team Solution nutzt dabei die gleichen CPF-Informationen wie die Cadence Low-Power Solution. Dies erlaubt frühzeitig im Design-Prozess eine schnelle, genaue „Was-wäre-wenn“-Analyse verschiedener Leistungsmanagementverfahren, wodurch sich eine Optimierung und Validierung der Leistung mit hoher Qualität und ein Power-orientierter Flow sicherstellen lässt. Dieser Flow umfasst laut Cadence Simulation, Verifikation der Leistungssteuerung, globale Synthese, leistungsorientierter Test, Implementierung und Sign-off-Verifikation sowie einen automatischen Verifikationsmanagementprozess von der Planung bis zum Closure.

Auch die neueste Softwareversion der digitalen IC Design Plattform Cadence Encounter wurde um die Unterstützung des Common Power Format erweitert. „Die neueste Version der Encounter-Plattform berücksichtigt umfassend die Herausforderungen des Designs und der Produktivität von Low Power-Bauteilen“, sagt dazu Nubuyuki Nishiguchi, Vice President und General Manager des japanischen Semiconductor Technology Academic Research Center (STARC).

Der Vorwurf, die EDA-Unternehmen würden sich zum Thema Low-Power zu wenig bemühen ist also schnell entkräftet. Mag sein, dass der große Wurf noch fehlt und manche Lösungen den Anwendern noch wie Stückwerk erscheinen. Viele Designer arbeiten daher immer noch mit selbstgestrickten Lösungen, vielleicht auch um die üblicherweise nicht ganz billigen Softwareentscheidungen noch etwas hinauszuzögern. (boe)

Weiterführende Links

- www.mentor.com
- www.synopsys.com
- www.cadence.com
- www.edacentrum.de
- www.power.org
- www.magma-da.com
- www.retarget.com
- www.offis.de