

edaForum 2004:

EDA – No Risk, no Fun!

Im Dezember 2004 fand in Dresden das dritte edaForum statt. Die vom edacentrum ins Leben gerufene Veranstaltung fand – wie schon in den beiden vorangegangenen Jahren – großen Anklang bei allen Anwesenden. Die Elektronik widmet dem edaForum04 eine sechsteilige Serie. Die erste Folge gibt einen allgemeinen Rückblick.

Dass der bekannte Slogan „No Risk, no Fun“ auch auf die Electronic Design Automation (EDA) anwendbar sein soll, klingt nur im ersten Moment überraschend. Denn es kann nicht geleugnet werden, dass Investitionen immer ein Risiko darstellen, sogar die in EDA. Und die Zeiten, in denen wirtschaftlicher Erfolg ohne Risiko zu erzielen ist, gehören längst der Vergangenheit an. Folglich stellt sich die Frage, wie sich durch eine EDA-Investition tatsächlich ein Profit erzielen lässt und wie groß dieser ist. Dies

komanagement als Kombination dreier Bestandteile: die Identifikation möglicher Risiken und deren Auswirkungen, die Einführung von Früherkennungsmaßnahmen des Risikoeintritts und schließlich die Planung von Gegenmaßnahmen zur Schadensminimierung. Andere „EDA-Hot-Topics“ wurden in weiteren eingeladenen Vorträgen behandelt, die in vier Sessions auf zwei parallele Tracks – der eine technisch und der andere ökonomisch ausgerichtet – verteilt waren. Die übersichtlichen

Vorträge im technischen Teil waren durchaus nicht nur an Fachleute gerichtet, und der ökonomische Teil lieferte wertvolle Argumente, um das höhere Management vom Sinn der EDA-Investitionen zu überzeugen. Im Anschluss an die Sessions standen die Vortragenden in einer gemeinsamen

Podiumsdiskussion für die Fragen aller Teilnehmer zur Verfügung.

Die Technischen Sessions

Die erste der beiden technischen Sessions trug den Titel „Design for Manufacturing and Yield“ (DfM). Themen waren der derzeitige Bedarf und bestehende wie zukünftige Möglichkeiten, die Herstellungskosten durch geeignete Entwurfsmaßnahmen zu senken und damit auch gleichzeitig die Ausbeute zu steigern. Um diese Ziele zu erreichen, ist es nach Meinung der Referenten unabdingbar, die Vorgänge und Abhängigkeiten von Fertigung und Ausbeute einerseits und Entwurfsmethodik andererseits transparent zu machen und zu modellieren. Kernaussage war, dass es bei DfM weniger um immer kompaktere Entwürfe geht als vielmehr darum, das Verhältnis von Kompaktierungsgrad und Ausbeute zu maximieren. Die Vortragenden waren sich einig, dass sich

dieses Ziel mit geeigneten Tools und Methoden erreichen lässt, wenn sie die genannten Randbedingungen berücksichtigen. Wichtig sei, dass man sich der Herausforderung DfM stelle, die einer der Vortragenden als die vierte Entwurfsaufgabe neben der Optimierung von Fläche, Performance und Verlustleistung bezeichnete.

In der zweiten technischen Session zum Thema „Design for Verification and Test“ ging es um das gerade in Zeiten wachsender Komplexität und schrumpfender Strukturgrößen hochkritische Thema der Überprüfung von Entwurf und Chip. Dabei wurde die Forderung nach verbesserten und neuartigen Verifikations- und Test-Verfahren genauso deutlich wie nach einem engeren Zusammenspiel zwischen Fertigung und Test. Auf der Test-Seite wurden die zu erwartenden Testkosten pro Transistor als kritisch bezeichnet. Es reiche nicht mehr aus, lediglich Stuck-at- und Verzögerungs-Fehler zu testen. Stattdessen müssten auch At-Speed-Defekte, funktionale Aspekte und Transition-Fehler berücksichtigt werden, was durch verbesserte Fehlermodelle geschehen könnte. Ferner wurde festgestellt, dass der Manufacturing-Test das Testen dahingehend revolutioniert, dass das Zusammenwirken von Entwurf und Fertigungsverfahren wie z.B. beim Packaging genau aufeinander abgestimmt werden muss. Auf Seiten der Verifikation wurde erneut eine auf Assertions basierende Methodik gefordert. In diesem Zusammenhang wurde von einer bestehenden „Spezifikationslücke“ gesprochen, die durch eine auf Assertions basierende Spezifikation geschlossen werden könne. Außerdem wurde eine Analyse der formalen Verifikation gegeben, deren wesentliche Aspekte in vier Bereiche aufteilbar sind: automatische Assertion-Überprüfung, statische formale Verifikation, Simulation mit Assertions und dynamische formale Verifikation.

Die Business-Sessions

In der ersten „Business-Session“ mit dem Titel „Design on Time and Budget“ wurde das Thema EDA vor dem Hintergrund seiner Termintreue und seines Profits beleuchtet. Es wurde darauf hingewiesen, dass durch den Abbruch oder die Neuformierung von F&E-Projekten Milliarden von Dollar verschwendet werden. Eine weitere Verlustquelle seien Verzögerungen. Dazu wurde erwähnt, dass mehr als 85 Prozent aller Chip-Entwicklungs-Projekte eine durchschnittliche Verzögerung von 47 Prozent ihrer Laufzeit aufweisen. Solche



Tom DeMarco von Atlantic Systems Guild bei seinem Keynote-Vortrag auf dem edaForum04.

war während des dritten edaForums im Dezember 2004 in Dresden das zentrale Thema. Mehr als 100 Entscheidungsträger der EDA- und Mikroelektronik-Industrie, mehrheitlich aus Europa, kamen in das Hilton Hotel an der neu rekonstruierten Frauenkirche. Das edaForum wurde gemäß seiner Mission organisiert, die Entwurfsücke durch Zusammenarbeit von System- und Halbleiterfirmen, EDA-Anbietern und Forschungsinstituten zu überwinden. Die Risiko-Thematik wurde in der Keynote der Veranstaltung von Tom DeMarco von Atlantic Systems Guild behandelt. Der Autor zahlreicher Publikationen auf dem Gebiet des Projektmanagements referierte zum Thema „Risk Management is Project Management for Adults“. DeMarco forderte ein Risikomanagement für alle Prozesse, welches nicht versucht, Risiken zu vermeiden, sondern Strategien bereithält, die Auswirkung eingetretener Risiken zu minimieren. So definiert DeMarco das Risiko

Misstände ließen sich jedoch nach Ansicht der Vortragenden durch effizienteres Management und einen gut definierten und vermessenen Entwurfsprozess beseitigen. Auf diese Weise lassen sich Aufwand, Zeitplan und Risiken bereits in der Projektplanung kalkulieren und während der Durchführung kontrollieren. Sogar das Messen von Entwurfsproduktivität sei über eine Normierung von erfassbaren Größen möglich. Neben der verbesserten Planung erlauben solche Maßnahmen zudem, weniger produktive Bestandteile innerhalb des Entwurfsprozesses zu identifizieren und zu verbessern. Als Grundlage für eine profitable Hardware-Entwicklung innerhalb komplexer HW/SW-Systeme wurden wohldefinierte und stabile Entwurfsprozesse sowie eine weitsichtige Vorgehensweise zur Verbesserung dieser Prozesse angesehen. Darauf aufbauend könne man flexible Lösungen finden, wobei allerdings substanzielle Arbeit in Forschung und Entwicklung nötig sei. Für anspruchsvolle Software-Projekte wurde ein integriertes „Capability-Maturity-Modell“ vorgestellt, durch welches der Entwicklungsprozess für Management und Entwicklungsabteilungen transparent und kontrollierbar wird.

Unter dem Titel „Design for Profitability“ wurde in der zweiten „Business-Session“ ein ähnlicher Themenblock im Zusammenhang mit EDA behandelt. Dabei kamen die Kernthemen Globalisierung, Risikokapitalfinanzierung und die ökonomisch ausgerichtete Gegenüberstellung von FPGAs und ASICs zur Sprache. Es wurde festgestellt, dass die Globalisierung von Firmenaktivitäten nicht primär eine kosten-senkende Maßnahme ist. Globalisierung sei vielmehr die Folge einer Managemententscheidung, welche einem internationalen – fast einem Naturgesetz gleichenden – Trend folge. Dabei ermögliche Globalisierung den Zugriff auf mehr Vielfalt in Bezug auf Mitarbeiter und auf Absatzmärkte, was zu einer Beschleunigung von Innovationen und zu einer Maximierung des Return-on-Investment führen könne.

Zum Thema Risikokapitalfinanzierung wurde bemerkt, dass es dabei um mehr gehe als die Bereitstellung von Geld, da Kapitalgeber im eigenen Interesse auch

das Management und dessen strategische Aufgaben unterstützen. Außerdem wurde die EDA-Branche für Risikokapitalgeber als sehr interessant bezeichnet, weil die zahlreichen und häufigen Firmenakquisitionen und -zusammenschlüsse für gute Renditen sorgten. Dass das Thema in Europa eine viel geringere Bedeutung als in den Vereinigten Staaten hat, wurde als unproblematisch angesehen, weil gerade in Europa das Potential zur Verbesserung der Bedingungen für Risikokapitalfinanzierung bestünde. Die Gegenüberstellung von FPGA- und ASIC-Geschäft war hingegen wenig brisant, da die mehr oder weniger bekannten Argumente des „Für und Wider“ die Vorträge dominierten: FPGAs bieten geringe Design-Kosten bei einer hohen Zahl von Design-Starts, während ASICs die deutlich bessere Performance aufweisen und in großen Stückzahlen mit Hilfe eines die Ausbeute steigernden Kosten- und Entwurfsmanagements deutlich profitabler sind. Im Vorfeld der Vorträge präsentierten sich die edacentrum-Mitglieder Synopsys, Inc., Cadence Design Systems, Inc., Mentor Graphics Corp., Verisity Design, Inc., und Magma Design Automation, Inc., die nacheinander von ihren neuesten Entwicklungen im Bereich EDA berichteten. Gelegenheit, diese und andere Themen zu vertiefen, bot die an Stelle der in den letzten beiden Jahren veranstalteten Firmenausstellung geschaffene „EDA-Lounge“. Dort fand in entspannter Atmosphäre ein reger Informationsaustausch innerhalb der Vortragspausen statt.

Die Kommentare der Teilnehmer des dritten edaForum waren vergleichbar mit den Aussagen, die über die Vorjahresveranstaltungen getroffen wurden. Tom DeMarco krönte die positiven Stimmen mit der Aussage „Ich habe zum ersten Mal an einem edaForum teilgenommen und war sehr beeindruckt. Die Qualität der Kontakte auf dieser Veranstaltung war unvergleichlich und die Kommunikation zwischen den Teilnehmern war offen und für alle sehr nützlich. Unter den zahlreichen, von mir regelmäßig besuchten Konferenzen fällt mir keine ein, die das edaForum im Hinblick auf die Förderung einer aktiven und gewinnbringenden Gemeinschaft übertrifft.“

Ralf Popp