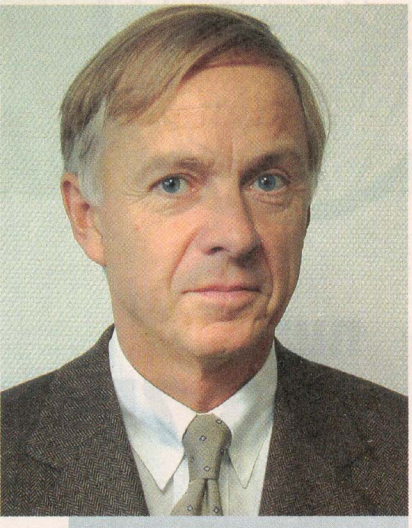
Die EDA-Industrie steckt mitten im Tunnel

Im Krisenjahr 2001 ging es der EDA-Industrie noch glänzend, doch mittlerweile hat auch diese Branche der Abschwung erfasst. Doch das ist nur eines der Probleme, mit denen die EDA-Hersteller zu kämpfen haben. Auf der technologischen Seite stehen weit größere Herausforderungen bevor, die es zu lösen gilt.

*von Erich Barke und Ralf Popp**

Als im Jahre 2001 die Halbleiterindustrie in ihr bislang tiefstes Tal stürzte, ging es den EDA-Firmen blendend. 2001 war das umsatzstärkste Jahr in ihrer Geschichte.



Erich Barke, edacentrum

» Wenn wir diese Herausforderung in Zeiten knappen Geldes bewältigen wollen, dann dürfen wir uns aber nicht nur mit den technischen Problemen beschäftigen. «

Das vierte Quartal lieferte noch einmal ein Rekordergebnis auf demselben Niveau wie ein Jahr zuvor. So hörte man allerorten das Lob für die Manager der Halbleiterindustrie, die auch in schweren Zeiten den Mitteleinsatz für die Zukunftssicherung nicht verringerten und weiterhin kräftig in EDA zur erforderlichen Verbesserung der Produktivität ihrer Chipentwicklung investierten.

Vorbei. Nun ist auch in der EDA-Industrie die Krise ausgebrochen. Die Umsätze gehen deutlich zurück. Cadence und Mentor Graphics fuhren im zweiten Quartal erhebliche Verluste ein, Synopsys folgte mit einem – sicher im wesentlichen durch den Merger mit Avanti bedingten – Rekordverlust im dritten. Viele sind der Meinung, dass die Talfahrt gerade erst begonnen hat und natürlich hört man auch nichts mehr von der Weisheit der Halbleiterindustrie, sondern singt wieder das Lied von den Kunden, die ihre Lieferanten strangulieren und ihnen keine Möglichkeit lassen, die dringend notwendigen F&E-Anstrengungen aus dem Umsatz zu finanzieren.

Niemand weiß heute, wie lang der vor uns liegende Tunnel ist, jedenfalls ist es derzeit schwierig, das Licht an seinem Ende zu erkennen. Noch schlimmer ist, dass es in diesem Tunnel besonders dunkel ist, denn in der sehr schwierigen wirtschaftlichen Situation sehen wir uns nach wie vor allergrößten technischen Herausforderungen ausgesetzt.

Der Design-Gap ist längst im Alltag der Produktentwicklung angekommen. Bei großen Projekten werden nur noch in Ausnahmefällen Kosten- und Terminpläne eingehalten. Der verzweifelte Versuch, die Termine mit erhöhtem Personaleinsatz zu halten, führt zu steigenden Problemen im Bereich des Projektmanagements und verschlimmert mit den damit verbundenen Kosten die wirtschaftliche Situation. Es kann deshalb kein Zweifel daran bestehen, dass die routinemäßige Entwicklung von Chips mit 100 Millionen Transistoren und mehr dramatische Verbesserungen der Entwurfsabläufe, der Entwurfskapazität und der Entwurfsproduktivität erfordert.

Leider wird die Diskussion über Produktivität in der Entwicklung jedoch häufig auf die entsprechenden Werkzeuge verkürzt. Bessere Werkzeuge allein können aber unmöglich die benötigte Produktivitätssteigerung erbringen. Es ist deshalb wichtig, den Blick der EDA-Verantwortlichen zu weiten und sich auf einer höheren Ebene mit Entwicklungsstrukturen und -prozessen auseinander zu setzen. Dabei werden in Zukunft bisher hochgeschätzte Eigenschaften wie Kreativität und Flexibilität zugunsten bewährter (Sekundär-) Tugenden wie Genauigkeit und Pünktlichkeit an Bedeutung verlieren müssen, so weh dies auch tut.

Zu wenig Aufmerksamkeit wird in vielen Entwicklungsbereichen auch der Tatsache gezollt, dass Systeme (auch solche auf einem Chip) aus mehr als Hardware bestehen. Systementwicklung bedeutet u.a. Hardware und Software als gleichrangige Komponenten im Entwurf zu betrachten, sowie die Partitionierungs- und Integrationsaufgabe bis hin zum Systemtest und der Systemanwendung sorgfältig zu planen und in der Durchführung zu überwachen.

Einer der wichtigsten Ansätze zur Produktivitätserhöhung ist zweifellos die Wiederverwendung erprobter Teile (Reuse), in anderen Branchen ein gängiger Ansatz. In der Mikroelektronik stoßen wir dabei nach wie vor auf erhebliche Schwierigkeiten. Diese sind nur zum geringen Teil technisch bedingt. Vielmehr fehlen die erforderliche mentale Einstellung (Stichwort Kreativität) und die für den Handel mit sogenanntem Intellectual Property (IP) notwendigen Geschäftsmodelle. Die Mikroelektronikindustrie steht hier vor einer wichtigen Zäsur, da eine weitere Konzentration auf Schlüsselqualifikationen erfolgen muss und die ehemals vertikal integrierten Halbleiterhäuser einen weiteren Industriezweig ausgründen werden. In den 70er Jahren war es die Equipmentindustrie, in den 80er Jahren die EDA-Industrie; in den 90er Jahren folgte die Entstehung der Silicon-Foundries und in diesem Jahrzehnt wird sich eine eigenständige IP-Industrie etablieren. Nachdem allerdings das Thema Reuse in den vergangenen Jahren zu recht besondere Aufmerksamkeit genossen hat, ist es in letzter Zeit wieder in den Hintergrund getreten, nicht zuletzt deshalb, weil der IP-Industrie die Erfolgserlebnisse noch versagt geblieben sind. Auch in diesem Tunnel ist es derzeit dunkel, aber Weg und Ziel bleiben klar.

Ein anderer Weg, die Systemkomplexität beherrschbar zu halten, führt über die weitere Abstraktion des Entwurfsvorgangs auf höheren Entwurfsebenen. Hier hat es wesentliche Fortschritte gegeben und diese werden sich im vor uns liegenden Jahr fortsetzen. Die Entwicklung und Standardisierung von Spezifikations- und Modellierungssprachen oberhalb von VHDL und Verilog ist vorangekommen. ▶

* Prof. Dr. Erich Barke ist Vorstandsvorsitzender des edacentrums in Hannover. Ralf Popp ist Leiter der Öffentlichkeitsarbeit des edacentrums.

Derzeit ist ein deutlicher Trend zu SystemC erkennbar. Für diese Sprache spricht, dass inzwischen alle großen EDA-Anbieter und viele Anwender hinter ihr stehen. Gestützt durch die Etablierung von Werkzeugen verlassen Anwender inzwischen die Phase des Ausprobierens und etablieren SystemC in ihrer Systementwicklung. Fehlt eigentlich nur noch die Standardisierung von SystemC, was die Open SystemC Initiative (OSCI) auch schon als strategisches Ziel für 2004 formuliert hat.

Aber auch wenn SystemC der Goliath unter den System-Level-Sprachen ist, sind weitere Initiativen durchaus bedeutend. So verbindet die neue Verilog Generation »SystemVerilog« die Sprachen Verilog und C/C++. Die so entstandene Obermenge von Verilog ermöglicht die Unterstützung wesentlich höherer Abstraktionsebenen, zielt allerdings im wesentlichen auf Simulation und Verifikation.

Hier – in der Verifikation von Systementwürfen – liegt im übrigen ein weiteres zentrales Problem der EDA-Welt. Bereits heute übersteigt in großen Projekten der Verifikationsaufwand den Designaufwand beträchtlich. Dennoch bleibt die Verifikation aus prinzipiellen Gründen unvollständig und erfüllt auch in praktischer Hinsicht häufig nicht mehr die zu stellenden Anforderungen. Der Pentium-Bug ist noch in Erinnerung, er wird sich wiederholen. Schließlich ist auch bei der Verifikation keine Lösung durch einzelne Werkzeuge zu erwarten. Systemverifikation bedeutet vielmehr das Zusammenspiel und die Integration zahlreicher höchste unterschiedlicher Methoden. Dazu gehören die Simulation auf allen Abstraktionsebenen, die formale Verifikation von Hard- und Software, aber auch die Bereitstellung von Testumgebungen und Verifikationssprachen sowie schließlich die Emulation und das Rapid-Prototyping. Hier eine integrierte Lösung zu schaffen, die eine nahtlose Verifikation heterogener Systeme ermöglicht, ist ein großen Anliegen aller Produktentwickler und eine große Aufgabe für die EDA-Industrie. Neben den angedeuteten Herausforderungen infolge der Systemkomplexität (System Complexity) stehen gleichrangig die Probleme, die durch die Realisierung des Systems im Silizium verursacht werden (Silicon Complexity). Immer deutlicher sehen wir, wie die Eigenschaften der physikalischen Realisierung den Entwurf auf höheren Ebenen beeinflussen. Auch in diesem Bereich haben wir in letzter Zeit Fortschritte gesehen, junge Firmen wie Monterey oder Magma haben wesentliche Beiträge zur Integration von funktionalem und physikalischem Entwurf geleistet. Auch hier bleibt jedoch viel zu tun, da mit weiter sinkenden Strukturgrößen zahlreiche Probleme sich weiter verschärfen.

Ein gutes Beispiel dafür ist das Thema Low Power. Bedingt durch dramatisch ansteigende Leckströme in den kommenden Technologiegenerationen müssen in Zukunft alle Möglichkeiten zur Leistungsaufnahmereduktion ausgeschöpft werden. Dies beginnt beim Design des Einzeltransistors und reicht über die Minimierung von Speicherzugriffen bei der Softwareentwicklung bis hin zu intelligenten Stromsparkonzepten auf Systemebene. Hier öffnet sich ein weites Feld für die EDA-Forschung.

Beinahe schon traditionell im Tunnel steckt der Analogentwurf, der sich nun zunehmend als Flaschenhals bei der Entwicklung von Mixed-Signal-Chips erweist. Während das Thema Analog-IP als Produktivitätssteigerungsbeitrag sehr umstritten diskutiert wird, ohne dass dabei nennenswert konkrete Lösungen zur Sprache kommen, hat sich im Bereich der Analogsynthese einiges getan. So kam im Jahr 2001 große Euphorie auf, als bemerkenswerte Fortschritte im Bereich der automatisierten Dimensionierung analoger Schaltungen publiziert wurden. Leider hat dies zu keinem nennenswerten Wandel beim Einsatz dieser Verfahren geführt, was an dem Mangel an Durchgängigkeit der verfügbaren Werkzeuge liegt. Mit Neolinear, Barcelona Design und Antrim gibt es inzwischen zwar kommerzielle Angebote, doch abgesehen von kleineren Verbesserungen gelang keinem bisher der »große Wurf«. Ein solcher müsste schließlich bedeuten, dass eine von Bibliotheken unabhängige automatische Topologiesynthese machbar ist.

Viele Tunnel liegen noch vor uns

Die wenigen herausgegriffenen Themen haben deutlich gemacht, wie viele Tunnel im Bereich EDA noch vor uns liegen. Die – bisher stets sehr prozesstechnologielastige »International Technology Roadmap for Semiconductors« (ITRS) stellte in ihrer jüngsten Version erstmals die Entwurfsproblematik in den Vordergrund und folgerte: »Cost of design is the greatest threat to continuation of the semiconductor roadmap«.

Wenn wir diese Herausforderung in Zeiten knappen Geldes bewältigen wollen, dann dürfen wir uns aber nicht nur mit den technischen Problemen beschäftigen, sondern müssen uns auch die Frage stellen, was denn der geldwerte Vorteil von EDA ist und wie wir das Ergebnis einer EDA-Investition messen wollen. Dies erfordert zunächst eine sorgfältige Analyse der Entwicklungsstrukturen und -prozesse und darauf aufbauend die Entwicklung verbesserter Meßsysteme zur Erfassung der Entwurfsproduktivität und ihrer Einflussgrößen. Nur wenn es gelingt, den Entwurf sowie die Wirkung von EDA-Werkzeugen zu seiner Beherrschung und ständigen Verbesserung messbar zu gestalten, werden wir es auch schaffen, das Management für die erforderlichen Investitionen zu gewinnen. Dies gilt insbesondere dann, wenn es nötig ist, mehr Geld auszugeben als bisher. Höhere Investitionen gibt es, wie jeder weiß, nur dann, wenn der Rückfluss gesichert ist. Dazu aber müssen wir ihn erst einmal berechenbar machen.

Werfen wir abschließend einen Blick auf die Situation in Europa. Hier hat sich die Mikroelektronikindustrie in den letzten zehn Jahren äußerst positiv entwickelt, wie ein Blick auf die Top-Ten des Halbleitermarktes zeigt. Sichtbar ist auch, dass die Firmen wieder erhöhte eigene Anstrengungen zur Sicherstellung ihrer Entwurfsfähigkeit unternehmen. Die EDA- und Methodik-Abteilungen sind durchgängig gewachsen und werden es weiter tun. In Deutschland hat erfreulicherweise auch das Bundesministerium für Bildung und Forschung (BMBF) die Zeichen der Zeit erkannt. Es fördert die Entwurfstechnik in zunehmendem Umfang. In den letzten zwei Jahren wurden Projekte mit einem Volumen von nahezu 100 Millionen Euro – zum einem hohem Prozentsatz übrigens europäische Verbundprojekte im Rahmen von MEDEA+ auf den Weg gebracht. Mit der von der deutschen Industrie unter Unterstützung des BMBF erfolgten Gründung des edacentrum e.V. in Hannover ist dieser positiven Entwicklung sichtbar Ausdruck verliehen worden. Neben seinen Aufgaben bei der Initiierung, Begutachtung und Unterstützung dieser industriegeführten Projekte, sowie der damit einhergehenden Öffentlichkeitsarbeit, wurde in diesem Jahr das erste sogenannte Basisforschungsprojekt gestartet, das sich mit dem bisher ungelösten Problem der analogen Struktursynthese auseinandersetzen wird. Weitere Basisforschungsprojekte, die ausschließlich von Universitäten und anderen Forschungseinrichtungen durchgeführt und von BMBF und der Industrie finanziell unterstützt werden, sollen folgen. Ihr Ziel ist es, bei langfristig angelegten Schlüsselthemen der deutschen Industrie vorhandene Forschungskompetenzen zu bündeln und neue aufzubauen.

Mit dem jüngst erstmals in Hannover veranstalteten edaForum etabliert das edacentrum eine neuartiges Diskussionsveranstaltung für Entscheider im EDA-Bereich. Neben technischen Fokusthemen (in diesem Jahr »Analog« und »Verifikation«) sollen erstmalig auch die oben angesprochenen Wirtschaftlichkeitsaspekte von EDA vor einem größeren Auditorium diskutiert werden. Das edacentrum leistet damit einen Beitrag zur Bewusstseinsbildung in Management, Politik und Öffentlichkeit, nicht zuletzt mit dem Ziel, das Licht am Ende des EDA-Tunnels ein wenig heller zu machen. (wi) ■

www.elektroniknet.de