

RapidMPSoC: Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoCs

Ein Projekt zur Entwurfsbeschleunigung von Mixed-Signal-Mehrprozessor SoCs stellt sich nach über zweijähriger Projektlaufzeit vor

RapidMPSoC ist das Akronym für das IKT 2020 Projekt „Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoC“. Die Methoden und Verfahren, die in RapidMPSoC entwickelt werden, beschleunigen den Analog/Mixed-Signal (AMS)-Entwurf auf den hohen Abstraktionsebenen. Dafür arbeiten die Projektpartner an vier Themenkomplexen.

Der Themenkomplex „Technologieunabhängiger Entwurf von Analog-IP auf Verhaltensebene“ erforscht Verfahren für A/D-Wandler. Sie reduzieren bei der Implementierung sowie beim Übergang zu einer neuen Technologie den Entwurfsaufwand um ca. 20 %.

In „Analoge Architekturen und Schnittstellen zu Mehrprozessorsystemen“ befassen sich die Partner mit der Aufwands- und Kostenabschätzung der Implementierung auf der Algorithmenebene, um schon bei der Definition und Standardisierung von Algorithmen, Protokollen und Übertragungsverfahren eine effiziente Realisierbarkeit sicherzustellen. Durch diese Arbeiten wird die Entwurfszeit für die Spezifikation um bis zu 30 % verkürzt.

Im Komplex „Systementwurf“ liegt der Fokus auf den AMS-Teilsystemen eines SoC mit Betrachtung der Schnittstellen zum Gesamtsystem. Die in RapidMPSoC erforschten Methoden ermöglichen eine Gesamtsystemsimulation mit einer um mindestens den Faktor 10 gesteigerten Simulationsgeschwindigkeit bei vergleichbarer Genauigkeit.

Der Bereich „Systemverifikation“ fokussiert auf die AMS-Teilsysteme mit Betrachtung der Schnittstellen zum Gesamtsystem. Es werden Assertion-basierte Simulationsverfahren für eine leistungsstarke Gesamtsystemverifikation entwickelt. Dadurch werden die Entwurfsicherheit erhöht, die Vielzahl der zu unterstützenden Standards im Entwurfsprozess beherrschbar und der Verifikationsaufwand mindestens halbiert.

In der edaMatrix deckt RapidMPSoC in vertikaler Richtung die Gebiete Spezifikation bis Verifikation ab. In horizontaler Richtung werden alle Abstraktionsebenen von der Systemebene bis zur Technologieebene adressiert. Der Fokus liegt dabei auf den höheren Abstraktionsebenen, wobei dafür, beispielsweise beim Themenkomplex „Technologieunabhängiger Entwurf von Analog-IP“, die Technologieebene einbezogen

werden muss. Die Bereiche der einzelnen Themenkomplexe sind in Abbildung 1.02 entsprechend markiert.

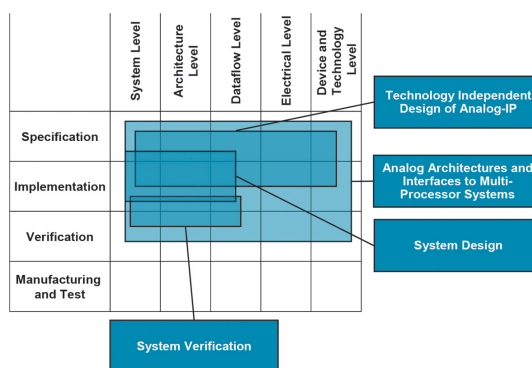


Abbildung 1.02: RapidMPSoC in der edaMatrix

Im Folgenden informieren die Projektpartner über die Ergebnisse, die in den ersten beiden Projektjahren erzielt wurden.

Technologieunabhängiger Entwurf von Analog-IP

Zum technologieunabhängigen Entwurf hat RapidMPSoC wesentliche Forschungsbeiträge geliefert. Prototypische Implementierungen konnten bereits erfolgreich in den Entwurfsabläufen der Industriepartner MELEXIS

newsletter edacentrum - Probeauszug
Bestellen Sie sich den kompletten Artikel über newsletter@edacentrum.de

edacentrum, Hannover, März 2010

Zusammensetzung des Projektkonsortiums:

Projektpartner

Infineon Technologies AG
IMMS gGmbH
Melexis GmbH
Robert Bosch GmbH
X-FAB Semiconductor Foundries AG

Unterauftragnehmer

Fraunhofer Institut IIS/EAS
OFFIS e.V. – Institut für Informatik
TU München (LIS)

Förderkennzeichen

01 M 3085

Laufzeit des Vorhabens:

01.10.2007 – 30.09.2010

Homepage:

www.edacentrum.de/rapidmpsoc/

Projektstruktur:

4 Arbeitspakete mit 12 Firmenbeiträgen und 47 Meilensteinen