

EDA to the Rescue of the Silicon Roadmap

Bericht über den Vortrag von Tom Williams, 05. April 2007 in Hannover, von Susanne Sass

Tom Williams von Synopsys, berichtete über den Fortschritt in der Silizium-Technologie. Man stieße mittlerweile an die Grenzen der Silicon-Roadmap, so Tom, und es gäbe derzeit nur wenige Alternativen zu CMOS. Daher teile sich nun die Entwicklung: während einige wenige Hersteller ihre Entwicklung zu Technologien von 45 nm und kleiner voranbrächten, verblieben andere bei Strukturen von 130 oder 90 nm. Entwurfsautomatisierung sei jedoch in beiden Fällen die Rettung, so Tom Williams.

An der Universität Hannover hielt Dr. Tom Williams, Synopsys Fellow Synopsys, Inc., am 05. April im Rahmen des Kolloquiums „Theoretische Elektrotechnik“ einen interessanten Gastvortrag über das Thema „EDA to the Rescue of the Silicon Roadmap“. Wer Tom Williams kennt, weiß um die vielen Highlights seiner Präsentationen, die oft mit herausragenden Fotografien des Hobbyfotografen untermalt sind. Daher drängten sich Zuhörer vom Studenten bis zum Professor in den Vortragsraum und kaum ein Stuhl blieb unbesetzt.

Gastgeber Professor Mucha stellte Tom Williams einleitend vor und ließ sich auch nicht von dessen verlegenen Gesten und Worten abhalten, den kompletten Abriss über Toms berufliche Stationen und deren fachlichen Highlights zu präsentieren, unter anderem auch die Gastprofessur an der Universität Hannover, zu der Tom zwischen 1995 und 1997 berufen war. Dies verbindet ihn noch heute stark mit der Stadt Hannover und der Universität.

Nach dieser Vorstellung begann Tom seinen Vortrag mit einer optischen Täuschung, die die Zuhörerschaft auf die kommende Zahlenjonglage vorbereiten sollte. Der Überblick über den aktuellen Stand der Technologien folgte sogleich. Die 45 nm-Technologie sei entwickelt, und 300 mm-Halbleiter könnten problemlos hergestellt werden. In Zahlen bedeute dies, dass weltweit in Forschung und Entwicklung von Prozess-Technologien (wie hier 45 nm) etwa 800 Mio. USD pro Jahr investiert würden. Das Aufsetzen von Produktionslinien, analysierte Williams, koste weltweit mittlerweile etwa 1–2 Mrd. USD, der Betrieb von Fabs sogar 3 Mrd. USD pro Jahr. Die Kosten für den Chipentwurf pro Firma bezifferte er zwischen 20–50 Mio. USD. Ein Maskenset (bestehend aus 35–40 Masken) hingegen sei schon recht günstig und koste eine Firma nur je 9 Mio. USD. Lediglich die Kosten für den Test (SoC) pro Transistor seien konstant, so Tom. Das bedeute, je mehr Transistoren auf dem Chip seien, desto teurer würde der Test. Um diese Kosten zu tragen, was nur noch sehr wenige Firmen wie z.B. Intel oder Samsung Electronics überhaupt könnten, sei ein jährlicher Umsatz von 8,3 Mrd. USD alleine für Investitionen in der Entwicklung und dem Einsatz der 65 nm-Technologie notwendig (Stand 2004). Tom fuhr fort, dass zudem die durchschnittliche

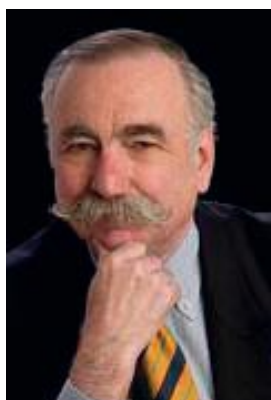


Abbildung 3.02: EDAA Lifetime Achievement Award Winner 2007, Tom Williams

jährliche Umsatz-Wachstumsrate einer Firma 17 % betragen müsse, um den aktuellen, technischen Stand halten zu können. Weltweit betrachtet müssten daher mind. 500 Mio. USD insgesamt für Forschung und Entwicklung investiert werden. Im Bereich der 45 nm-Technologie läge die Investition, so Tom weiter, bei den zuvor erwähnten 800 Mio. USD, während

der Gesamtumsatz mindestens 13,3 Mrd. USD betragen müsse, um all das finanzieren zu können.

Beeindruckende Zahlen mit denen die Tom hier „um sich warf“, und die in ihre fast schon schockierenden Höhe die Aufmerksamkeit fesselte. Doch er ging noch weiter in die Tiefe und betrachtete den Halbleitermarkt (2005), und die dort erzielten Marktanteile der einzel-

newsletter edacentrum Probeauszug
Bestellen Sie sich den kompletten Artikel über newsletter@edacentrum.de

edacentrum, Hannover, Juli 2007