



LEMOS: Low-Power - Entwurfsmethoden für mobile Systeme

von Ralf Pferdmeiges

Für die Produkte der mobilen Gesellschaft ist der Stromverbrauch ein entscheidender Wettbewerbsfaktor, so z.B. für das Handy, den MP3-Player oder das Hörgerät. Ohne Low Power-Fähigkeit ist ein Bestehen in diesen Märkten ausgeschlossen. Die stetige Verkleinerung der Chipstrukturen entsprechend Moore's Law ermöglicht zwar eine Integration von immer mehr Funktionalität auf engstem Raum, sie bedingt aber auch einen Anstieg der Energiedichte heutiger System on Chips (SoCs). Nicht zuletzt durch immer höhere Frequenzen wird nun auf einem Chip bereits die Energiedichte von Herdplatten und Raketentriebwerken erreicht. Die neuen Technologien ermöglichen Chips mit mehreren hundert Millionen Transistoren. Allerdings nimmt der Ruhestrom stark zu, wenn man keine Performanceeinbuße in Kauf nehmen möchte. Deshalb wird der Leckstrom immer kritischer und stellt zunehmend das dominante Problem dar. Das Potenzial der heutigen Technologien vollständig auszunutzen, ist aus Gründen der Verlustleistung weniger möglich denn je. Methoden der EDA bieten zwar eine Lösung, aber auch bislang bewährte Methoden zur Reduktion der Verlustleistung, wie die Reduzierung der Versorgungsspannung, stoßen hier an ihre Grenzen.

Projektziele

Ziel von LEMOS war konsequenterweise die drastische Reduktion der Verlustleistung von SoCs bereits im Entwurf. Dabei sollte durch eine verbesserte Power-Modellierung, eine verbesserte Methodik und schließlich einen neuen „power aware“ Design-Flow die Vorhersage-Qualität bzgl. Verlustleistung gesteigert werden. Der geringere Stromverbrauch ermöglicht so verlustleistungsoptimierte oder ganz neue, innovative Produkte wie den Reifendrucksensor, dessen eingebaute Batterie die gesamte Lebensdauer des Reifens abdecken muss. Durch die gesteigerte Designsicherheit bzgl. Verlustleistung werden Re-Designs vermieden und Marktfenster zuverlässiger getroffen. Erreicht wurde dies durch verbessertes Einbeziehen der Verlustleistung im Entwurfsprozess und hauptsächlich durch:

- » frühere Berücksichtigung, d.h. auf höheren Abstraktionsebenen,
- » höhere Genauigkeit d.h. durch bessere Modelle,
- » bezüglich Verlustleistung verbesserte Bibliothekselemente, d.h. Bausteine für SoCs, die weniger Verlustleistung verbrauchen,
- » verbesserte Schaltungstechniken zur Kontrolle der Verlustleistung während des Betriebs.

Hierfür wurde in LEMOS der Verlustleistungsaspekt auf allen Entwurfsebenen betrachtet.

Struktur des Projektes

Basierend auf einem breit ausgelegten Lösungsansatz setzte LEMOS auf allen Ebenen auf dem ganzen Spektrum vom Transistor zum Chip an (Abbildung 1.15). Das Teilprojekt 1 betrachtete die jeweiligen Komponenten wie z.B. Speicher, Busse und Taktnetze.

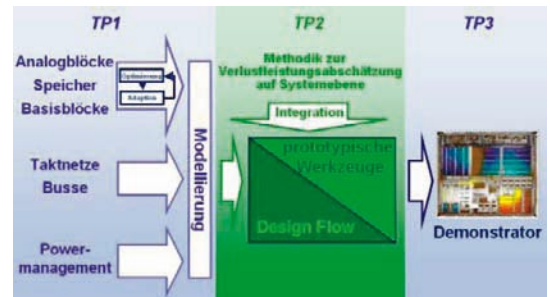


Abbildung 1.15: Struktur des Projektes

Die Erkenntnisse aus diesem Teilprojekt flossen in das zweite Teilprojekt „Methodik zur Verlustleistungsminimierung“ ein, um die erforschten Algorithmen und Methoden in einen automatisierbaren, werkzeug-gesteuerten Entwurfsfluss zu integrieren. Hierfür wurde die Power-Modellierung deutlich verbessert, um Entwurfs- und Optimierungsalternativen bewerten zu können. Die entwickelten Modelle und Methoden wurden in prototypische Werkzeuge implementiert, um abschließend mit Demonstratoren die Qualität der Ergebnisse der Teilprojekte 1+2 zu überprüfen.

Zusammensetzung des Projektkonsortiums:

Partner:

Infineon Technologies AG <<
Nokia Research Center <<
Robert Bosch GmbH <<
Catena Software GmbH <<
ChipVision Design Systems AG <<

Unterauftragnehmer:

Fachhochschule Pforzheim <<
OFFIS <<
Ruhr-Universität Bochum <<
Technische Universität Cottbus <<
Technische Universität München <<
Universität der Bundeswehr München <<

Förderkennzeichen:

01 M 3155

Laufzeit des Vorhabens:

01.11.2003–31.12.2006

newsletter edacentrum Probeauszug
Bestellen Sie sich den kompletten Artikel über
newsletter@edacentrum.de

edacentrum, Hannover, Juli 2007