

MAYA: Neue Methoden für den Massiv Paralleltest im Hochvolumen, Yield Learning und beste Testqualität

Das Projekt MAYA sichert Fortschritte in Forschung und Entwicklung im EDA-Bereich Test

Um zukünftig am Halbleitermarkt erfolgreich agieren zu können, ist es notwendig, sowohl dem zunehmenden Bedarf an integrierten Schaltungen, wie auch dem weiter steigenden Kostendruck durch den internationalen Wettbewerb gerecht zu werden. Wesentliche Eckpfeiler einer erfolgreichen Strategie dafür sind eine Verkürzung von Entwicklungszeiten, sowie eine drastische Erhöhung der Produktivität. Dies kann erreicht werden durch die deutliche Reduktion von Entwicklungs- und Produktionskosten. Dabei wird ein erheblicher Teil dieser Kosten durch die Erstellung und Durchführung der notwendigen IC- und Systemtests verursacht. Bereits heute beträgt der Testkostenanteil integrierter Schaltungen bezogen auf den Gesamtaufwand etwa 30% – mit deutlich steigender Tendenz. Dieser hohe Prozentsatz ist zum einen bedingt durch die enormen Kosten für moderne, automatisierte Hardwaretester, zum anderen durch die drastisch steigenden Testzeiten. Integrierte Schaltungen mit mehreren Millionen Gattern werden derzeit strukturell und funktional getestet. Zukünftige Anforderungen an die Erkennung komplexer Fehlermechanismen und ihre Abbildung in dazugehörigen Fehlermodellen für z. B. Pfadverzögerungen lassen die Komplexität des Produktionstests überproportional ansteigen. Die Testzeiten für moderne Produkte nehmen damit im Verhältnis stärker zu als die Anzahl der Gatter.

Bis zum Jahr 2008 wird sich die Größe digitaler Schaltungen von 10 Millionen auf etwa 100 Millionen Gatter verzehnfachen, was zu längeren Prüfketten führen wird. In den zukünftigen Prozessgenerationen unter 100 nm werden neue Fehlerarten immer mehr in den Vordergrund rücken, was zu einer Erhöhung der Anzahl benötigter Testvektoren um einen Faktor 4 führen wird. Die Kosten zum Testen solcher ICs und ihre enormen Datenmengen werden sich dabei mindestens um einen Faktor 3, die Testzeit um einen Faktor 10 erhöhen. Selbst ohne Berücksichtigung steigender Pinzahlen werden somit die Testkosten pro IC um einen Faktor 120 explodieren! Es ist daher zwingend notwendig, nach neuen Lösungsansätzen zu suchen, um die daraus resultierenden Testkosten drastisch zu senken. Um die Herausforderungen an den Produktionstest bei derartigen Komplexitätssteigerungen zukünftig bewältigen zu können, dürfen Kostenreduktionen nicht länger im Prozentbereich liegen. Vielmehr sind Verfahren erforderlich, welche die Kosten für den Produktionstest integrierter Schaltungen um Größenordnungen reduzieren.

Ziele des Projekts MAYA

Moderne Schaltungen zeichnen sich aus durch zunehmend komplexere Leitungsstrukturen, die über eine große Anzahl von Metallebenen verlaufen. Auf diesen Leitungen, vom Treiber bis hin zu den verschiedenen Empfängern, können Haftfehler, Unterbrechungen, Verzögerungsfehler oder Kurzschlüsse auftreten. Schaltungsmodelle, die nur dem logischen Verhalten der realen Schaltung entsprechen und nicht speziell Fehler auf diesen sehr komplexen Verdrahtungsstrukturen berücksichtigen, werden für die automatische Testgenerierung in Zukunft nicht mehr ausreichend sein. Es wird vielmehr ein Schaltungsmodell benötigt, das zweierlei Verhalten, d. h. das logische Verhalten und das Verhalten der Schaltung im layout-bezoge-

nen Fehlerfall, beschreiben kann. Nur so wird die notwendige Testabdeckung beim Produktionstest erreicht. Um zukünftig diese notwendige Qualität beim Produktionstest zu erreichen, müssen für neue Halbleitertechnologien daher zusätzliche Tests für neue Fehlermodelle bereitgestellt werden. Dazu werden im Projekt MAYA Verfahren erforscht, die es ermöglichen, die notwendigen Testmuster für die Produktionsfehler an allen Leitungssegmenten in Very-Deep-Sub-Micron Designs (< 100 nm) zu berechnen.

System-in-Package- (SiP-)Architekturen werden in Zukunft die Integration verschiedenster klassischer Produkte in einem einzigen Gehäuse ermöglichen. Die immer weiter fortschreitende Reduzierung der Strukturbreiten in der Mikroelektronik ermöglicht dabei zum einen immer höhere Packungsdichten und verschiebt zum anderen die Grenzfrequenzen in immer höhere Bereiche. Um solche anspruchsvollen Module noch kostengünstig im Hochvolumen testen zu können, müssen zukünftig Selbsttestlösungen für alle Mixed-

Zusammensetzung des Projektkonsortiums:

Projektpartner:

» Infineon Technologies AG
» NXP Semiconductors Germany GmbH

Unterauftragnehmer:

» Universität Bremen
» IIS/EAS Dresden
» Universität Potsdam
» Redemund & Thiede Datentechnik
» Universität Stuttgart

Förderkennzeichen:

01M3172

Laufzeit:

01.06.2006 – 31.05.2009

newsletter edacentrum Probeauszug
Bestellen Sie sich den kompletten Artikel über
newsletter@edacentrum.de

edacentrum, Hannover, Januar 2007